

화학 증착법에 의한 텅스텐 박막(CVD-W)

李時雨*, 金元圭**

(正會員)

浦項工科大学 化學工學科 教授*, 研究員**

I. 서 론

집적회로의 밀도가 점점 높아져 초집적화(VLSI) 시대를 맞이하고 4M DRAM을 시작으로 마이크로 이하 선폭의 기억소자가 등장하면서 이에 맞는 재료와 공정에 대한 요구가 커지고 있다. 과거 20여년 동안 폭발적인 성장을 해 온 집적회로 기술은 각 공정의 개선을 통한 소자의 소형화를 통해 발전해 왔으며 집적회로를 이루고 있는 재료는 규소, 산화규소, 질화규소, 알루미늄 혹은 이의 합금이 기본을 이루어 큰 변화가 없었던 것이 주목할 만한 사실이다. 70년대에는 별로 중요시 되지 않았던 금속배선 공정이 80년대의 1 마이크로 이하 선폭의 집적회로 시대를 맞이하면서 그 중요성이 점점 커지고 있다.^[1] 이는 직접회로에서 금속배선이 차지하는 면적이 점점 커지고 금속 배선을 통한 지연 시간이 집적 회로의 성능에 영향을 주게 되기 때문이다. 이에 따라 다층배선과 같은 금속배선 공정의 구조적인 변화가 요구 되고 있고 현재 많이 쓰이고 있는 알루미늄이나 이의 합금을 대체할 수 있는 좀 더 안정한 새로운 재료의 활용이 관심을 끌고 있다.^[2,3,4] 이러한 배경에서 텅스텐과 같은 전이금속을 이용한 금속 배선이 앞으로의 반도체 기술에서 중요한 역할을 할 것으로 기대되고 있으며^[5] 이에 따라 화학 증착법에 의한 텅스텐 박막의 제조 장비는 업계에서 경쟁적으로 개발 시판하고 있는 실정이다.^[6] 정밀도 및 신뢰도 그리고 재현성이 어느 분야 보다도 높게 요구되는 반도체 산업에서 이제까지 보편적으로 쓰이지 않았던 새로운 재료를 생산 공정에 사용하기 위해서는 많은 연구 개발이 필요하며 이제까지 시판되고 있는 텅스텐 박막 제조 장비들은 현재 연구 개발이나 시제품 생산 정도에 활용되고 있는 것으로 보인다. 본

논문에서는 텅스텐 박막의 특성과 응용, 그리고 텅스텐 박막 제조를 위한 화학 증착 공정에 대해 기술하고자 한다.

II. 텅스텐 박막의 응용

고밀도 집적회로의 배선용으로 텅스텐 박막은 여러가지 장점을 가지고 있다. 표 1에는 배선용으로 쓰이는 재료들의 물성이 나타나 있는데^[7] 텅스텐은 용점이 3400°C 정도로 높아서 매우 안정하며 전기 저항이 5.3 μ ohm-cm로 비교적 작다. 또한 열 팽창 계수가 규소와 비슷하여 조업중 열 팽창 및 수축시 규소와의 경계면에서 응력(stress)을 적게 받게 된다. 또한 텅스텐은 다른 재료보다 규소나 알루미늄과의 반응성이 약하다. 이러한 장점들은 알루미늄이나 이의 합금으로 배선할 때 발생하는 문제들을 방지하는데 도움이 된다.

화학 증착에 의한 텅스텐 박막(chemically vapor deposited tungsten : CVD-W)의 제조는 공정상 여러가지 장점이 있으며 그 중에서도 특히 선택적으로 증착을 시킬 수 있다는 것이 많은 관심을 끌고 있다. 이에 따라 회로제작에 필요한 패턴을 쉽게 만들 수 있고 자기 정합(自己整合 : self-aligned) 구조 등으로 배선 공정을 간략화할 수 있다. 또한 텅스텐 박막은 건식 또는 습식 식각 공정에 의해 쉽게 패턴을 만들 수 있다.^[8,9] 반면에 텅스텐 박막은 400°C 이상에서 쉽게 산화가 되며 600°C 이상에서는 규소 화합물(silicide)을 형성하게 되어^[10] 고온의 조업 환경에서는 주의를 기울여야 한다. 또한 산화막이나 질화막에는 잘 붙지 않아 이 경우 접합층(glue layer)을 필요로 하게 된다. CVD-W는 실리콘 junction 과의 접촉(contact), 확산 장벽(diffusion barrier), 배선

표 1. 집적회로 배선용 도체들의 주요 특성

	Melting Point (°C)	Resistivity ($\mu\text{ohm}\cdot\text{cm}$)	Thermal Expansion Coefficient ($10^{-6}/^{\circ}\text{C}$)
Silicon			
Si (doped)	1412	500	3.0
Silicides			
TiSi ₂	1538	13-17	10.5
MoSi ₂	1980	22-100	8.2
TaSi ₂	2200	8-45	8.8
WSi ₂	1887	14-70	6.2
CoSi ₂	1326	18-20	10.14
Metals			
Ti	1677	43-47	8.5
Mo	2622	5	5.0
Ta	2996	13-16	6.5
W	3377	5.3	4.5
LPCVD W Alloys			
Al-Si	660-570	2.6-3.7	24

(interconnection), 다층 배선에서 via의 연결, gate electrode 등에 활용될 수 있으며 각각의 용도에 대해 간략하게 설명하고자 한다.

1. MOS Gate Electrode^[2,11]

MOS (metal-oxide-semiconductor) 소자의 제조공정에서 첫번째 금속화 공정은 gate oxide 박막 위에 도체 박막을 증착시키는 공정이다. Gate electrode 용 도체로서는 주로 LPCVD (low pressure chemical vapor deposition) 공정에 의해 제조되는 다결정 규소가 널리 쓰여져 왔다. 그 이유는 규소가 고온에서 안정하고 박막에 잘 접착되며 증착이 용이하고 식각공정에 의해 쉽게 패턴을 만들 수 있는 등의 여러가지 장점 때문이다. 반면에 다결정 규소는 도판트의 주입에 의해 전기 전도도를 증가시키더라도 표 1에서 보는 바와 같이 그 저항값이 커서 초고밀도의 집적회로에는 부적합하다.^[12] 이에 따라서 그림 1에 보는 바와 같이 여러 구조의 gate electrode가 실용화 또는 연구되고 있다. 다결정 실리콘의 장점을 이용하면서 저항값을 줄이기 위해 다결정 규소 위에 금속 규화물(WSi₂, MoSi₂, TaSi₂, TiSi₂ 등)을 증착시킨 polycide 구조,^[13] 금속과 규소의 annealing에 의한 salicide 구조,^[14] 순수한 금속규화물이나 질화물

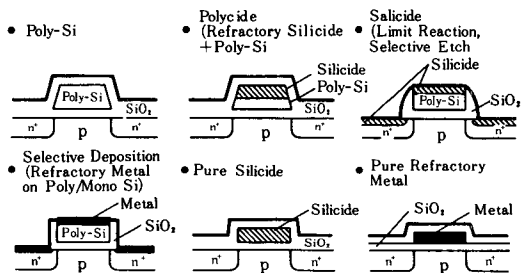


그림 1. 각종 MOS 게이트들의 구조

을 사용한 구조, 직접 금속을 사용한 구조 등이 그것이다. 이들 배선재료 및 소자축소에 따른 MOS VLSI의 지연시간 특성이 그림 2에 비교 도시되었다.^[15] Polycide gate는 다결정 규소보다 저항치가 1/10정도로 줄어들어 현재 생산 공정에서 활용이 되고 있다. 그러나 마이크론 선폭 이하의 소자에서는 지연시간이 한계점에 도달하므로 순수한 금속을 활용하는 기술이 90년대에는 실용화될 것으로 기대되고 있다. 텅스텐은 전기 전도도가 높고 미세 선폭으로 패턴을 만들 수 있다는 장점이 있으나 SiO₂와의 접착성이 약하고 고온에서 휘발성이 높은 산화물을 형성하는 단점이 있다. 또한 규소층에 source와 drain을 형성하기 위한 이온 주입 (ion implantation)시 텅스텐 박막이 이온의 통과를 효과적으로 차단하지 못하는 단점이 있다. 이러한 문제점들을 해결하기 위해 저온 공정 및 RTP (rapid thermal processing)의 활용, 산화 방지막의 형성, 이온 주입을 막는 막의 형성, SiO₂와 금속층 사이에 glue layer의 증착 등에 관한 연구가 진행되고 있다.^[16] 텅스텐 박막을 이용한 gate electrode 제조 공정의 한 예가 그림 3에

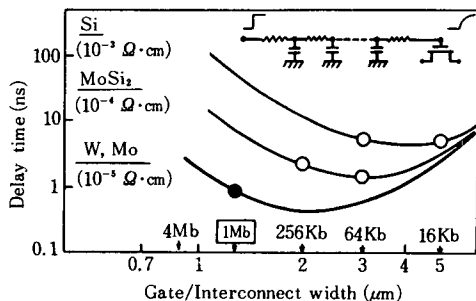


그림 2. 배선재료 및 소자축소에 따른 MOS VLSI의 지연시간 특성 비교

나와 있다.^[17] 그림에서 보듯이 묘화 공정 (lithography) 및 건식식각 공정에 의해 텅스텐 gate를 만든 다음 이를 mask로 하여 이온을 주입하면 source와 drain이 형성된다. 이 때 주입이온의 투과방지용으로 PSG (phospho-silicate glass) 박막이 입혀져 있다. Gate의 모서리 부근에서 발생하는 누설현상을 방지하기 위해서 산화물 층을 끌고루 증착시킨 다음 etch-back 공정을 통해 벽면산화물을 형성하면 공정이 완료된다.

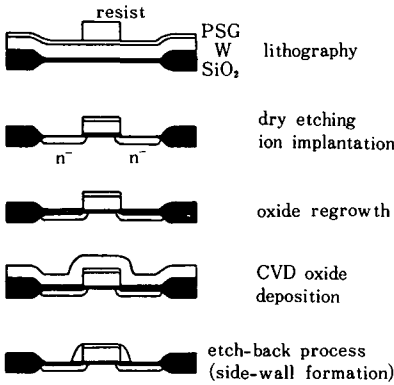


그림 3. 텅스텐 게이트의 제조 공정

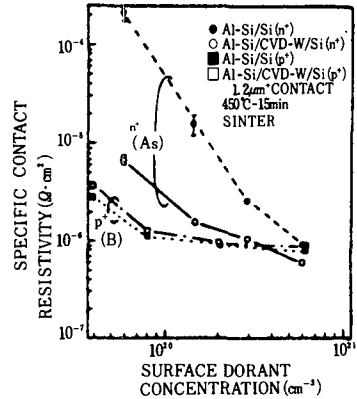


그림 4. 접촉 저항과 표면 도판트 농도와의 관계

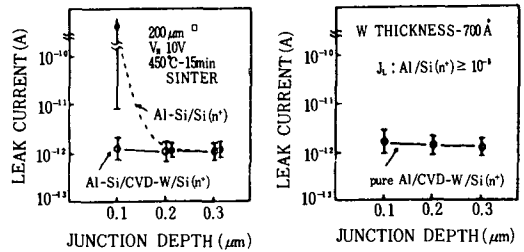


그림 5. 누설 전류와 junction 두께와의 관계

2. Contact Hole Filling & Diffusion Barrier^[8,12]

집적회로 금속화 공정에서 가장 중요한 것 중의 하나는 반도체 (규소)와 금속 간의 접촉의 형성이다. 회로의 밀도가 높아지면서 접촉면은 좁아지고 접촉 부위의 숫자는 늘어나 접촉 저항을 줄이는 것이 바람직하다. 또한 금속과 접촉을 하는 규소 junction의 두께가 얇아지면서 문제가 되는 것은 금속과 규소의 공용체가 경계면에서 형성이 되면서 spiking 현상이 일어나 누설전류가 발생하는 것이며 알루미늄을 사용하는 경우 이러한 문제점이 심각하게 나타난다. 이러한 문제점을 해결할 수 있는 방법의 하나가 금속과 규소 사이에 확산장벽 (diffusion barrier) 층을 삽입하는 것이며 텅스텐 박막이 효과적인 것으로 보고 되고 있다.^[8,18]

그림 4에 텅스텐 확산장벽 유무에 따른 표면 도판트 농도와 접촉 저항과의 관계를 도시하였다. 이 경우 특히 n⁺ 규소와 접촉에 있어서는 접촉 저항이 현격히 줄어들고 있음을 볼 수 있다. 또한 그림 5에서 junction 두께에 따른 누설 전류의 양을 도시하였다. 왼쪽에 나타난 그림이 종래의 알루미늄-규소합금 접

촉과 텅스텐을 확산장벽으로 사용한 경우와의 비교로서 junction의 두께가 0.1μm에 가까와 짐에 따라 현저한 차이를 보이고 있다. 뿐만 아니라 순수한 알루미늄 금속에다 텅스텐 확산장벽을 입힌 경우에도 누설 전류가 10⁻¹² A 정도로 억제될 수 있음이 오른쪽 그림에 잘 나타나 있다. 즉 junction의 두께가 0.2μm 이하로 줄어드는 shallow junction 소자의 경우 텅스텐 박막은 접촉저항을 줄여 주고 접촉면에서의 누설 전류를 감소시켜 회로의 신뢰도를 향상시켜 주게 된다.^[19] 금속 박막을 규소에 증착시켜 접촉을 형성할 때 규소 표면에 있는 불순물들은 접촉면에서의 전기적인 특성, 화학적인 특성 등에 영향을 주게 되므로 전처리 공정을 통해 표면을 세정하는 것이 중요하다.^[20-25] 텅스텐 박막을 단독으로 확산장벽으로 활용하는 경우 표면의 불순물이나 경계면 모양의 거칠음이 소자의 특성을 떨어뜨리는 수도 있으므로 금속 규화물 (metal silicide)을 증착시킨 후 텅스텐 박막을 활용하게 된다. 이에 대한 개념도가 그림 6에

나타나 있다. 최근에는 in-situ cleaning 이나 annealing 등을 통해 규소-텅스텐 경계면에서의 단점을 극복하고 선택적 CVD-W 단독으로 확산 장벽을 만들려는 연구가 진행되고 있다.^[26,27] 이외에도 여러가지 금속 및 합금,^[28] 금속 규화물,^[29] W-N^[30,31] 등을 포함한 금속 질화물을 이용한 확산 장벽에 대해서도 많은 연구가 진행되고 있다. 금속과 규소의 접촉은 산화막에 구멍을 뚫어 규소를 노출시키고 그 위에 금속을 증착시켜 형성이 되며 contact hole 을 채우면서 전기적으로 연결이 되는데 이때 문제가 되는 것이 층덮힘(step coverage)과 평탄화(planarization)이다. CVD-W의 경우는 규소 표면이나 금속 표면에 선택적으로 증착을 시킬 수 있어 이러한 문제점을 극복할 수 있다.

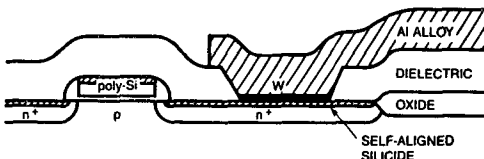


그림 6. MOS 소자에서의 텅스텐 확산장벽 단면도

3. Multilevel Metallization & Via Hole Filling^[4,22]

집적회로의 성능을 향상시키고 집적도를 높이기 위해서는 다층 배선이 필요하게 되며 이를 위해서는 도체층, 절연층의 증착, 절연막의 평탄화, 미세 배선을 위한 식각, 절연층을 통한 contact hole 및 via hole의 금속화 등이 필요하다. 이제까지 도체로서 많이 활용되어 온 알루미늄은 다층 배선에 있어서 여러가지 문제점을 노출시키고 있다. 우선 알루미늄과 규소와의 열팽창 계수 차가 크기 때문에 알루미늄 박막에 응력이 쌓이고 이에 따라 hillock 이 형성되며 절연막을 뚫고 나오면서 금속층 간에 합선을 유발하게 된다. 또한 전류 밀도가 커지면서 electromigration 현상이 일어나 배선이 끊기는 경우도 생긴다. Electromigration 현상이란 전자의 급격한 흐름으로 인한 도체의 이동 현상을 말한다. 즉 순수한 알루미늄의 경우 10⁶ A/cm² 정도의 대전류가 흐르게 되면 상대적으로 취약한 부분부터 원자들이 양극 쪽으로 이동하게 된다. 특히 VLSI 배선용 알루미늄은 다결정 구조이므로 grain boundary 에 있어서의 구조적인 불균일함이나 부분적인 온도 기울기(temperature gradient) 등으로 인해 이러한 현상이 더욱

가속되게 된다. 따라서 순수한 알루미늄에다 미량의 금속(Cu, Cr, Mg, Ni, Ti 등)을 첨가하는 방법이 현재 활용되고 있고 이 경우 10⁶ A/cm² 정도까지 견딜 수 있으나 그 이상이 되면 소자의 실패율은 역시 급증하게 된다. Sputtering에 의한 알루미늄 증착은 층덮힘(step coverage)이 불량하기 때문에 contact hole 이나 via hole 을 채우는데 문제점이 많으며 다층 배선에 필요한 평탄화에도 많은 문제점을 제기하고 있다.^[32]

이에 새로운 다층배선 방법으로 관심을 끌고 있는 것이 선택적 CVD-W기술이다. CVD-W는 필요에 따라 규소나 금속위에 선택적으로 증착시킬 수 있기 때문에 그림 7에 개념도가 나와 있는 것과 같이 규소와의 contact hole 및 금속과 금속 배선 사이의 via hole 을 효과적으로 채울 수 있다. 이에 따라 평탄화를 이룰 수 있으며 또한 10⁶ A/cm² 정도의 대전류에도 electromigration 현상을 방지할 수 있으므로 앞에서 언급한 알루미늄 박막의 여러가지 문제점들을 해결할 수 있다. 텅스텐 박막의 문제점은 절연층과의 접착이 좋지 않다는 것인데 이것은 텅스텐 박막을 증착하기 전에 WSi_x 와 같은 접착층(glue layer)을 절연막 위에 증착시킴으로써 향상시킬 수 있다. 또한 CVD-W 박막의 전기저항값은 순수한 텅스텐보다 2~3배 높아 증착 후 열처리에 의한 전도도의 향상이 요구되고 있다.

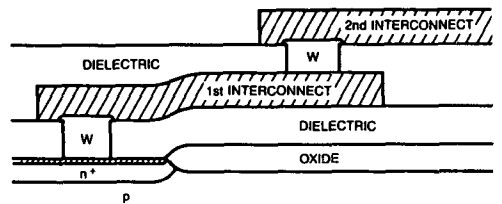


그림 7. 텅스텐을 이용한 다층 금속배선 단면도

III. 화학 증착 공정 (Chemical Vapor Deposition; CVD)

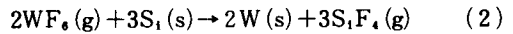
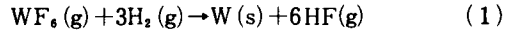
이제까지의 금속화 공정은 주로 물리적인 방법인 스퍼터링이나 진공 증착에 의해 진행이 되어 왔으나 근래에는 화학 증착법이 많은 관심을 끌고 있다. 이는 화학 증착법이 저렴하고 대량 생산에 더 적합하

며 층 두께가 우수하고 방사선 피해(radiation damage)를 줄일 수 있기 때문이다.^[34] 특히 선폭이 작은 고밀도 집적 회로 제작에 있어서는 평탄화 여부가 중요하게 되어 층 두께가 우수한 CVD 공정이 유리하게 된다. 화학 증착법으로 제조된 텅스텐(CVD-W)에 의한 금속배선은 약 20여년 전에 시작이 되었으나 최근에 들어서 연구 활동이 급속히 증가하기 시작하였다.^[35] CVD-W 공정 및 CVD-W의 물성에 대해 여러 사실들이 밝혀지면서 이의 응용이 많은 관심을 끌고 있는데 이는 CVD-W 기술이 여러 가지 장점을 가지고 있기 때문이다. 그중에서도 특히 화학 반응을 이용해서 선택적 증착을 할 수 있다는 것이 주목을 끌고 있다. 화학 증착 공정에서 금속의 원료 기체로서는 증기압이 비교적 높은 유기 금속 화합물이나 수소 화합물, 할로젠 화합물들이 사용될 수 있다.^[34] 전이금속 중에서도 많은 관심을 끌고 있는 텅스텐과 몰리브데늄의 원료로는 표 2에 나와 있는 화합물들이 고려의 대상이 되고 있다.^[36] 이러한 원료 기체들은 경우에 따라 박막에 할로젠이나 산소, 탄소와 같은 불순물이 섞이는 원인이 되기도 하며 유독성이나 부식성 등이 문제가 되기도 한다. 비등점이 높은 물질은 그만큼 기체 원료로서 사용하기에 불편한 점이 많다. 원료 기체에 따라 그 물성을 이해하고 반응기 내에서의 화학 반응을 조절하면 고순도의 전기 저항이 낮은 금속 박막을 만드는데 도움이 된다. 여러 원료 중에 가장 많이 사용이 되는 기체는 비등점이 낮은 WF₆이며 이의 화학 반응에 대해서 비교적 많은 연구가 수행되어 왔다. 이 원료 기체의 문제점은 화학 증착 공정 중 불소에 의한 규소의 에칭이며 이의 해결을 위한 연구 노력이 많은 관심을 끌고 있다. 또한 플라즈마 화학 반응을 이용한 텅스텐 증착에 관해서도 일부 연구가 되고 있다.^[37-40] 저

온에서의 조업을 가능케 하는 플라즈마 화학 증착은 GaAs 소자의 금속화 공정에 유리하게 적용될 수 있을 것으로 생각된다.

1. 반응 메카니즘

WF₆에 의한 텅스텐 박막의 화학 증착은 수소에 의한 환원과 규소에 의한 환원 반응으로 이루어질 수 있으며 각각의 경우 전체 화학 반응은 아래와 같다.



여기에서 g는 기체 상태, s는 고체 상태를 말한다. 반응(2)의 경우는 흡착된 WF₆와 규소와의 반응으로 규소 표면에서만 반응이 일어난다. 그림 8은 규소 표면에 증착이 일어날 때 증착 시간 및 온도에 따라 텅스텐 박막의 두께가 어떻게 증가하는가를 보여 주고 있다.^[41] 처음에는 규소 표면에서 규소에 의한 환원 반응으로 증착이 되며 온도에 관계 없이 즉각적으로 반응이 일어나는 것을 알 수 있다. 반응 기체 중에 수소 기체가 존재하여도 이 반응이 우선적으로 진행된다. 규소 표면에 텅스텐 박막이 증착이 되어 WF₆가 규소 쪽으로 이동하지 못하게 되면 증착 반응이 더 이상 진행되지 못하게 된다. 이때의 텅스텐 박막의 두께는 규소 표면에 존재하는 산화막(native oxide) 두께에 영향을 받게 되나 대략 150-300 Å 정도가 된다. 수소 기체는 금속 표면에 흡착이 되어 원자 상태로 분해가 되며 이것이 WF₆를 환원시킬 수 있으므로 반응 기체에 수소가 포함이 되어 있으면 반응(1)에 의하여 증착이

표 2. 전이금속 박막 제조에 쓰이는 반응물질들의 비등점

Compound	Boiling point (°C)
WF ₆	18
WCl ₆	347
W(CO) ₆	175
MoF ₆	34
MoCl ₅	264
Mo(CO) ₆	156

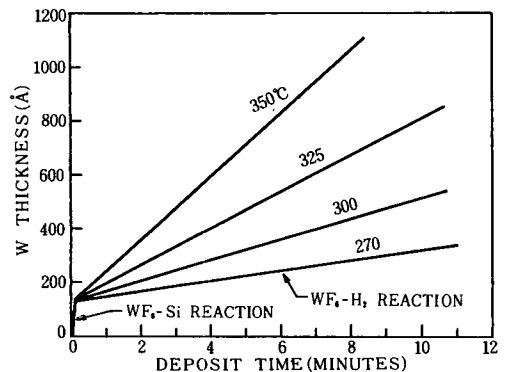


그림 8. WF₆의 2 단계 환원 반응

된다. 이 반응은 온도가 올라갈수록 빨라지게 된다. 실제로 반응 기체 중에 수소가 존재하지 않으면 초기단계의 규소 환원에 의한 증착 이후 시간이 지나도 박막의 두께는 증가하지 않는다. 반면에 MoF₆에 의한 Mo의 화학 증착에 있어서는 수소 기체 없이도 규소 환원에 의해 계속적으로 증착이 되는 것이 관찰이 되고 있다.⁽⁴²⁾ Mo도 텅스텐과 함께 관심을 끌고 있는 금속이며 이에 대해서도 많은 연구가 진행될 것으로 예상된다. WF₆와 H₂의 흡착 및 표면에서의 분해 반응은 질화규소나 산화규소막 위에서는 잘 이루어지지 않으며 이에 따라서 WF₆의 직접 환원 반응이나 수소 기체에 의한 환원 반응이 절연체 막 위에는 잘 일어나지 않는다. 이러한 화학적 성질을 이용해 규소 환원에 의한 규소 표면 위의 증착 혹은 수소 환원에 의한 금속 위의 증착을 통해 선택적 증착이 가능하게 된다. 선택적 증착을 이용하게 되면 그림 9에 나와 있는 바와 같이 규소와 금속 접촉 그리고 contact hole을 효과적으로 채울 수 있어 우수한 층 덮힘을 얻을 수 있고 공정을 단순화할 수 있다. 또한 via의 금속 배선에는 금속 표면에 텅스텐 박막을 선택적으로 증착시키게 되며 동일한 효과를 얻을 수 있다. 반면에 비선택적(nonselective) 혹은 전면성 텅스텐(blanket tungsten) 증착의 경우는 그림 10에 나타난 바와 같이 etch back 과정을 거쳐 같은 구조를 만들 수 있다. 조업 조건에 따른 CVD-W 증착의 선택도에 대해서는 다음 절에 기술하기로 한다. 실제 화학 증착 반응기에서 텅스텐 박막이 형성되는 과정은 반응식 (1), (2)보다 훨씬 복잡하며 아래와 같은 여러 단계로 나누어 볼 수 있다.⁽⁴³⁾

- (1) 기체상에서 기관 표면으로의 반응 기체의 확산
- (2) WF₆의 표면에서의 흡착
- (3) H₂의 표면에서의 흡착
- (4) 흡착된 WF₆의 표면에서의 분해
- (5) 흡착된 H₂의 표면에서의 분해
- (6) 표면에서의 HF의 형성
- (7) HF의 표면으로부터의 탈착
- (8) 탈착된 생성물의 기체상으로의 확산

텅스텐 박막의 증착 속도는 위의 과정 중에 가장 속도가 느린 단계에 의해 결정되게 되는데 이 단계가 속도 제한 단계(rate limiting step)이며 나머지 단계는 평형에 있게 된다. 이제까지의 실험적인 관찰에 의하면 증착 속도는 수소 분압의 제곱근에 비례하고 WF₆의 분압에는 거의 영향을 받지 않는 것으로 나타나 있다. 이러한 관찰은 증착 속도를 결정

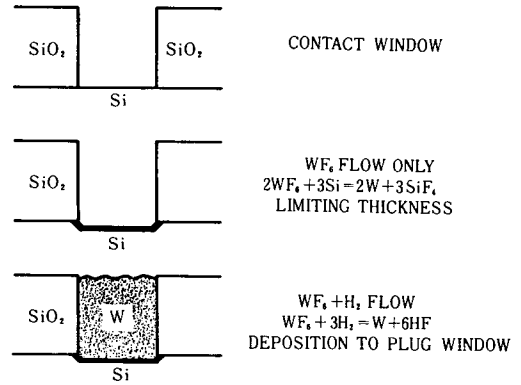


그림 9. Contact Window에서의 WF₆의 선택적 2단계 환원 반응

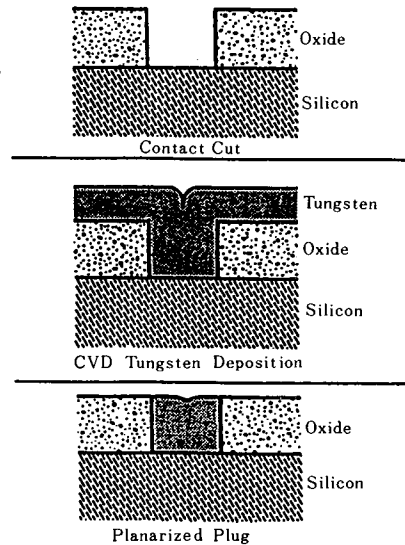


그림 10. Contact Window에 쓰인 전면성 텅스텐

하는 단계가 HF의 탈착 반응이라는 것을 나타내며 이 경우 텅스텐 박막의 증착 속도는 각 기체의 분압에 대하여

$$R = \frac{K_1 P_{H_2}^{1/2} P_{WF_6}^0}{1 + K_2 P_{WF_6}^{1/6}} \quad (3)$$

로 주어진다. WF₆의 농도가 작은 경우는

$$R = K_1 P_{H_2}^{1/2} P_{WF_6}^0 \quad (4)$$

가 되어 증착 속도가 수소 분압의 제곱근에, WF₆ 분압의 1/6승에 비례하는 것을 알 수 있다. 반면에

WF₆의 분압이 큰 경우는

$$R = K P_{WF_6}^{1/2} \quad \left(K = \frac{K_1}{K_2} \right) \quad (5)$$

가 되어 WF₆의 분압과는 관계없이 수소 분압의 제곱근에 비례하는 것을 알 수 있다. 이제까지의 텅스텐 박막 증착 공정에서는 주로 식 (5)가 적용되는 범위에서 조업을 하고 있는 것으로 믿어지며 실제로 WF₆ 분압의 1/6에 비례하는 것은 실험적으로 판별하기가 쉽지 않은 것이 사실이다. 이에 따라 많은 연구자들이 증착 속도가 WF₆의 분압과 무관한 0차 반응으로 된 식 (5)를 제시하였다. 여기에서 반응 속도 상수 K는 온도에 관한 함수로서 아래와 같이 주어지며 반응 기체의 분압의 단위는 Pascal로 나타내었고 증착 속도는 nm/sec로 표시하였다.^{(41),(44)}

$$K = K_0 \cdot \text{EXP}(-E_a/RT) \quad (6)$$

K₀ : 상수 [nm/sec/Pa^{1/2}]

E_a : 활성화 에너지 [Joules/g-mole]

R : 기체 상수 [8.314 Joules/g-mole/°K]

T : 온도 [°K]

Mckonica 등에 의하면 E_a는 73000 Joule/g-mole이고 상수 K₀는 68000으로 실험적으로 구하여졌으나⁽⁴⁵⁾ 실제 활성화 에너지는 연구자에 따라 약 69000-73000 정도로 나타난다. 이는 연구자에 따라 반응 시스템이 다르고 웨이퍼 표면의 상태가 다를 수 있으며 또한 웨이퍼의 온도를 측정하는데 오차가 있는 것이 원인으로 지적되고 있다.⁽⁴⁶⁾

2. 선택도

텅스텐 박막의 제조 공정은 선택도가 있는 증착 (selective deposition) 과⁽⁴⁷⁾ 비선택적 혹은 전면성 증착 (nonselective or blanket deposition) 이 있는데⁽⁴⁸⁾ sputtering이나 evaporation과 같은 물리적인 증착 방법은 선택성이 전혀 없고 화학 증착법의 경우는 화학 반응이 일어나는 정도를 조절 이용함으로써 선택적 또는 전면성 증착이 가능하다. 선택적 증착은 WF₆가 규소에 의해서는 환원이 되지만 산화 규소나 질화 규소와는 잘 반응하지 않는 성질과 또한 수소 기체가 금속 표면에는 잘 흡착이 되면서 분해가 되어 WF₆를 환원시키지만 절연체 표면에서는 이러한 반응이 잘 일어나지 않는 것을 이용하는 것이다. 이러한 반응의 선택성은 조업 조건 및 표면의 상태에 따라 좌우되며 선택성을 잃게 되는 메카니즘에 대해

서 많은 연구가 진행되고 있다.^(49~51) 이제까지 밝혀진 바에 의하면 증착 도중 생성되는 반응성이 높은 radical들이 산화막 쪽으로 확산 이동되어 산화막 표면에 응축이 되고 이 응축된 부분을 출발점으로 하여 증착이 됨으로써 선택도가 떨어지게 된다. 반응성이 높은 radical로는 SiF_x (x=1-3) 나 WF_y (y=1-5) 등이 있으며 또한 반응 생성물인 HF도 산화 규소 막에 영향을 주어 선택도를 떨어뜨리게 된다. 선택도를 높게 유지하기 위해서는 아래와 같은 조업 조건이 유리한 것으로 알려져 있다.

(1) 저온에서 조업할 것 (340°C 이하)

(2) WF₆의 분압을 낮게 유지할 것

(3) WF₆가 반응 할 수 있는 면적을 최소한으로 줄일 것 (cold wall single wafer 반응 시스템이 반응기 벽에서의 증착을 줄이고 웨이퍼 표면에서 발생하는 부산물의 농도를 줄이게 됨)

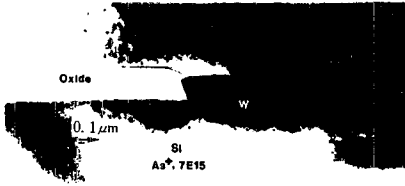
(4) 기체의 유량을 크게 하여 반응 생성물을 반응기 밖으로 빨리 배출시킬 것

(5) 세정을 통해 산화막 표면에 불순물을 줄이고 표면 결함을 줄일 것^(52,53)

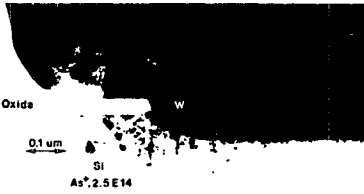
또한 증착 시간을 가능하면 짧게 줄이는 것도 높은 선택도를 유지하는데 유리하다. 반대로 전면성 텅스텐 박막의 증착이 필요한 경우는 선택도를 낮게 유지하는 쪽으로 조업을 하는 것이 유리하다. CVD-W의 선택도에 대해서는 아직도 많은 연구가 필요하며 선택도를 높이기 위한 반응 시스템의 개발이 필요한 것으로 생각된다.

3. CVD-W의 문제점

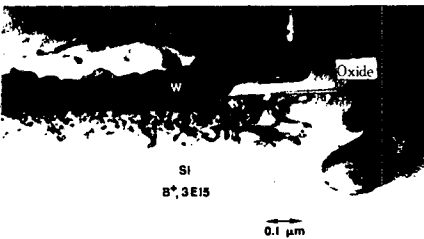
CVD-W이 여러가지 장점이 있어 VLSI 공정에 활용될 수 있는 가능성이 높아지고 있으나 한편으로는 좀 더 신뢰성이 있는 공정으로 발전하기 위해 해결해야 할 문제점들이 있다. 반응 기체로 많이 쓰이는 WF₆는 불소를 함유하고 있어 규소와 급격히 반응하여 식각 반응을 일으키기 때문에 이에따라 문제점이 발생된다. 실제로 규소에 의한 WF₆의 환원으로 텅스텐 박막이 증착되는 경우 규소의 부피 2가 없어지면서 텅스텐 부피 1이 증착된다. 이 때 발생하는 encroachment 현상은 실리콘과 산화 규소 경계면이 집중적으로 식각이 되는 현상으로 그림 11-a에 나타나 있다.⁽⁵⁴⁾ 이 현상은 WF₆의 분압이 증가할수록, 온도가 높아질수록 심해지며 그 원인은 경계면에 존재하는 불순물 및 결정 결함때문에 국부적으로 반응 속도가 빨라지고 반응 생성물인 HF에



(a) Encroachment 현상



(b) Tunnel의 형성



(c) Halo 현상

그림 11. CVD-W의 문제점

과 같은 규소 성분을 주입시킴으로써 줄이는 방안이 발표되었다.^[57] 이외의 문제점은 WF₆의 원료 기체에 포함되어 있는, 혹은 반응 시스템에 존재하는 불순물의 영향이다. 산소, 탄화 수소, 불소 화합물 등은 증착 속도, 선택도, 박막의 전기적 성질에 영향을 주게 된다.^[58]

4. 반응 시스템

현재 반도체 장비 회사에서 개발하여 시판하고 있는 CVD-W 시스템은 표 3에 나타난 바와 같다. 대부분의 장비는 저압 상태에서 조업하는 LPCVD 시스템이며 반응기의 세정을 위해 플라즈마 시스템이 부착되어 있다. 선택적 증착을 위해서는 single wafer cold wall 시스템이 유리한 것으로 되어 있으며 RTP(rapid thermal processing) 그리고 규화물(silicide) 증착과 같은 여러가지 공정을 한 시스템에서 수행할 수 있는 것이 특별한 관심을 끌고 있다. Hot wall batch 시스템은 증착 속도가 빠르고 다량의 웨이퍼를 처리할 수 있으나 선택도가 낮고 박막 두께의 불균일 및 입자 형성이 문제가 된다. CVD-W 기술은 공정상에 해결할 문제들이 있으므로 앞으로도 새로운 반응 시스템들이 개발될 것으로 기대된다.

IV. 결 론

CVD-W 기술은 여러 가지 장점을 가지고 있어 가까운 장래에 VLSI 금속화 공정에 활용될 것으로 기대된다. 그중에서도 특히 선택적 증착에 의한 contact hole filling과 via hole filling 등이 우선적인

의해 침식이 되기 때문인 것으로 생각된다. 또 하나의 현상은 그림 11-b에서 보는 바와 같이 규소층에 tunnel(혹은 wormhole 이라고도 함)이 형성되는 것이다.^[55] 규소 표면에 불순물이나 표면 결함이 있는 경우 국부적으로 반응이 빨리 일어나게 되며 또한 이 반응이 발열 반응이기 때문에 이 부분의 온도가 올라 상승 작용을 하면서 반응 속도가 급격히 빨라져 규소가 침식되기 때문인 것으로 생각된다. 또 한가지 문제는 그림 11-c에서 보는 바와 같이 규소가 침식되면서 증착이 된 부분의 경계면이 상당히 거칠게 되는 halo 현상이다.^[56] 이러한 현상들은 계속적인 연구의 대상이 되고 있으며 표면의 전처리, 조업 조건의 조절 등을 통해 줄이거나 반응 기체에 사일린

표 3. 상용 LPCVD 텅스텐 증착 시스템

Company	Reactor Type	Model	Plasma Capability	Price(\$)
SVG	Hot-Wall Batch	Pro II (ANICON V-WOS)	No	350,000
GENUS	Cold-wall Batch	8402 8730	Yes Yes	550,000
VARIAN	Cold-wall Single Wafer	5101	Yes	450,000
SPECTRUM	Cold-wall Single Wafer	202 211	Yes Yes	225,000 395,000
NANOSIL	Cold-wall Single Wafer	CVD-6000	Yes	100,000
ULVAC	Cold-wall Single Wafer	ERA-1000	Yes	750,000

관심을 끌고 있으며 다층 배선 공정의 필요성과 함께 그 중요성이 더욱 부각될 것으로 생각된다. WF₆가 규소를 급격히 침식한다는 문제점은 앞으로도 계속적으로 연구가 진행되어야 할 것이며 이에 대한 해결책이 마련되어야 할 것이다. 불소 화합물 이외의 텅스텐 원료나 물리브데늄과 같은 다른 전이 금속도 연구의 대상이 되어야 할 것이다. 물리적인 증착 방법에 비해 화학 증착법이 여러 가지 장점이 있어 앞으로의 금속이나 금속 규화물 증착 공정에 좀 더 넓게 쓰일 것으로 기대되며 이에 따라 증착 메카니즘, 반응기 내에서의 유체의 흐름, 열 및 반응물질의 전달 현상⁶⁹⁾ 등을 이해하고 반응 장치의 설계에 기여할 수 있는 방향으로 많은 연구가 진행되어야 할 것이다.


본 연구는 산업 과학 기술 연구소의 지원에 의해 수행 중임.

參 考 文 獻

[1] P.B. Gbate, "Interconnections in VLSI," *Physic. Today*, 39 (10), 58, 1986.
 [2] Y. Pauleau, "Interconnect Materials for VLSI Circuits," *Solid State Technol* 30 (2), 61, 1987.
 [3] Y. Pauleau, *ibid*, 30 (4), 155, 1987.
 [4] Y. Pauleau, *ibid*, 30 (6), 101, 1987.
 [5] J. Crawford, "Refractory Metals Pace IC Complexity," *Semiconductor International*, 10 (4), 84, 1987.
 [6] C. Murray, "Process Specific Chemical Vapor Deposition," *ibid*, 10 (4), 50, 1987.
 [7] S.P. Murarka, *Silicides for VLSI Applications*, Academic Press, Inc. 1983.
 [8] M.E. Burba, E. Degenkolb, S. Henck, M. Tabasky, E.D. Jungbluth and R. Wilson, "Selective Dry Etching of Tungsten for VLSI Metallization," *J. Electrochem. Soc.*, 133 (10), 2113, 1986.
 [9] D.S. Fischl and D.W. Hess, "Plasma-Enhanced Etching of Tungsten and Tungsten Silicide in Chlorine-Containing Discharges," *ibid*, 134 (9), 2265, 1987.
 [10] R.S. Blewer and M.E. Tracy, *Tungsten and Other Refractory Metals for VLSI Applications*, R.S. Blewer, ed., Materials Research Soc., Pittsburgh, PA, p. 53, 1986.
 [11] V. Lubowiecki, J.I. Ledys, L. Van Den Hove, Rf De Keersmaecker, M. Heyns, and

G.De Santi, "A CVD Tungsten Gate Technology," *Proceedings of the Tenth International Conference on Chemical Vapor Deposition*, G.W. Cullen and J.M. Bocher, Jr., eds., The Electrochemical Society, p. 661, 1987.
 [12] R.S. Blewer, "Progress in LPCVD tungsten for advanced microelectronics applications," *Solid State Technol.* 29 (11), 117, 1986.
 [13] J. Kato, M. Asahina, H. Shimura and Y. Yamamoto, "Rapid annealing of tungsten polycide films using halogen lamps," *J. Electrochem. Soc.*, 133 (4), 794, 1986.
 [14] S.P. Murarka, "Self-Aligned silicides or metals for very large scale integrated circuit applications," *J. Vac. Sci. Technol.* B4 (6), 1325, 1986.
 [15] N. Yamamoto, H. Kume, S. Iwata, K. Yagi and N. Kobayashi, "Fabrication of highly reliable tungsten gate MOS VLSI's," *J. Electrochem. Soc.*, 133 (2), 401 1986.
 [16] C. Arena and M. Papapietro, *참고문헌* 10, p. 483, 1986.
 [17] N. Kobayashi, S. Iwata, N. Yamamoto and N. Hara, *Tungsten and Other Refractory Metals for VLSI Applications II*, E.K. Broadbent, ed. Materials Research Soc., Pittsburgh, PA, p. 159, 1987.
 [18] Yoshimi Shioya, Mamoru Maeda and Kimio Yanagida, "Barrier effect of selective chemical vapor deposited tungsten films," *J. Vac. Sci. Technol.*, B4 (5), 1175, 1986.
 [19] H. Itoh, T. Moriya, M. Kashiwagi, "Tungsten CVD: Application to submicron VLSICs," *Solid State Technol.*, 30 (11), 83, 1987.
 [20] M. Wong, N. Kobayashi, R. Browning, D. Paine and K.C. Saraswat, "The effects of chemical oxide on the deposition of tungsten by the silicon reduction of tungsten hexafluoride," *J. Electrochem. Soc.*, 134 (9), 2339, 1987.
 [21] R. Beyers, "Thermodynamic Considerations in refractory metal-silicon-oxygen Systems," *J. Appl. Phys.*, 56 (1), 147, 1984.
 [22] J.E. Greene and S.A. Barnett, "Ion-surface interactions during vapor phase crystal growth by sputtering, MBE, and plasma-enhanced CVD: Applications to Semiconductors," *J. Vac. Sci. Technol.*, 21 (2),

- 285, 1982.
- [23] W.G. Townsend and M.E. Uddin, "Epitaxial growth of silicon from SiH₄ in the temperature range 800-1150°C," *Solid State Electronics*, 16, 39, 1973.
- [24] S. Suzuki and T. Itoh, "Effect of Si-Ge buffer layer for low-temperature Si epitaxial growth on Si substrate by RF plasma chemical vapor deposition," *J. Appl. Phys.*, 54 (3), 1466, 1983.
- [25] J.L. Vossen, J.H. Thomas, III, J.-S. Maa, and J.J. O'Neill, "Preparation of surfaces for high quality interface formation," *J. Vac. Sci. Technol.*, A2 (2), 212, 1984.
- [26] T.I. Kamins, S.S. Laderman, D.J. Coulman and J.E. Turner, "Internation between CVD tungsten films and silicon during annealing," *J. Electrochem. Soc.*, 133 (7), 1438, 1986.
- [27] R.A. Levy, M.L. Green, P.K. Gallagher and Y.S. Ali, "Selective LPCVD tungsten for contact barrier applications," *ibid*, 133 (9), 1905, 1986.
- [28] B.W. Shen, G.C. Smith, J.M. Anthony and R.J. Matyi, "Diffusion barrier properties of thin selective chemical vapor deposited tungsten films," *J. Vac. Sci. Technol.*, B4 (6), 1369, 1986.
- [29] E.K. Broadbent, A.E. Morgan, J.M. DeBlasi, P. Van Der Putte, B. Coulman, B.J. Burrow, and D.K. Sadana, "Growth of selective tungsten on self-aligned Ti and PtNi silicides by Low pressure chemical vapor deposition," *J. Electrochem. Soc.*, 133 (8), 1715, 1986.
- [30] Frank C.T. So, Elzbieta Kolawa, Jawahar Tandon, and Marc-A. Nicolet, "Solid-Phase ohmic contact to p-GaAs with W and W-N diffusion barriers," *ibid*, 134 (7), 1755, 1987.
- [31] E. Kolawa, F.C.T. So, J.L. Trandon, and M-A. Nicolet, "Reactively sputtered W-N Films as diffusion barriers in GaAs metallizations," *ibid*, 134 (7), 1759, 1987.
- [32] M. H. Krisht and L. S. Raymond, 참고문헌 10, p, 313, 1986.
- [33] R.A. Levy and M.L. Green, "Low pressure chemical vapor deposition of tungsten and aluminum for VLSI applications," *J. Electrochem. Soc.*, 134 (2), 37C, 1987.
- [34] M.L. Green and R.A. Levy, "Chemical vapor deposition of metal for integrated circuit applications," *J. Metals*, 37 (6), 63, 1985.
- [35] M. L. Green, 참고문헌 11, p. 603, 1987.
- [36] D.W. Hess, *VLSI Electronics: Microstructure Science*, vol. 8, Academic Press, Inc., p. 55 1984.
- [37] J.K. Chu, C.C. Tang, and D.W. Hess, "Plasma-enhanced chemical vapor deposition of tungsten films," *Appl. Phys. Lett.*, 41 (1), 75, 1982.
- [38] B. Gorowitz, T.B. Gorczyca, R.J. Saia, "Applications of plasma enhanced chemical vapor deposition in VLSI," *Solid State Tech.*, 28 (6), 197, 1985.
- [39] S.V. Nguyen, "Plasma assisted chemical vapor deposited thin films for microelectronic applications," *J. Vac. Sci. Technol.* B4 (5), 1159, 1986.
- [40] D.W. Hess, "Plasma-Enhanced CVD: Oxides, Nitrides, Transition Metals, and Transition Metal Silicides," *ibid*, A2 (2), 244, 1984.
- [41] E.K. Broadbent and C.L. Ramiller, *J. Electrochem. Soc.*, 131 (6), 1427, 1984.
- [42] N. Lifshitz, D.S. Williams, C.D. Capio, and J.M. Brown, "Selective Molybdenum Deposition by LPCVD," *ibid*, 134 (8), 2061, 1987.
- [43] P. Van Der Putte, 참고문헌 17, p. 77, 1987.
- [44] C. M. Mc Conica and K. J. Cooper, 참고문헌 10, p. 197, 1986.
- [45] C.M. McConica and K. Krishnamani, "The kinetics of LPCVD tungsten deposition in a single wafer reactor," *J. Electrochem. Soc.*, 133 (12), 2542, 1986.
- [46] R. H. Wilson, 참고문헌 10, p. 221, 1986.
- [47] R. S. Blewer, M. E. Tracy and V. A. Wells, 참고문헌 10, p. 407, 1986.
- [48] Suresh Sachdev and Sunil D. Mehta, 참고문헌 10, p. 161, 1986.
- [49] D. W. Woodruff, R. H. Wilson, and R. A. Sanchez-Martinez, 참고문헌 10, p. 173, 1986.
- [50] C. M. Mc Conica, 참고문헌 17, p. 51, 1987.
- [51] D.B. Bradbury and T.I. Kamins, "Effect of insulator surface on selective deposition of CVD tungsten films," *J. Electrochem.*

- Soc.*, 133 (6), 1215, 1986.
- [52] T.J. Faith, J.J. O'Neill, Jr., R.S. Irvén, J.L. Vossen, J.M. Shaw, and J.H. Thomas, III, "Comparative investigation of CF₄-Plasma, Ar-Plasma, and Dilute-HF-Dip Cleaning methods for (Al-Si)/n+ Si contacts," *ibid*, 134 (3), 665, 1987.
- [53] H.H. Busta and C.H. Tang, "Film Thickness Dependence of Silicon Reduced LPCVD Tungsten on Native Oxide Thickness," *ibid*, 133 (6), 1195, 1986.
- [54] J.M. De Blasi, D.K. Sadana and M.H. Norcott, "Interfacial tunnel structures in CMOS source/drain regions following selective deposition of tungsten," *Mat. Res. Soc. Symp. Proc.*, vol. 71, 303, 1986.
- [55] J.M. De Blasi, M. Delfino, D.K. Sadana, K.N. Ritz, and M.H. Norcott, "Reduction of Interfacial tunnel defects in silicon due to chemical vapor depositions of tungsten," *Appl. Phys. Lett.*, 51 (8), 602, 1987.
- [56] M.L. Green, Y.S. Ali, T. Boone, B.A. Davidson, L.C. Feldman, and S. Nakahara, "The formation and structure of CVD W Films produced by the Si reduction of WF₆," *J. Electrochem. Soc.*, 134 (9), 2285, 1987.
- [57] R.C. Ellwanger, J.E.J. Schmitz, A.J.M. Van Dijk, Tungsten and Other Refractory Metals for VLSI Applications III, to be published 1988.
- [58] Tooru Sumiya, Ikuo Hirase, Denis Rufin, Sadayuki Ukishima, Michael Schack, Masato Shishikura, Masamichi Matsuura, and Akio Ito, *참고문헌* 11, p. 645, 1987.
- [59] 이시우, "Chemical Vapor Deposition for Silicon Epitaxy," *화학공업과 기술*, 제 5권 제 3호, 283, 1987. 

♣ 案 內 ♣

본 학회 음향 및 신호처리연구회에서는 금년 12월에 발간되는 전자공학회논문지에 음향 및 신호처리 특집을 게재할 예정입니다.

따라서 아래와 같이 논문을 모집하고 있으니 회원 여러분의 많은 투고 있으시길 바랍니다.

- 아 래 -

- 논문제출마감 : 1988년 9월 20일
- 논문제출처 : 대한전자공학회 사무국
- 논문심사규정 : 대한전자공학회 편집위원회 규정과 동일
- 논문게재예정일 : 1988년 12월 (전자공학회 논문지 제25권 제12호)