

MNOS 소자의 기억특성

Memory Characteristics of MNOS Devices

서광열* · 박영걸** · 김태만***

(Kwang-Yell Suh · Yong-Kul Park · Tae-Man Kim)

요 약

530 Å의 질화막과 23 Å의 얇은 산화막두께로 제작된 MNOS 소자의 기억트랩분포와 기억특성을 TSC 방법과 C-V 방법으로 조사하였다.

소자는 전기적으로 기억갱신이 가능하며 무전압유지가 반영구적임을 확인하였다. 기억트랩에 해당하는 TSC곡선을 분석하는데는 공간적, 에너지적인 트랩의 분포모형을 가정하고 best fitting 법을 사용하였다. 그 결과 기억트랩은 질화막-산화막 계면에서 질화막안으로 10 Å 깊이로 분포되었으며 에너지준위는 질화막전도대 하단에서 2.35~2.38 eV로 분포되어 있음을 밝혔다. 또한, 방전기구는 산화막층을 통한 직접터널링과 열적여기를 함께 고려하여 설명할 수 있었다.

ABSTRACT

Thermally stimulated current technique and C-V method have been used to obtain the trap distribution and the memory characteristics of the MNOS devices with thin oxide layer of 23 Å thick and nitride layer of 530 Å thick which are fabricated for this experiment.

The electrically-alterable memory properties were identified and memory retention without bias is expected to be semi-permanent. In analyzing a TSC curve corresponding to memory trap, a model of traps which includes the distribution in space and energy is assumed. By the best fitting method, memory traps are found to be distributed 10 Å deep into the nitride from the nitride-oxide interface and the level of energy is located at 2.35–2.38 eV below the bottom of the nitride conduction band. The discharging mechanism can be explained by the combination of the direct tunneling through the oxide layer and the thermal excitation.

* 광운대학교 전자재료공학과

** 인하대학교 응용물리학과

*** 경희대학교 물리학과

1. 서론

MNOS (Metal-Nitride-Oxide-Semiconductor) 소자는 Si 기판 위에 SiO₂ 막과 Si₃N₄ 막을 차례로 입힌 2중 게이트 절연막의 구조를 가지고 있다. 전기적으로 write-in 및 소거가 가능하고, 기억유지 (retention) 전력이 필요없기 때문에 트랩 (trap) 형 불휘발성 기억소자로서 많은 기대를 받아왔고, 현재 TV, Video 등의 튜닝계에 실용화되고 있다. 그러나, 기억특성이 절화막과 산화막계면에 가까운 절화막벌크 (bulk) 중의 자연발생적 트랩 준위에 관계되기 때문에 소자의 신뢰성과 고집적화등에서 아직 많은 문제점을 안고 있다.

트랩준위에 대해서는 많은 가설적 분포^{1)~3)}가 제한되었고, 이들 모형으로 기억동작을 어느정도 설명하는 데 성공하고 있으나, 어떤 단일한 모형으로 MNOS 소자의 실험적 특성을 만족할 만큼 설명하지는 못하고 있는 실정이다.⁶⁾ 따라서, 트랩의 에너지적, 공간적 분포나 트랩된 전하의 방출기구에 관하여 직접적인 방법으로 구해진 많은 정보가 필요하다.

MIS 캐패시터나 트랜지스터의 계면트랩의 에너지분포는 소자를 정상상태,^{7)~10)} 혹은 준정상상태¹¹⁾ 조건으로 하여 캐패시턴스나 컨덕턴스를 측정하거나, 보다 직접적인 방법으로 비정상상태 (non-steady state) 조건하에서 열자극전류 (Thermally Stimulated Current : TSC)^{12)~15)} 를 측정하여 조사하는 방법이 알려져 있다.

본 논문은 MNOS 구조의 캐패시터소자를 제작하고, C-V 측정방법을 통하여 일반적인 기억특성과 기억유지특성을 확인하고, 비정상상태의 열자극 측정곡선과 이론곡선 즉, 트랩의 분포가 공간 및 에너지적으로 분포되었으며 방출기구가 트랩에서 산화층을 직접터널링 한

다음 전도대로 열적여기된다는 모형에서 얻어진 이론식을 계산하여 best fitting 시켜서 기억작용과 관련된 트랩의 분포와 기억전하의 방출기구를 규명한 것이다.

2. 이론

N-O계면에 가까운 절화막 벌크중의 트랩에 전하를 채우고, 낮은 온도에서 바이어스전압을 인가하여 비정상상태 조건으로 만든 다음, 온도를 서서히 올린다. 이때, 이완되는 전하에 의한 열자극전류는 트랩의 분포에 따라 다르게 표현된다. 그러나, 트랩이 임의의 분포를 가진다고 할 때는 계산이 불가능하게 되므로 다음과 같은 두 극단적인 경우를 생각한다.

2-1. 트랩이 계면에 에너지적으로 단일한 분포를 이루고 있다고 가정할 경우

산화막-절화막 계면에 있는 단일 에너지준위의 트랩으로부터 전자가 열자극에 의해서 실리콘 전도대로 방출된다고 할 때, 열자극 전류 I_m ¹⁵⁾ 은

$$I_m = \frac{C_1}{C_1 + C_d} A q n = \frac{C_1}{C_1 + C_d} q A N_0 \exp(-\beta^{-1} \int_{T_0}^T e_n dT) \dots\dots\dots (1)$$

이다. 여기서, C_d는 반도체의 공핍층용량, C₁는 산화막과 절화막의 합성용량, A는 면적, N₀는 단위면적당 트랩밀도, β는 온도상승율, e_n = ν exp(-E_a/kT)는 방출확률이다. 이때, E_a는 활성화 에너지, ν는 이탈진동수이며, T = T₀ + βt 이다.

2-2. 트랩이 공간적, 에너지적으로 분포되어 있다고 가정할 경우

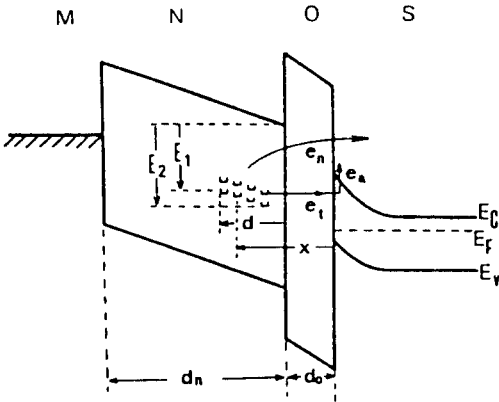


Fig 1. Energy band diagram of the MNOS structure with energy and space distribution of traps.

그림 1과 같이 산화막 질화막으로 부터 기역트랩이 질화막안으로 공간적, 에너지적 분포를 이루고 있는 모형을 생각한다. 이때, 트랩된 전하가 일단 산화막을 터널링한 후 전도대로 열적여기된다고 하면, 열자극전류 \$I_m^{(15)}\$은

$$I_m = \frac{C_I}{C_I + C_d} \int_{E_1}^{E_2} \int_{d_o}^{d_o+d} qAN_t(E, x)e_n \exp(-\beta^{-1} \int_{T_0}^T e_n dT) dx dE \dots\dots\dots (2)$$

이다. 여기서, \$E_1, E_2\$는 각각 질화막전도대 하단으로 부터 트랩까지의 에너지값이이고, \$N_t\$는 단위면적당, 단위에너지당 트랩밀도이다. 유효방출확율은

$$e_n = \tau_e^{-1} = (\tau_t + \tau_a)^{-1} \dots\dots\dots (3)$$

이다. 여기서, \$\tau\$는 유효시정수, \$\tau_t, \tau_a\$는 각각 터널링 시정수 및 열여기 시정수으로써

$$\tau_a = \frac{N_s + N_t}{e_a N_s N_c} = \tau_{a0} \exp\left(\frac{\Delta E}{kT}\right) \dots\dots\dots (4)$$

$$\tau_t = \frac{1}{e_t N_s} = \tau_{t0} \exp\left(\int_0^x N^{-1} \sqrt{8m^* q \phi(E, x)}\right)$$

$$dx) \dots\dots\dots (5)$$

이다. 여기서, \$\tau_{a0}, \tau_{t0}\$는 상수로서 조정할 수 있는 파라미터이며, \$m^*\$는 유효질량, \$\phi\$는 터널링장벽 전위이다.

3. 실험

3-1. 시편제작

MNOS 캐패시터를 만들기 위한 기판은 두께가 \$625\mu m\$, 직경이 \$125\mu m\$이고, 인(P)이 첨가된 비저항 \$5\sim 8\Omega\cdot cm\$인 n형 실리콘(100) 웨이퍼이다. 산화막층은 건식산화법 (\$O_2/7.5\ell\$)으로 \$800^\circ C\$의 확산로(Thermoco, resistance heated furnace)에서 6분간 열적으로 성장시켰으며, 두께는 \$23\text{\AA}\$, 굴절율은 \$1.46\$이었다. 질화막은 저압화학증착로(Thermoco, L-PCVD Hot Wall Furnace) 관안에서 \$NH_3 : SiH_2Cl_2\$의 혼합비를 \$165:40\$으로 한 혼합기체의 반응으로 산화막위에 증착했으며, 두께는 \$530\text{\AA}\$, 굴절율은 \$1.9\sim 2.1\$이다.

산화막과 질화막의 두께는 모두 자동엘립소미터(autoellipsometer : Gaertner Scientific Corp, L116B)를 사용하여 측정했다. 웨이퍼의 앞면은 \$10^{-6}\$ torr로 배기된 증착실에서 스퍼터링(sputtering)법으로 알루미늄(\$1\% Si, 0.5\% Cu\$ 함유)을 \$3,000\text{\AA}\$ 두께로 증착하여 전극으로 하였으며, 앞면의 게이트 전극을 위해서 직경 \$1mm\$의 원형 돛트 마스크(dot mask)를 사용하였다. 음접촉을 위해서 \$450^\circ C\$의 확산로속에서 \$H_2 : N_2\$의 혼합비를 \$0.9:10\$으로 한 기체를 흘리면서 열합금을 실시했다. 게이트 전극을 중심으로 각 변이 \$2 \times 2mm\$인 단위구조가 되도록 자르고, 각각을 \$Au-Si2\%\$를 사용하여 \$420 \pm 10^\circ C\$에서 다이(die) 접착을 한 후 알루미늄선(\$1.25mil\$)을 초음파를 사용하여 부착했다. 다시 \$N_2/O_2\$분

위기의 대기압하에서 $450 \pm 10^\circ\text{C}$ 로 8~10 분 간 세라믹 밀봉을 하여 완성한다.

3-2. 실험방법

제작된 소자의 write-in 및 기억소거특성을 확인하기 위하여 C-V방법을 사용하여 스트레스전압에 따른 flat-band 전압의 변화를 측정하였으며, 소자의 온도는 81K로 유지하였다.

기억소거 특성은 소자에 +30V의 스트레스 전압을 인가하여 트랩에 기억전하를 기억시킨 다음, 300K의 실온으로 유지된 암상자속에 장치하고, 시간별 flat-band 전압의 변화를 측정하여 조사하였다. flat-band 전압의 측정은 램프전압에 의한 기억전하량의 변화를 막기 위하여 지속시간(duration time) 0.5ms, 램프폭 $\pm 17\text{Vpp}$, 트리거 주파수 0.2Hz의 빠른 램프방법을 사용하였으며, 측정계의 블록 다이어그램은 그림 2와 같다.

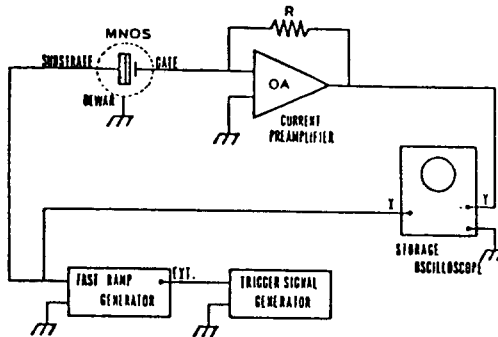


Fig 2. Block diagram of the fast ramp technique for measuring the flat band voltage.

열자극전류의 측정을 위해서 매 측정시마다 시편의 초기상태는 시편의 온도를 $T_1 = 81\text{K}$ 로, flat-band 전압을 $V_{fb} = -4\text{V}$ 로 취했으며, 측정계의 블록다이어그램은 그림 3과 같다.

일반적으로 초기의 소자에 양(+)의 적정한 스트레스전압을 가한 후, 게이트 바이어스를 인가한 채, 온도를 상승시키면서 열자극전류를 측정하면, 3개의 피이크를 가진 I-T곡선을 얻게 된다. 첫번째 피이크는 Si-SiO₂의 계면트랩으로부터, 두번째 피이크는 기억트랩으로부터 이완된 전하에 의한 열자극전류이며, 세번째 피이크는 실리콘의 벌크트랩에 의한 것임을 알 수 있다.¹⁶⁾⁻¹⁷⁾ 스트레스전압의 극성과 크기를 선택하므로써 두번째 피이크를 다른 것으로부터 분리할 수 있으며, 스트레스전압, 게이트 바이어스 전압, 온도상승율을 변화시키면서 열자극전류를 측정하면 각 조건을 파라미터로 한 기억트랩으로부터의 I-T 곡선을 얻을 수 있다.

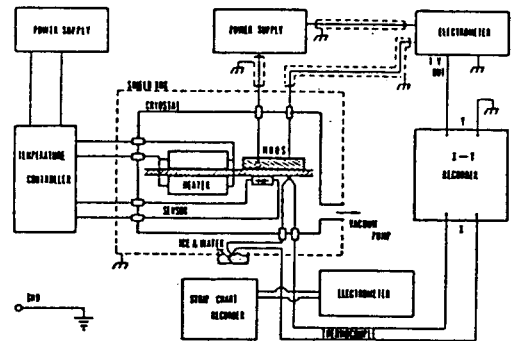


Fig 3. Block diagram of the experimental apparatus for the I-T measurement.

4. 결과 및 고찰

4-1. Write-in 전압에 의한 히스테리시스곡선

기억동작의 Write-in과 소거의 일반적인 특성은 C-V곡선을 측정하여 조사하였다. 소자의 온도는 81K로 유지하고 스트레스전압 V_s 를 1분간 가한 다음, 빠른 램프전압(지속시간 0.5ms)를 인가했을 때 순간적인 C-

V곡선의 변곡점 이동을 읽어 flat-band 전압 이동 ΔV_{fb} 를 측정하여 그림 4와 같은 히스테리시스곡선을 얻었다.

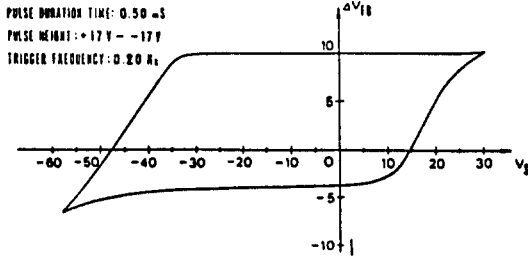


Fig 4. Hysteresis curves showing the memory characteristics at 81K.

그림은 write-in 과 소거가 전기적으로 이루어지며, 기억된 전하량의 충전과 방전에 따른 flat-band 전압이 스트레스전압 뿐만 아니라 소자의 전상태에 따라 다르게 되는 것을 보여주고 있다. 그림에서 알 수 있는 바와 같이, 81K에서 -30V의 음(-)의 스트레스전압을 가하므로써 flat-band 전압이 $V_{fb} = 4V$ 가 되도록 초기조건을 일정하게 할 수 있으며, 전하를 write-in 하는 데는 +25V 전후의 스트레스 전압이 적절함을 알 수 있다.

4-2. 기억유지 (retention) 특성

기억유지특성을 실온에서 조사하였다. 300K에서 -30V의 스트레스전압을 1분간 가한 소자의 flat-band 전압은 $V_{fb} = -8V$ 로 되었으며, 이 상태에 write-in 전압 +30V를 1분간 가한 다음 측정된 flat-band 전압은 $V_{fb} = +9.6V$ 로 되었다. 이 소자를 300K로 유지한 암상자에 장치하여 기억유지특성을 빠른 램프방법 (지속시간: 0.5ms)을 사용한 C-V 곡선측정으로 조사한 결과는 그림 5와 같다.

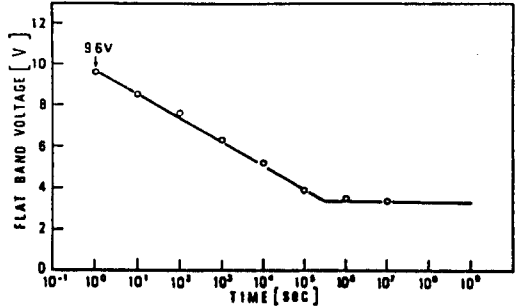


Fig 5. Retention characteristics. (at 300K)

초기에는 기억전하의 감쇠에 따른 flat-band 전압의 변화는 나타나지 않았으며, 무전력으로 반영구적인 기억유지 특성을 가지고 있음을 보이고 있다.

4-3. 기억트랩분포의 결정

시편을 초기상태에서 1분간 +25V의 스트레스전압을 가하여 모든 트랩을 채운 후, 게이트 바이어스전압 $V_g = -15V$ 하에서 세개의 온도상승을 β 에 대한 TSC를 측정하여 세개의 피크를 가진 일반적인 I-T 곡선을 얻었으며, 그 결과는 그림 6과 같다.

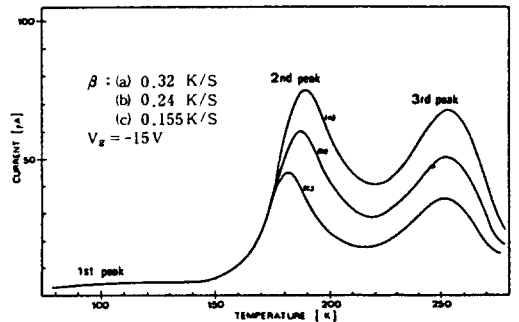


Fig 6. I-T characteristic curves for different heating rates with stress voltage of +25V.

그림 7은 기억트랩을 채우지 않은 채로 그림 6과 동일한 V_g, β 의 조건하에서 측정된

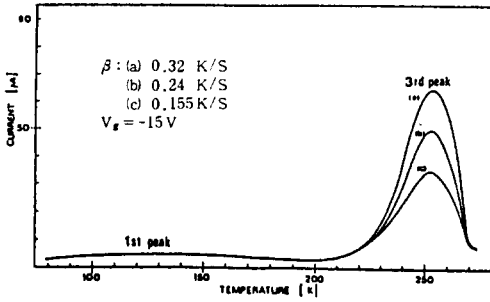


Fig 7. I-T characteristic curves in which the peaks of memory traps be disappeared for different heating rates. Stress voltage of -30V was applied at 81K in order to erase the memory charge.

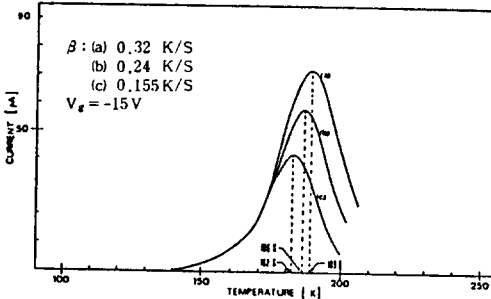


Fig 8. Im-T characteristic curves due to the memory traps for different heating rates.

TSC이다. 그림에서 알 수 있는 바와 같이 기억트랩으로부터 이완되는 전자에 의한 전류인 두번째 피크는 나타나지 않았다. 그림 6과 7에서 곡선 (a), (b) 및 (c)에 각각 대응되는 곡선끼리 빼면 기억트랩에서만 방출된 전하의 TSC를 얻을 수 있으며, 그 결과가 그림 8이다. 그림에서 알 수 있는 바와 같이 각 곡선의 최대전류에 대한 온도 T_m 은 온도상승율이 증가할수록 고온쪽으로 이동함을 알 수 있다.

$1/T_m$ 에 대한 T_m^2/β 의 그래프를 그리면, 그림 9와 같이 되며, 식(1)을 T로 미분해서 0

으로 놓아 구한 식에 그 기울기값을 대입하여 활성화 에너지 $E_a=0.377eV$, 이탈진동수 $\nu=6.60 \times 10^8 s^{-1}$ 을 구하였다. 이 값을 사용하여 방출확률 $e_n=6.60 \times 10^8 \exp(-0.377q/kT)$ 을 얻은 다음 식(1)에 대입하여 컴퓨터로 계산한 결과의 곡선을 실험곡선과 best fitting 시킨 결과, 그림 10과 같이 된다. 이때, 피이크에서 전류의 값을 일치시키기 위해서 트랩밀도는 $N_0=0.9 \times 10^{12} cm^{-2}$ 로 취했다. 트랩에너지준위는 활성화 에너지값이 $0.377eV$ 이므로 MNOS구조의 에너지밴드 다이어그램¹⁸⁾으로 부터 쉽게 구할 수 있으며, 그 값은 질화막의 전도대 하단으로부터 $2.377eV$ 깊이

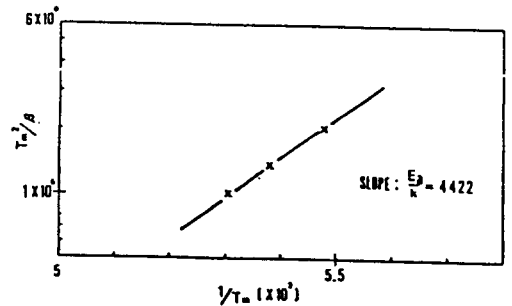


Fig 9. Trap depth can be obtained from the slope of T_m^2/β vs. $1/T_m$ curve which is drawn using the data of Fig.8.

Table 1. Values of various parameters used for calculation.

$d_0=23 \text{ \AA}$,	$d_a=530 \text{ \AA}$	$A=7.83 \times 10^{-9} cm^3$
$\epsilon_{ox}=3.85 \epsilon_0$,	$\epsilon_s=7.0 \epsilon_0$,	$\epsilon_n=11.9 \epsilon_0$
$L_s=0.9 \times 10^{-4} cm, m^0=0.4m-3.6 \times 10^{-20} gJ/erg$		
$N_d=7 \times 10^{14} cm^{-3}, N_v=1.04 \times 10^{19} cm^{-3}$		

에 분포된 것으로 나타난다. 계산에서 사용된 여러 파라미터의 값은 표 1과 같이 된다.

그러나, 그림 10에서 알 수 있는 바와 같

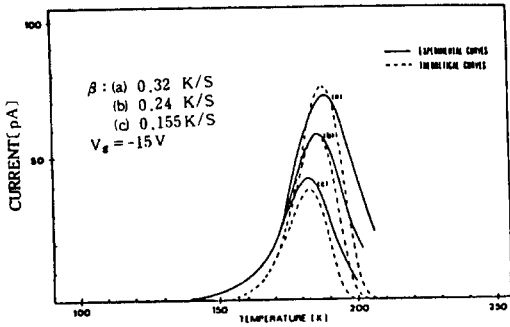


Fig 10. Comparison between the theoretical curves(---) for monoenergetic traps 0.377 eV and experimental curves(—)

이 계산곡선은 그 실험곡선에 비해 폭이 좁다. 이것은 기억트랩이 질화막과 산화막 계면에 단일 에너지적으로 분포되어 있다는 가정을 수정해야 함을 뜻한다. 즉, 공간적, 에너지적 분포를 고려해야 한다.

트랩의 공간적, 에너지적 분포를 고려한 TSC의 식(2)는 트랩이 임의의 분포를 가질 경우, 계산이 불가능하게 되므로 두 극단적인 단순한 분포를 가정한다. 즉, 1) 단일에너지 준위의 트랩이 질화막-산화막 계면에서 질화막쪽으로 균일하게 분포되어 있는 경우, 2) 질화막-산화막 계면에 에너지적으로 균일하게 분포되어 있는 경우이다. 이와같이 가정한 각 경우에 대해서 식(2)를 사용한 계산곡선이 실험곡선과 가장 잘 일치되도록 식이 포함하고 있는 파라미터의 값을 조정하므로써, 1)의 경우에서 트랩의 공간적 분포를, 2)의 경우에는 트랩의 에너지적 분포를 구할 수 있다. 각 경우 컴퓨터 계산된 곡선의 결과와 실험곡선이 그림 11에 그려져 있다. 그림에서 알 수 있는 바와 같이 두 극단적인 트랩분포에 대한 계산곡선은 모두 실험곡선과 좋은 일치를 보였다. 이것은 그 중 어느 분포로도 실험결과를 설명할 수 있으며, 이론식을 세울 때 도입한 트랩

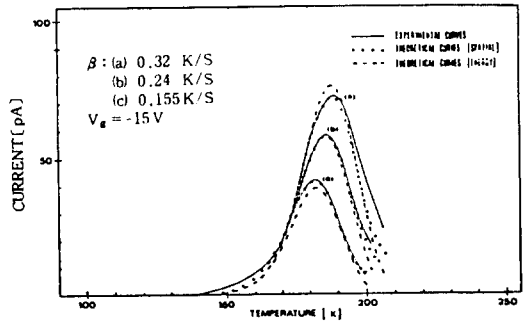


Fig 11. Comparison between the theoretical curves and experimental curves for various heating rates. Dotted lines show calculations for the traps distributed in space and broken lines for the traps distributed in energy.

로부터의 전자방출 모형 즉, 터널링과 열적여기를 함께 고려한 모형도 정당하다고 볼 수 있다. < 표 2 > 는 두 극단적인 트랩분포를 가정한 각 경우에 얻어진 시정수, 트랩에너지준위 및 분포깊이를 함께 나타낸 것이다.

Table 2. Value of time constant, energy level and depth for the two extreme cases of trap distribution.

	for spatial distribution	for energy distribution
τ_{10}	5.7×10^{-13} s	5.7×10^{-13} s
τ_{∞}	1.15×10^{-9} s	4.99×10^{-9} s
energy	2.35 eV	2.35~2.38 eV
depth	10 Å	0 Å
trap density	9.5×10^{19} cm ⁻²	1.69×10^{18} cm ⁻² ev ⁻¹

5. 결 론

본 논문은 MNOS 기억소자를 캐패시터형의 구조로 제작하여 기억특성을 조사한 것이다.

제작된 시편은 $5\sim 8\Omega\text{-cm}$ 인 n형 실리콘(100) 기판위에 양질의 SiO_2 막을 23A의 두께로 입히고, 그 위에 Si_3N_4 막을 530A으로 입힌 얇은 산화막을 가진 구조로서 게이트면적은 $7.83\times 10^{-3}\text{cm}^2$ 이었다.

기억특성을 조사하기 위하여 열자극전류 방법과 C-V법을 사용하였으며, 측정결과 다음과 같은 결론을 얻었다.

1) MNOS 소자는 무전력의 반영구적인 기억유지 특성을 가지며, 전기적으로 write-in 과 소거가 가능한 EEPROM에의 이용에 대단히 유망함을 확인하였다.

2) 기억특성에 관련된 기억트랩은 공간적으로 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 계면에서 Si_3N_4 막의 벌크 쪽으로 약 10A의 깊이까지, $9.51\times 10^{19}\text{cm}^{-3}$ 의 밀도로 분포되어 있으며, 에너지적으로는 전도대의 하단으로부터 2.35~2.38eV의 에너지폭을 가지고 분포되어 있다.

3) 게이트 인가전압이 낮아서 기억트랩의 에너지준위가 실리콘의 에너지간격에 대응할 때는 기억트랩의 전자는 일단, Si-SiO₂ 계면으로 터널링한 후, 열적여기에 의해서 실리콘 전도대로 방출한다.

본 연구는 1986년도 문교부 자유과제 학술연구 조성비에 의하여 이루어졌음.

Reference

1. J.T.Wallmark and J.H.Scott; *RCA Rev.* **30**, 335(1969)
2. E.C.Ross and J.T.Wallmark; *RCA Rev.* **30**, 336(1969).
3. G.Dorda and M.Pulver; *Phys. Stat. Sol(a)*, **1**, 71(1970)
4. M.H.White and J.R.Cricchi; *IEEE Trans. Electron Devices* **ED-19**, 1280(1972).
5. A.V.Ferris-Prabhu; *Appl. Phys. Lett.* **20**, 149(1972)
6. A.K.Agawal and M.H.White; *IEEE Trans. Electron Devices* **ED-32**, 941(1985)
7. L.M.Terman; *Solid-State Electron.* **5**, 285 (1962)
8. C.N.Berglund; *IEEE Trans. Electron Devices* **ED-13**, 701(1966)
9. P.V.Gray and D.M.Brown; *Appl. Phys. Lett.* **8**, 31(1966)
10. E.H.Nicollian and A.Goetzberger; *Appl. Phys. Lett.* **10**, 60(1967)
11. M.Kuhn; *Solid-State Electron.* **13**, 873 (1970)
12. L.I.Gross Weiner; *J. Appl. Phys.* **24**, 1306 (1953)
13. A.H.Booth; *Can. J. Chem.* **32**, 214(1954)
14. J.S.Uranwala, J.G.Simmons and H.A.Mar; *Solid-State Electron.* **199**, 375(1967)
15. T.Katsube, Y.Adachi and T.Ikoma; *Solid-State Electron.* **19**, 11(1976)
16. 서광열; 광운대학논문집 **16**, 39(1987)
17. L.S.Wei and J.G.Simmons; *Solid-State Electron*; **17**, 591(1974)
18. A.M.Goodman, E.C.Ross and M.T.Duffy; *RCA Rev.* **31**, 342(1970)