

다이리스터 CAD 모델

이 창 우

(한국과학기술원 전기 및 전자공학과 박사과정)

1. 서 론

1960년대 다이리스터가 개발된 이후 지난 20년 동안 다이리스터의 응용은 산업제어 장비분야에 커다란 혁신을 가지고 왔다. 이러한 혁신은 전적으로 다이리스터의 전력처리 능력향상과 가격의 격감에 따라 모든 전력스위칭이나 전력 변환에 다이리스터를 사용하면 경제적으로 그 목적을 달성할 수 있었기 때문이다.

다이리스터는 일반적으로 그 특성이 잘 알려져 있듯이 턴온시 과대한 순방향승을 di/dt , 턴오프 후의 과대한 순방향 전압상승을 dv/dt 나 적당하지 않은 회복시간(t_g)은 소자의 파괴나 오동작의 원인이 된다. 따라서 회로의 동작 주파수가 높아지거나 대전력 응용을 할 경우 이러한 서어지 전류와 과도현상을 심각하게 고려하면서 설계하여야 한다. 이와 같이 다이리스터를 사용한 전력회로 설계는 설계시에 고려해야 할 사항의 복잡성 때문에 일반적으로 안전여유(safety margin)를 많이 주면서 신뢰도를 갖도록 설계하고 있다. 따라서 이것은 필요이상의 경비 및 손실이 발생하는 원인이 되고 있다. 더우기 실제 존재하고 있는 정확한 여유분에 대하여 보편적인 설계계산으로서는 확인할 방법이 없는 문제점도 있다. 이러한 문제점들은 컴퓨터를 이용하여 보다 정확하고 자세하게 계산을 함으로써 해결할 수 있다.

컴퓨터를 이용한 설계(CAD)는 시뮬레이션에 의해 회로의 동작을 평가하고 그 결과를 이용하여 회로를 설계하는 것이다. 설계자에게 시뮬레이션이 보편화 되기 위해서는 소자의 모델이 소자의 동작을 정확하게 시뮬레이션 해 주어야

하며 그 모델에서 사용되는 파라미터는 구입이 용이한 소자 제작회사가 제공하는 정보에서 얻을 수 있어야 한다.

컴퓨터를 이용하여 다이리스터 전력회로를 설계할 경우에 필요한 다이리스터모델은 다이리스터의 PNP 구조를 2개의 트랜지스터로써 모델하거나^{1,2} 내부 3접합을 3개의 다이오드로써 모델하는 방법이 있다.^{3,4} 이 방법들은 다이리스터의 실제 물리적인 현상을 재현하기 보다 단지 기능적인 과정에 관하여 모델하는 것이다. 이러한 종류의 모델은 SPICE2와 같은 범용성이 있는 프로그램으로 구현할 수 있다는 점과 크기가 작은 소자에 대하여 상당히 정확한 시뮬레이션 결과를 얻을 수 있다는 장점은 있지만 모델이 복잡하여 컴퓨터 계산효율이 떨어지며 3차원 구조의 소자를 1차원적으로 근사하여 모델을 유도하였기 때문에 직경이 큰 칩일 경우에는 시뮬레이션 결과가 정확하지 않은 단점을 갖는다. 또한 모델 내부에는 정궤환루우프를 가지고 있기 때문에 시뮬레이션 과정에서 수렴이 잘 되지 않는 수치해석인 문제를 가지고 있어 시뮬레이션 결과를 얻을 수 없는 경우가 발생한다. 반면에 다이리스터내부의 물리적인 현상은 생각하지 않고 외부에서 일어나는 현상을 이용하여 모델링을 한 매크로 모델은⁵ 모델이 간단하여 컴퓨터계산효율을 높일 수 있을 뿐 아니라 모델내부에 정궤환루우프를 생각하지 않기 때문에 수치해석 상의 문제는 발생되지 않는 큰 장점을 갖는다. 이러한 모델은 주로 다이리스터의 역회복 과도현상을 정확하게 시뮬레이션 해 줄 수 있으므로 대용량 혹은 고주파 전력회로의 시뮬레이션용으로는 대단히 유리하다.

본 기고에서는 앞에서 언급된 다이리스터모델들에 대한

동작과 장점 및 단점에 대하여 기술하고자 한다.

2. 2 트랜지스터 모델

2.1 Hu-Ki 모델

그림 1은 Hu-Ki의 2트랜지스터 다이리스터모델¹⁾의 구조를 보여주고 있다. 이 모델은 다이리스터를 시뮬레이션하기 위하여 SPICE2모델 라이브러리로부터 4개의 소자모델을 이용하고 있는 데 여기에서 요구되는 모델파라미터는 50개 이상이 되지만 11개의 파라미터는 Hu-Ki방법에 의하여 결정되고 나머지는 SPICE2의 내부 default 값을 사용한다. 더우기 11개의 모델파라미터중 8개가 명시된 다이리스터의 사양 데이터에서 추출된다. 여기에서 추가된 다이오드는 순방향 breakover 전압을 시뮬레이션하기 위한 것이며 저항은 제이트 threshold 전류를 시뮬레이션하기 위한 것이다.

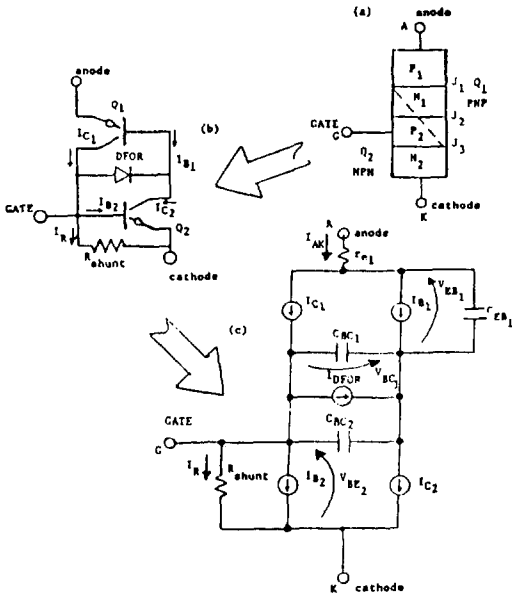


그림 1. Hu-Ki의 다이리스터 모델

- (a) PNP 4층소자의 구조
- (b) Hu-Ki 모델의 구조
- (c) Hu-Ki 모델의 등가회로

그림 1(C)에서 보여주고 있는 각 2단자 소자에 대한 식은 다음과 같다.

$$r_{e1} = R_{E1} \quad (1)$$

$$I_{C1} = I_{S1} (e^{V_{EB1}/\theta} - e^{V_{CB1}/\theta}) - \frac{I_{S1}}{\beta_{R1}} (e^{V_{CB1}/\theta} - 1) \quad (2)$$

$$I_H = \frac{I_{S1}}{\beta_{F1}} (e^{V_{EB1}/\theta} - 1) + \frac{I_{S1}}{\beta_{R1}} (e^{V_{CB1}/\theta} - 1) \quad (3)$$

$$C_{BE1} = \frac{\tau_{r1} I_{S1}}{\theta} e^{V_{EB1}/\theta} \quad (4)$$

$$C_{BC1} = \frac{\tau_{r1} I_{S1}}{\theta} e^{V_{CB1}/\theta} \quad (5)$$

$$I_{DFOR} = \frac{I_{Sd} (e^{V_{CB1}/\theta} - 1)}{1 - \left(\frac{V_{CB1}}{V_{BO}}\right)^6} = \frac{I_{Sd} (e^{V_{BC2}/\theta} - 1)}{1 - \left(\frac{V_{BC2}}{V_{BO}}\right)^6} \quad (6)$$

$$I_{C2} = I_{S2} (e^{V_{BE2}/\theta} - 2e^{V_{BC2}/\theta} + 1) \quad (7)$$

$$I_{B2} = \frac{I_{S2}}{\beta_2} (e^{V_{BE2}/\theta} - 1) + I_{S2} (e^{V_{BC2}/\theta} - 1) \quad (8)$$

$$C_{BC2} = C_{JC2} (1 - V_{BC2})^{-0.5} \quad (9)$$

$$R_{shunt} = R \quad (10)$$

여기에서 $\theta = \frac{q}{nkT}$ ($1 < n < 2$), $\beta = \frac{\alpha}{1-\alpha}$,

α : 트랜지스터의 전류이득, I_S : 누설전류, τ : 캐리어 전송시간, V_{BO} : 순방향 breakover 전압, C_{JC} : 콜렉터 접합 캐패시턴스, R_{E1} : 트랜지스터의 에미터 저항이다.

소자의 데이터 사양 자료(data specification sheet)로부터 8개의 모델파라미터를 산출하는 과정은 다음과 같다.

- 1) 주어진 게이트 과거 전류 I_{GT} 로 부터 $R=0.7(V)/I_{GT}$ 를 계산한다.
- 2) $\alpha_2=0.9$ 혹은 0.95로 고정한다.
- 3) 유지전류 I_H 와 I_{GT} 로 부터 $\alpha_{r1} = 1 - \alpha_{t2} + \frac{I_{GT}}{\alpha_{r2} I_H}$ 를 계산한다. 만약 $\alpha_{r1} > 0.9$ 이면, $\alpha_{r1}=0.9$ 로 하고 $\alpha_{R1} = \alpha_{r1}$ 로 계산한다.
- 4) 상승시간 tr 과 2), 3)에서 계산한 α_{r1} , α_{r2} 로 부터 $\tau_{r1} = (\beta_{r1} \beta_{r2} - 1) \cdot tr / (1.8 \beta_{r1})$ 를 계산한다.
- 5) $I-V$ 특성곡선으로부터 얻은 V_T 를 이용하여 $I_{S1} = I_{S2} = 10^{-(VT+0.74)/0.11}$ 을 계산한다.
- 6) $I-V$ 특성곡선으로부터 얻은 R_{on} 을 이용하여 $R_{E1} = R_{on}$ 을 계산한다.
- 7) t_a 로 부터 $\tau_{r1} = 9t_a$ 를 계산한다.
- 8) I_H , dv/dt , t_{on} (만약 tr 만 주어졌을 경우 $t_{on} = \frac{3}{2} tr$ 로 가정한다)으로부터 $C_{JC2}(f) = 0.4 I_H(A) t_{on} \frac{dv}{dt}$ 를 계산한다.

9) V_{BO} 로부터 다이오드 봉괴전압 $= V_{BO}$ 로 한다. 위와 같이 Hu-Ki모델은 간단한 계산에 따라 파라미터 추출이 가능하다. 이 모델은 tr , I_H , I_{GT} , V_T , 온저항 V_{BO} ,

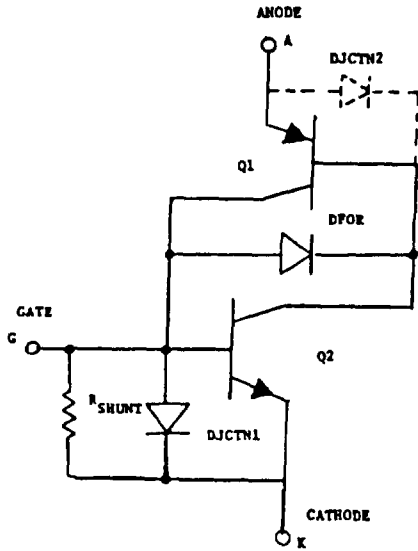


그림 2. 수정된 Hu-Ki의 다이리스터 모델

dv/dt와 tq를 시뮬레이션할 수 있으며 2트랜지스터모델에 기본을 두었기 때문에 SPICE2의 내부 트랜지스터 모델을 사용할 수 있는 장점을 가지고 있다. 반면에 턴오프 과정에서 SPICE2에서는 트랜지스터의 접합붕괴를 시뮬레이션할 수 없으므로 접합 J₃의 아발란치붕괴가 시뮬레이션되지 않으며 접합 J₁의 캐패시턴스가 확산캐패시턴스만 고려되기 때문에 LC공진회로 시뮬레이션시에 공핍캐패시턴스의 무시에 따라 원하지 않는 공진현상이 일어나는 단점을 가지고 있다. 이러한 문제점을 보완하기 위하여 다음과 같이 Hu-Ki 모델이 수정되었다.

2.2 수정된 Hu-Ki 모델

그림 2는 수정된 Hu-Ki 모델²⁾을 보여주고 있다. 턴오프 과정에서 일어나는 접합 J₃의 아발란치붕괴는 J₃와 병렬로 연결된 다이오드(DJCTN1)에 의하여 시뮬레이션이 된다. 다이리스터규격 데이터는 최대역방향 게이트 전압이 주어지므로 이 전압이 J₃의 붕괴전압을 결정하는 데 사용된다. Hu-Ki 모델의 접합 J₁의 확산캐패시턴스만 고려하여 발생하는 문제는 공핍캐패시턴스항을 추가하여 해결할 수 있다. 따라서

$$C_{BE1} = \frac{\tau_{11} I_{S1}}{\theta} e^{V_{EB1}/\theta} + C_{JE1} (1 - V_{EB1})^{-0.5} \quad (11)$$

가 되어야 한다. 또한 다이오드(DJCTN2)가 Q₁의 에미

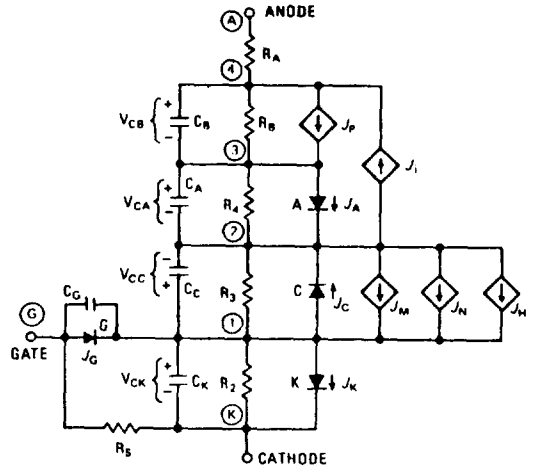


그림 3. Nienhaus의 다이리스터 모델

터-베이스간에 병렬로 연결되어 역방향 전압이 접합 붕괴 전압보다 클 경우에 일어나는 아발란치붕괴를 시뮬레이션할 수 있도록 해 준다. 따라서 수정된 Hu-Ki 모델은 다음과 같이 3개의 파라미터가 추가된다.

$$C_{JE1} \begin{cases} \geq 0.5 C_{JC2} \\ \leq C_{JC2} \end{cases} \quad (12)$$

$$I_{SDJCTN2} \leq 0.1 I_{S1} \quad (13)$$

$$V_{BODJCTN2} \cong V_{B0} \quad (14)$$

3. 3다이오드 모델

3.1 Nienhaus 모델

그림 3은 다이리스터의 PNP 구조를 접합 캐패시턴스를 갖는 3개의 접합 다이오드로써 모델한 것이다.⁴⁾

다이오드의 전류-전압식에 따라 각 다이오드에 흐르는 전류는 다음과 같다.

$$J_A = I_{ASAT} (e^{\theta V_{CA}} - 1) \quad (15)$$

$$J_C = I_{CSAT} (e^{\theta V_{CC}} - 1) \quad (16)$$

$$J_K = I_{KSAT} (e^{\theta V_{CC}} - 1) \quad (16)$$

여기에서 I_{SAT}은 역방향 포화전류를 나타내고 V_C는 각 접합당에 나타나는 전압이다. 만약 애노드-캐소드간 전압이 순방향으로 바이어스 되어있는 상태에서 게이트에 적당한 크기의 전류를 흐르게 해 주면 다이리스터는 턴온이 된

다. 이 모델에서는 다이오드K가 순방향 바이어스 됨으로써 턴온이 시작되는 데 이 경우 전체 주입전류 J_K 의 일부분이 콜렉터 접합으로 확산한다. 이 확산전류는 종속전류원 $J_M (= \alpha_1 J_K)$ 로 표현된다. 마찬가지로 다이오드 접합 A와 콜렉터 접합 C의 순방향 바이어스에 의한 확산전류는 $J_M (= \alpha_2 J_A)$ 과 $J_1 (= \alpha_1 J_C)$ 로 각각 표현된다. 또한 이 모델에서의 3접합 캐패시턴스는 확산성분과 공핍층성분으로 이루어지고 있는데 확산성분은 주입전류에 비례하여 나타나며 공핍층 성분은 다이리스터의 성능에 크게 영향을 주지 않는다고 생각하여 이 모델에서는 일정하다고 생각하고 있다. 이들 캐패시턴스에 관한 식은

$$C_A = K_{dA} J_A + C_{tA} \quad (18)$$

$$C_C = K_{dC} J_C + C_{tC} \quad (19)$$

$$C_K = K_{dK} J_K + C_{tK} \quad (20)$$

이다. 여기에서 K_d 항은 확산에 관계되는 비례상수이며 공핍층 상수는 C_t 항으로 표현된다. J_H 는 주입전류 J_K 의 일부이며 J_P 는 주입전류 J_A 의 일부이다. J_H 는 게이트 전류에 따라 변화하고 J_P 는 다이리스터의 비선형 온저항을 시뮬레이션하는 데 요구된다. 전파효과(spreading effect) (초기에 게이트 근처에서 흐르는 전류가 전류의 도통영역이 확장됨에 따라 다이리스터의 온전압이 감소하는 효과)는 캐패시턴스 C_B 의 충전시간에 의해 정확하게 시뮬레이션된다. 턴온되는 동안 R_B 저항을 통하여 흐르는 전류는 캐패시턴스 C_A 를 충전시키는 데 필요한 전류와 C_B 에서 흐르는 전류의 차이와 같다. 그러므로 동적인 상태에서 다이오드 C는 낮은 애노드전류에서 순방향으로 바이어스가 된다. C_B 가 방전됨에 따라 R_B 의 전압은 정상상태에서 천천히 감소한다. 이러한 상황이 발생되는 데 요구되는 시간이 전파시간인데 이것은 R_B , α_0 및 C_B 와 관계가 있다. 콘덴서 C_B 의 충전은 주입전류 J_A 의 비선형 함수관계가 된다. 애노드-케소드간 확산캐패시턴스 상수 K_{dA} 와 K_{dK} 는 턴온 지연과 상승시간을 시뮬레이션해 준다. 그리고 K_{dA}/K_{dK} 는 상승시간과 전파 시간 사이의 분기점(breakpoint)을 시뮬레이션 한다. 초기의 턴온지연은 케소드 접합 캐패시턴스 C_{tC} 로 시뮬레이션되며 콜렉터확산 캐패시턴스 상수 K_{dC} 는 턴오프 시간을 결정한다. 다이리스터의 유지전류보다 큰 애노드 래칭전류 $\alpha_3 J_K$ 는 J_H 로써 모델에 포함되어 있다. 여기서 전류이득 α_3 는 게이트 주입전류 J_G 가 양일 경우 0이 되고 그의 다른 값을 가질 경우 유한한 작은 값을 갖게 된다. 유지전류는 $\alpha_1 + \alpha_2 = 1$ 인 전류레벨에서 발생되는 데 전류레벨이 낮을 경우

α_1 과 α_2 는 전류에 따라 증가하는 함수가 되어 래칭전류는 유지전류보다 더 높은 전류레벨에서 일어난다.

다이리스터 게이트의 턴온전류와 전압특성은 R_S 와 α_1 과 α_2 의 낮은 전류값과 게이트-케소드간 다이오드의 비선형 특성에 의하여 시뮬레이션 된다. R_S 저항은 게이트-케소드 극에서 상대적으로 작은 값을 나타내는 데 이것은 대부분의 고전력 다이리스터가 에미터 단락구조를 갖기 때문이다. 다이리스터의 애노드-케소드간 정적인 온저항은 비선형저항 R_B 와 $J_P (= \alpha_0 J_B)$ 에 의하여 표현된다. 이 저항은 애노드 전류가 증가하면 감소하는 데 이것은 다이리스터의 전체 단면적중 많은 부분이 도통되기 때문이다. 동적인 경우의 온전압은 전파효과에 의하여 정적인 경우보다 작게 된다. 이 비선형 특성은 효과적으로 상호 종속전류원과 애노드 콘덴서에 나타나는 전압에 의해서 시뮬레이션 된다. 다이오드 G는 실제 접합이 아니고 다이리스터 게이트 영역의 비선형 저항을 표현하기 위하여 삽입한 것이다. 이 다이오드는 증폭 게이트형 소자에서의 pilot 케소드 전압의 전압강하도 고려해 준다. 또한 이 다이오드는 다이리스터의 게이트가 역방향 바이어스가 되더라도 턴오프가 되지 않도록 해 준다.

Nienhaus 모델은 3접합 구조를 가지고 있어서 범용 CAD 프로그램에 적용하기가 용이하며 모델수정이 가능하다. 그리고 이 모델은 온상태 애노드-케소드간 비선형 전압이 시뮬레이션 잘 되며 t_d , t_r , 축적시간(t_s), t_q , I_{GT} , I_H , I_L 등이 시뮬레이션 가능한 장점을 갖는다. 단점으로는 모델이 너무 복잡하며, 모델파라미터는 실험에 의하여 결정하여야 하고, dv/dt , 턴오프 과도현상이 잘 시뮬레이션되지 않는 것이다.

3.2 J3 모델

그림 4는 다이리스터 내부의 3접합구조를 3다이오드로 모델한 J_3 모델³⁾을 보여 주고 있다. 이 모델은 Nienhaus 모델보다 간단하며 데이터 사양 자료를 이용하여 모델 파라미터를 계산하고 있다. 그러나 파라미터 산출 계산법이 Hu-Ki보다 복잡한 데 이것은 다이리스터의 동특성 시뮬레이션을 보다 정확하게 해 주기 위한 것이다. 모델에서 사용한 R_A , R_C 저항은 수치해석에서 필요한 DC 초기조건 계산을 도와 주기 위한 것으로 모델 기능에 영향을 주지 않도록 큰 값으로 선정하여야 한다.

J_3 모델의 파라미터 계산방법은 그림 5에서 보여주고 있다.

그림 6의 회로와 SPICE2를 이용하여 소자(GE C602 LM)의 동특성인 턴온, dv/dt 와 턴오프를 시뮬레이션하기

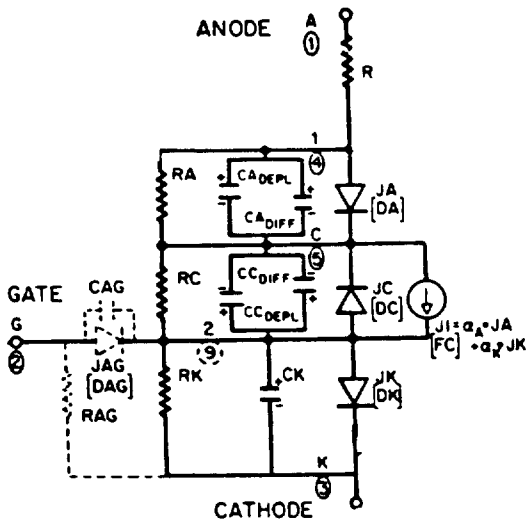


그림 4. J₃ 다이리스터 모델

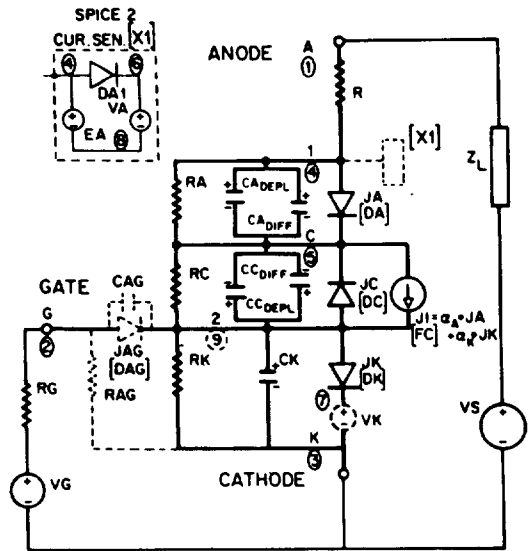


그림 6. J₃ 다이리스터 모델의 테스트 회로

| | |
|--|---|
| Resistors | Linear Capacitor |
| $RA = 10^9$ ohms $RC = 10^{10}$ ohms $R = [V_T(I_{TM}) - V_T(.1I_{TM})] / .91I_{TM}$ ohms $RK = .75V / I_{GT}$ ohms : $I_{GT} \leq .95I_H$ | Amplifying Gate : $CK = \frac{(1/RK + 1/RAG + 1/RG)t_d}{I_n(1 - .75/V^{\infty}_{CK})}$ F. where : $V^{\infty}_{CK} = \left\{ V_G - .75 \left(1 + \frac{RG}{RAG} \right) \right\} / \left(1 + \frac{RG}{RAG} + \frac{RG}{RK} \right)$ |
| Transport Factors | Non-amplifying Gate : $CK = \frac{-.8t_d}{\frac{RG}{RG+RK} \ln \left(1 - \frac{.78(RG+RK)}{VG} \right)}$ F. |
| $\alpha_K = 1.0$ $\alpha_A = \begin{cases} (I_{GT} + .01 \text{ ma}) / I_H & \text{for } I_{GT} \leq .95 I_H \\ .95 & \text{for } I_{GT} > .95 I_H \end{cases}$ | Depletion Layer |
| Optional Amplifying Gate Elements | Zero-Bias Capacitance |
| $I_{SDAG} \approx 3.0 \times 10^{-14}$ amps. with $\theta = .026V$ $RAG = \begin{cases} 1.5V / (I_{GT} - .95I_H) & \text{if } I_{GT} > I_H \\ \infty & \text{if } I_{GT} < I_H \end{cases}$ ohms $CAG \leq .1 \times CK$ | $CC_{DEPL_0} = .45 \left[\frac{.75CK}{ V_{DRM} ^{1/2}} + \frac{3.16(V_{DRM})^{1/2} I_{GT}}{dv_s/dt} \right]$ F. where $I_{GT} \leq .95I_H$ $CA_{DEPL_0} \geq CK$ |
| Reverse Saturation Currents | Diffusion Capacitance Lifetime Constants |
| $I_{SA} = I_H e^{-.75V/\theta_A} = I_{SDA}$ (SPICE 2) units=amps $I_{SC} = 1.0 \times 10^{-5} e^{(V_H - 1.5V)/\theta_C}$ I_{GT}, I_H amps $I_{SK} = I_H - I_{GT} e^{-.75V/\theta_K}$ $I_{GT} \leq .95I_H$ | $T_C e^{-t_d/\tau_C} = \frac{1}{\alpha_A I_T} \left[\frac{(.75V)\% V_{DRM}}{RK(dv_r/dt)} + (.75)CK - \left[CC_{DEPL_0} [\% V_{DRM}]^{1/2} \right] \right]$ S. |
| Thermal Voltages | Junction Reverse Break-down Voltages |
| $\theta_A = \theta_C = \theta_K = .026V$ $T = 25^\circ C = 300^\circ K$ These are SPICE2 Default Values Invert to $1/\theta$ for SCEPTRE | $BV_{JA} = V_{RRM}$ (V_{DRM} if V_{RRM} not given) $BV_{JC} = V_{DRM}$ $BV_{JK} = V_{GRM}$ (spec.sheet) or 5V [11, p.67] or 1.V for very short t_d devices |

그림 5. J₃ 다이리스터 모델의 파라미터 계산방법.

```

(a)
CEC602LM TURN-ON TEST
INPUT LISTING          TEMPERATURE = 27.000 DEG C
-----
VS 0 1 -900.
RL 1 2 4Y.
X1 2 3 0 CEC602LM
RG 4 3 10.
VC 4 0 PULSE(D, 20, 1, .US, .1US, .1US, 20, .US, 50, .US)
.TRAN 1US 10 US
.PLOT TRAN I(V1) I(V2) V(2,0) V(3,0)
.OPTIONS NOMOD LIST

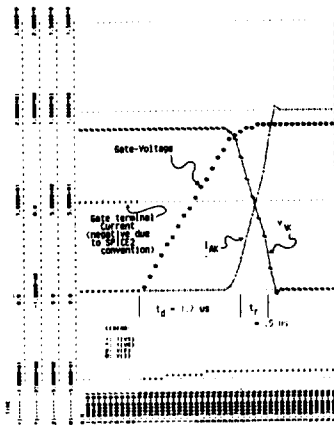
(b)
CEC602LM DV/DT TEST
INPUT LISTING          TEMPERATURE = 27.000 DEG C
-----
VS1 1 0 EXP(D, .2700, .1US, .3, .1US, .17, .5US, .1US)
V2 1 2 0.
RL 2 3 270.
X1 3 4 0 CEC602LM
RG 0 4 1.E6
.TRAN 1US 20 US
.PLOT TRAN I(V1) V(4,0) V(3,0) V(1,0)
.OPTIONS NOMOD LIST

(c)
CEC602LM TURN-OFF TEST
INPUT LISTING          TEMPERATURE = 27.000 DEG C
-----
VS1 1 0 PULSE(1350, -.75, .75, .US, .57, .US, 125, .US, 300, .US)
V2 1 2 0.
RL 2 3 3.
X1 3 5 0 CEC602LM
*** CAUTION OVERDRIVING THE GATE CIRCUIT MAY CAUSE NUMERICAL PROBLEMS ***
VC 6 0 PULSE(0, .3, 0, .1US, .1US, .1US, 20, .US, 300, .US)
RG 6 4 1.
DC 4 5 0 OFF
.MODEL D D(15+1E-8)
.TRAN 5, US 300, .US 70 US
.PLOT TRAN I(V2) V(4,0) V(3,0) V(1,0)
.OPTIONS NOMOD LIST

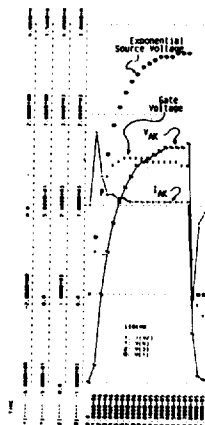
(d)
.SUBCIRCT CEC602LM 1 2 3
R 1 4 .0005
RA 4 5 1.E5
RC 5 2 1.E10
RS 2 3 8.175
DA 4 5 DA IC=OFF
*-----
*DA1, EA, VA ARE USED TO SENSE DA CURRENT *** VA IS USED TO SENSE DA CURRENT.
DA1 4 4 DA IC=OFF
.MODEL DA D(15+2.967E-19)
EA 4 4 5 1.
VA 4 4 0.
VR 7 3 0.
*-----
DC 2 5 DC
FC 5 2 POLY(2) VA VR 0.0 .8 1.0
DK 2 7 DK IC=OFF
CR 2 3 3.5NPF
.MODEL DA D(15+2.967E-19, CJO=3.5NE-6, IT=1.06E-7, BV=2700.)
.MODEL DC D(15+2.082E-12, CJO=3.27E-8, IT=17.7E-6, BV=2700.)
.MODEL DK D(15+5.933E-15, BV=5.)
.ENDS
.END

```

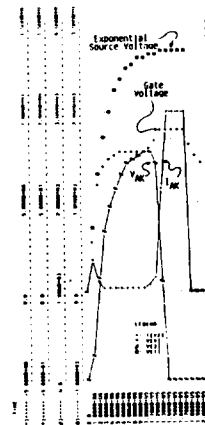
그림 7. 다이리스터 모델의 동특성 테스트를 위한 Spice 입력 리스트



(a)



(b)



(c)

위한 SPICE2의 입력리스트가 그림 7에서 보여주고 있다. 그림 8은 이 특성들에 대한 시뮬레이션 결과를 보여 주고 있다. 턴온 테스트 결과(그림 8(a))에서 볼 수 있듯이 t_d 와 t_r 이 데이터 사양의 값과 잘 일치된 결과를 얻을 수 있으며 지수함수적인 전압을 인가하여 dv/dt 테스트를 한 경우 500 V/ μ s에서는 소자가 잘 견디지만(그림 8(b)) 600V/ μ s에서는 소자가 턴온되는 것이 시뮬레이션 된다(그림 8(c)), 소호(commutation)테스트 결과는 정격의 t_q 와 정격의 dv/dt에서 소호실패가 시뮬레이션 되고(그림 8(d)) t_q 가 정격보다도 3~4 μ s 작은 범위내에서는 소호가 잘 되는 것이 시뮬레이션 된다(그림 8(e)).

이 모델은 다이리스터의 동특성 및 게이트 펄스 턴온, dv/dt와 t_q 가 정확하게 시뮬레이션되며 I_{GT} , I_H , V_{on} , V_{BO} 들도 정확하게 시뮬레이션 할 수 있는 장점을 갖지만 파라미터 계산 방법이 복잡하고 턴오프 과도현상이 잘 시뮬레이션이 안되는 단점을 갖는다.

4. 마크로 모델

앞에서 언급한 모델들의 공통적인 단점들은 모델파라미터 결정에 많은 시간이 소요되고 모델이 복잡하여 컴퓨터 효율이 떨어지는 단점이 있다. 이 보다 더욱 큰 단점으로서 턴오프과도현상이 잘 시뮬레이션 되지 않으며 특히 내부의 정궤환 때문에 수치해석상의 발산문제로 인하여 복잡한 다이리스터 회로를 시뮬레이션할 경우 결과를 얻지 못하는 문제점이 있다. 이러한 문제는 다이리스터 내부의 물리적인 현상보다도 외부에서 일어나는 현상을 이용하여 모델링한

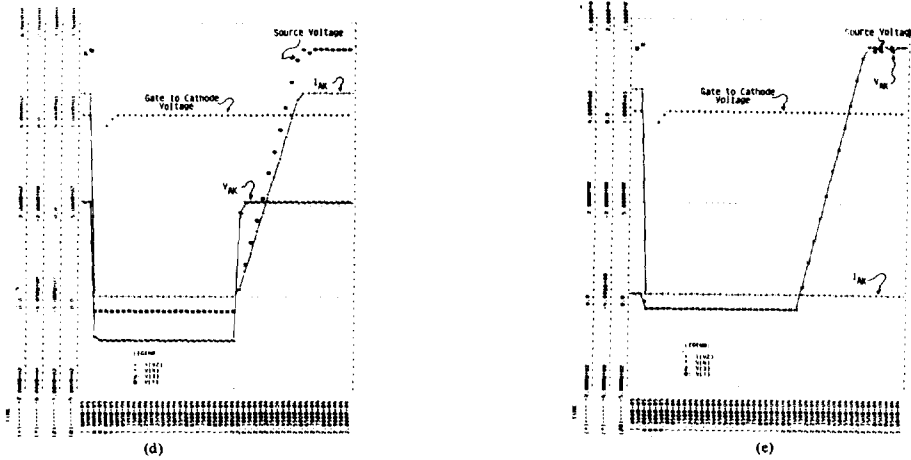


그림 8. SPICE 2 J3 모델의 동특성 테스트 파형

(a) 턴온과도 현상 (b) $500\text{V}/\mu\text{s}$ 에서의 dv/dt 테스트. (c) $600\text{V}/\mu\text{s}$ 에서의 dv/dt 테스트. (d) $dv/dt=25\text{V}/\mu\text{s}$ 에서의 소호테스트($125\mu\text{s}$ 에서 순방향 전압인가). (e) $dv/dt=25\text{V}/\mu\text{s}$ 에서의 소호테스트($135\mu\text{s}$ 에서 순방향 전압인가).

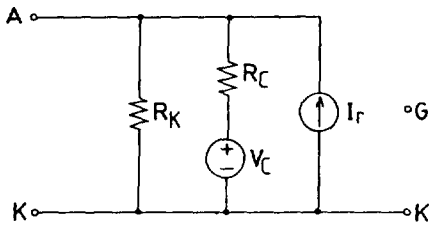


그림 9. 다이리스터 매크로모델.

매크로 모델⁷⁾을 이용하면 가능하다.

그림 9는 매크로 모델의 하나의 예가 된다. 매크로 모델은 회로의 동작을 시뮬레이션 해 주는 아나로그 모델과(그림 9) 다이리스터의 상태를 알고리즘적으로 점검해 주는 논리모델로(그림 10) 구성되어 있다. 이 모델에서는 다이리스터의 게이트 특성을 무시하고 있기 때문에 게이트 펄스는 단지 제어회로의 동작을 시뮬레이션 하기 위한 제어 순간에 해당하는 시간적인 정보만 제공해 준다. 특히 이 모델은 턴오프 과도현상을 정확하게 시뮬레이션 하기 위하여 턴오프 모델을 이용한다. 턴오프의 지연시간 상승시간은 파라미터로 입력되며 도통된 소자의 전류-전압 특성은 간단한 1차식으로 근사시켜 사용하고 있다.

아나로그 모델에서 사용하는 R_c 저항과 V_c 전압원은 다이리스터의 상태를 제어하기 위한 것으로 도통상태에서는 전류-전압 특성을 시뮬레이션해 준다. R_k 저항은 소자의 누설전류를 시뮬레이션 하기 위한 것이다.

이 모델에서 사용되는 모델 파라미터와 소자의 상태에 따

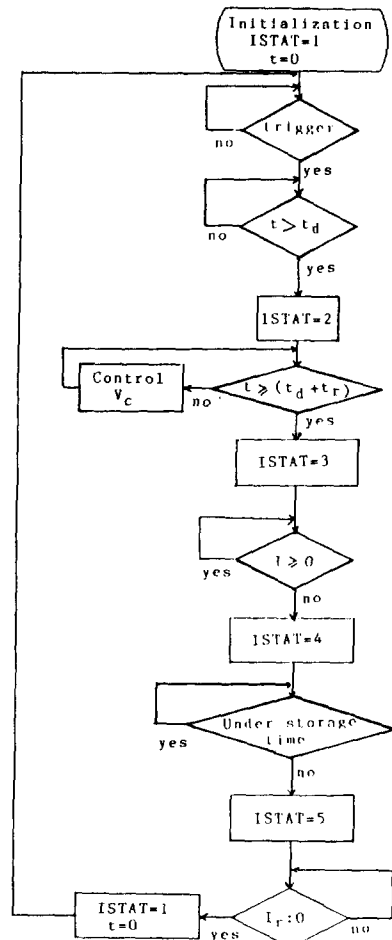


그림 10. 다이리스터의 논리모델.

표 1. ISTAT에 따른 R_c 와 V_c 의 변화

| | | | | | |
|-------|----------|---|-------|-------|----------|
| ISTAT | 1 | 2 | 3 | 4 | 5 |
| R_c | infinite | R_F | R_F | R_F | infinite |
| V_c | 0 | $(V_{Th0} - V_F) (1 - \frac{t}{T_r}) + V_F$ | V_F | V_F | 0 |

표 2. 마이크로 모델 파라미터

| | |
|-----------|----------------|
| V_{DRM} | : 최대 순방향 저지 전압 |
| V_{RRM} | : 최대 역방향 저지 전압 |
| R_F | : 순방향 저항 |
| V_F | : 순방향 전압 강하 |
| R_K | : 누설저항 |
| t_g | : 턴 오프시간 |
| t_d | : 지연시간 |
| t_r | : 상승시간 |
| Q_{rr} | : 역방향 회복 전하량 |
| T | : 하강시간/축적시간 |
| DIDT | : 역 전류 감쇄율 |

큰 R_c , V_c 의 변화가 각각 표 1과 표 2에서 보여주고 있다. 표 1에서 사용한 ISTAT는 다이리스터의 상태를 표현하는 변수로써 논리모델에서 사용되고 있는데 다이리스터가 턴 오프 상태에 있을 경우에는 1, 턴온 과도기에는 2, 도통상태에서는 3, 전류의 축적시간동안에는 4, 그리고 전류의 하강시간 동안에는 5가 된다. 그리고 V_{Th0} 는 다이리스터가 턴온되기 직전의 애노드-캐소드 양단 접압이다.

이 모델의 파라미터는 데이터 사양 자료로부터 추출된다. R_F , V_F 는 소자의 전류-전압 곡선으로부터 추출되며 V_{DRM} , V_{RRM} 은 시뮬레이션 되는 동안에 최대 전압 정격을 조사하기 위하여 사용된다. 턴온 지연시간은 고정된 값으로 입력되며 이 시간동안 소자의 상태는 전혀 변하지 않는다. 상승 시간 동안 V_c 전압은 초기전압 V_{Th0} 로 부터 V_F 를 향하여 선형적으로 감소한다.

역회복 효과는 전류원 I_r 로 시뮬레이션되는 데 이것은 그림 11과 같이 가정한 다이리스터의 턴오프 모델⁴⁾에서 유도가 된다. 이 그림은 다이리스터의 역회복 과도현상에서의 전류와 전압파형을 보여주고 있다. I_F 는 전류가 감소하기 직전의 최대 순방향 전류값이며 $-di/dt$ 는 다이리스터가 턴오프하는 순간에서 부터 전류가 감소해 가는 전류 감쇄율을 나타낸다.

다이리스터의 전류가 역방향 최대전류 I_{RM} 에 도달하는 순

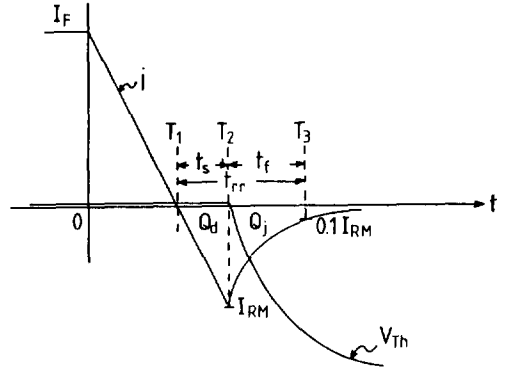


그림 11. 다이리스터 턴오프과정에서의 전류-전압 파형.

간부터 다이리스터는 역방향 저지 능력을 갖게 된다. 이때 부터 다이리스터의 역방향 전류는 0이 될 때까지 시정수 τ 를 가지고서 지수함수적으로 감소한다고 가정한다. 따라서 I_r 은

$$I_r = I_{RM} e^{-\frac{t}{\tau}} \quad (21)$$

로 표현된다. 그림 11에서 $(T_2 - T_1)$ 시간을 축적시간(t_s)라 하고 $(T_3 - T_2)$ 시간을 하강시간(t_f)라고 한다.

이 그림으로 부터 역방향회복전하(reverse recovered charge) (Q_{rr})는

$$Q_{rr} = Q_d + Q_i = \frac{di}{dt} t_s^2 (0.5 + \frac{T}{\ln 10}) \quad (22)$$

이다. 여기에서 $T = \frac{t_f}{t_s}$ 이다.

파라미터 Q_{rr} 과 T 는 di/dt , I_F 와 접합부의 함수로 주어지는 Q_{rr} 과 역회복에너지 손실(reverse recovery energy loss) (E_r)로 부터 계산할 수 있다.⁹⁾ Q_{rr} 과 T 파라미터는 다음과 같은 과정에 따라 추출한다.

1) 회로의 $-\frac{di}{dt}$ 와 I_F 를 생각하여 데이터 사양 자료로부터 Q_{rr} 을 추출한다.

2) $E_r = \int_0^{\infty} I_r(t) \cdot v_{ac}(t) dt$ 식을 유도한다.

여기에서 $v_{ac}(t)$ 는 역회복에너지손실을 측정할 때 나타난 애노드-캐소드간 전압파형이다. 그림 12와 같은 측정 상태에서는

$$E_r = I_{RM} DVDT^2 (1 - e^{-\frac{0.8V_{DRM}}{V_F DVDT}}) \quad (23)$$

가 된다.

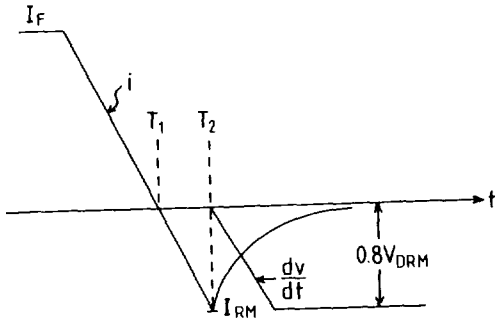


그림 12 역회복 에너지 손실 계산을 위한 전류-전압파형.

$$3) t_s = t_{so} \left(\frac{di}{dt} \right)^{k_1} (I_F)^{k_2} \quad (24)$$

$$T = T_0 \left(\frac{di}{dt} \right)^{k_3} (I_F)^{k_4} \quad (25)$$

라 둔다. 여기에서 t_{so} , T_0 , k_1 , k_2 , k_3 , k_4 는 t_s 와 T 를 계산할 수 있는 파라미터이다. 이 경우

$$I_{RM} = t_{so} \left(\frac{di}{dt} \right)^{1+k_1} (I_F)^{k_2} \quad (26)$$

$$\tau = t_{so} \cdot T_0 \left(\frac{di}{dt} \right)^{k_1+k_3} (I_F)^{k_2+k_4} / \ln 10 \quad (27)$$

4) 3)을 이용하여 식(22)의 Q_{rr} 과 2)의 E_r 를 계산한 것과 데이터 사양 자료에서 주어진 역회복전하량과 역회복에너지손실을 fitting시켜서 파라미터 t_{so} , T_0 , k_1 , k_2 , k_3 , k_4 를 추출한다.

5) 4)의 파라미터와 주어진 di/dt 및 I_F 로부터 T 를 계산한다.

SPICE2에 이 모델을 프로그램하여 그림13과 같은 초퍼회로를 시뮬레이션하였다. 여기에서 사용한 회로 파라미터는, $E=200V$, $R_1=R_4=12\Omega$, $R_2=R_3=22\Omega$, $Ld_1=Ld_2=50\mu H$, $L_0=18\mu H$, $C_1=22.2\mu F$, $C_2=C_3=C_4=C_5=0.1\mu F$, $I_L=50A$.

그리고 다이리스터는 I.R.의 S18CF⁶⁾를 사용했다. 그림14는 초퍼회로의 주 다이리스터(Th_1) 양단에 나타나는 전압 및 전류파형과 콘덴서(C_1)에 나타나는 전압파형을 보여주고 있다. 여기에서 역방향회복 전하량은 데이터 사양에서 주어진 값과 일치한다.

이 모델은 높은 주파수에서 동작하는 다이리스터회로나 대전력 다이리스터회로의 역방향 과도현상이 시뮬레이션 잘되며 수치해석상의 문제가 해결된 장점이 있으나 게이트 특

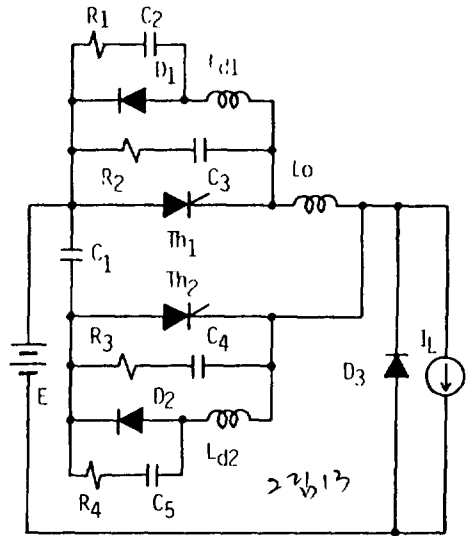


그림 13. 강제 소호용 초퍼회로

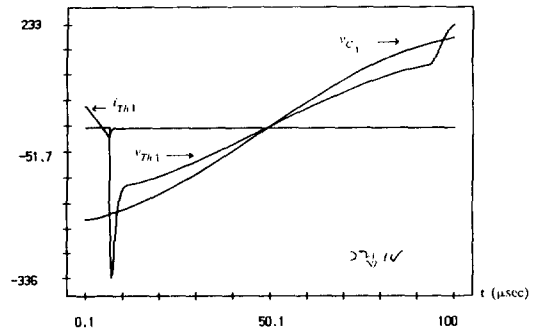


그림14. 강제소호 초퍼회로의 턴오프 전류-전압 파형.

성은 무시하였기 때문에 게이트 특성을 시뮬레이션 할 수 없는 단점을 갖는다.

5. 결론

본 고에서는 컴퓨터를 이용하여 전력 다이리스터회로를 설계하는 데 필요한 CAD 모델에 관하여 기술하였다.

다이리스터의 PNP 구조를 2트랜지스터에 의하여 모델링할 경우 트랜지스터 내부의 붕괴모델이 없기 때문에 부가적인 다이오드가 첨가됨으로써 3다이오드 모델보다 더욱 복잡해 지는 것을 알 수 있다.

PNP 구조를 2트랜지스터나 3다이오드로써 모델링할 경우, 공통적으로 모델이 복잡하여 컴퓨터 계산 효율이 떨어지며, 턴오프 과도현상이 잘 시뮬레이션되지 않으며, 더

우기 모델 내부에 존재하는 정계환루우프 때문에 수치해석상의 발산문제가 야기되므로 복잡한 전력 SCR 회로의 시뮬레이션에는 부적합하다는 것을 알 수 있다.

복잡한 구조의 다이리스터회로, 높은 주파수에서 스위칭하는 다이리스터회로나 대전력 다이리스터회로의 시뮬레이션용으로는 매크로 모델이 아주 유용하게 사용될 수 있다는 것을 알 수 있다.

참 고 문 헌

- 1) Chanming Hu, Waiman F. Ki, "Toward a Practical Computer-Aid for Thyristor Circuit Design," IEEE-PESC., pp.174-179, 1980.
- 2) R. L. Arant, F. C. Lee and D. Y. Chen, "A practical SCR Model for Computer Aided Analysis of AC Resonant Charging Circuits," IEEE-PESC., pp.232-242, 1981.
- 3) R. L. Arant, and F. C. LEE, "A Unified SCR Model for Continuous Topology CADA," IEEE Trans., IE-31, pp.352-361, 1984.
- 4) G. N. Revankar and Pradeep K. Srivastava, "Turnoff Model of an SCR," IEEE Trans., IECI-22, pp.507-510, 1975.
- 5) F. M. Matleson, H. J. Ruhl, P. O. Shafer, and E. D. Wolley, "The Recovered charge characteristics of High Power Thyristors," IEEE trans., IA-12, pp.305-310, 1976.
- 6) International Rectifier Data Sheets.
- 7) A. Barili, G. Cottafava and E. Dallago, "A SPICE2 SCR Model for Power Circuit Analysis," Computer-Aided Design, Vol.16, No.5, pp.279-284, 1984.
- 8) J. C. Bowers and H. E. Nienhaus, "Model for High-Power SCRs Extends Range of Computer-Aided-Design," Electronics, April 14, pp.100-105, 1977.
- 9) C. W. Lee and S. B. Park, "An optimum Parameter Determination for the SCR Turnoff Model," IEEE ISCS, pp. 1018-1021, 1987.