

전력 MOSFET

김 중 오

(현대전자(주)반도체연구소)

1. 서 론

전력 반도체 소자(power semiconductor devices)는 전력 전자 회로의 필수적인 부품으로서 사용되고 있으며, 시스템 설계의 기본이 되는 부분을 담당하고 있다. 현재 전력소자의 대중을 이루고 있는 것은 다이리스터(thyristor), 바이폴라 트랜지스터(bipolar transistor) 등이며 1970년대 중반에 등장한 전력 MOSFET은 차세대 전력소자로서 주목을 받고 있다.¹⁾

그림 1은 전력 MOSFET의 기술적인 개발 연혁을 나타낸 것이다. 1972년에 메탈 게이트(metal gate)로 이루어진 LDMOS(Lateral Double-diffused MOS)트랜지스터가 개발되었다. LDMOS 트랜지스터는 전극이 웨이퍼(wafer)의 윗면에 모두 존재하게 되어 고전류(high current)용을 제작함에 있어 낮은 집적도가 문제점으로 대두되었다. LDMOS 트랜지스터 이후에 실리콘(silicon)의 V-groove 부식기술을 이용한 VMOS(V-groove double-diffused MOS) 트랜지스터가 개발되었으며, 1976년 Siliconix사에 의하여 MOSPOWER라는 상표명으로 상품화 되었다.²⁾ VMOS 트랜지스터는 드레인(drain) 전극을 웨이퍼의 밑면에 공통전극(common electrode)이(111)면에 존재하고 V-groove 지점의 전계(electric field)가 소자의 신뢰도에 나쁜 영향을 미치는 단점을 갖고 있다.³⁾

전력 MOSFET 구조의 대중을 이루고 있는 VDMOS(Vertical Double-diffused MOS) 트랜지스터는 1970년대 중반 이후에 개발되었으며 1979년 International Rectifier사의 HEXFET 개발 이후에 업계의 주목을 받기 시

작했다. 1980년 이후에 전력 MOSFET은 고전압과 고전류의 능력을 갖는 소자의 개발이 이루어지고 있으며, 현재 항복전압은 1000V, 최대 전류정격(maximum current rating)은 80A 정도에 달하고 있다.⁴⁾

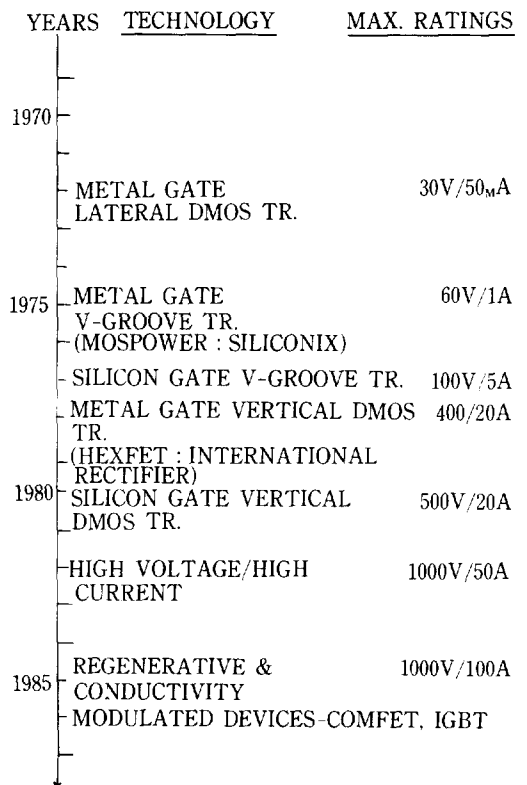


그림 1. 전력 MOSFET의 기술적인 개발 연혁

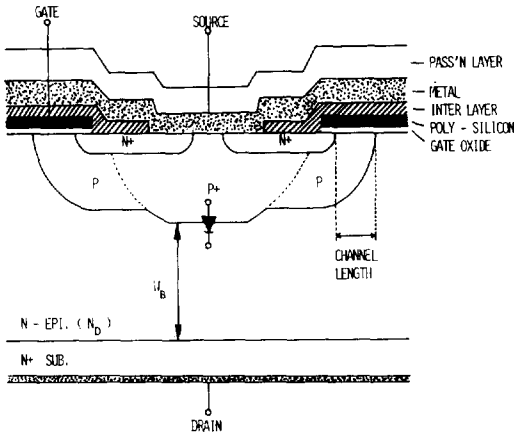


그림 2. N-채널 VDMOS 트랜지스터의 단면도

그림 2는 실리콘 게이트(silicon gate)로 구성된 n-채널 VDMOS 트랜지스터의 단면도이다. VDMOS 트랜지스터는 농도가 낮고 두꺼운 에피층(epitaxial layer)에 형성되며 드레인 전극은 웨이퍼의 밑면에 존재한다. 채널은 p형과 n형을 실리콘 게이트에 의하여 자동 정렬된 이중확산(self-aligned double diffusion) 방식을 이용하며 측면 접합깊이(lateral junction depth)의 차이로 구성된다. 채널을 통과한 반송자(carrier)는 소오스(source)와 드레인간의 수직방향으로 전송되며 내부적으로 생기는 p+/n 다이오드가 높은 항복전압(breakdown voltage)을 유지하게 된다.

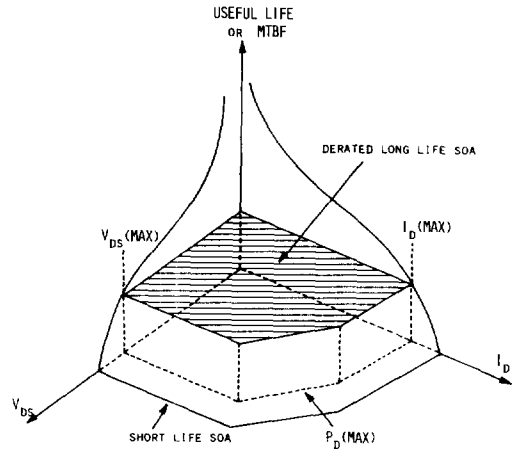
전력 MOSFET의 장점은

- (1) 고속 스위칭(high speed switching) 능력.
- (2) 이차항복(secondary breakdown)이 발생하지 않음.
- (3) 열적 안정도가 좋음.
- (4) 고전류 응용시 소자들의 병렬 연결이 쉬움.
- (5) logic 또는 마이크로 프로세서(microprocessor)등과의 응용시에 간단한 회로구성과 낮은 구동 전력(drive power)이 필요.
- (6) 전달 특성(transfer characteristics)이 매우 선형적임.

등이 있으나, 단점은

- (1) 타 전력소자에 비해 고전압능력이 작음.
- (2) ON-저항이 큼.
- (3) MOS 구조이므로 취급시 매우 유의하여야 함.
- (4) 기능에 대한 가격이 높음.

등이 지적되고 있다. 전력 MOSFET의 개발에 참여하고 있는 기업체와 연구소에서는 전력 MOSFET의 최대정격



MTBF : MEAN TIME BEFORE FAILURE

그림 3. 전력 MOSFET의 안전동작영역과 소자 수명의 관계

(maximum rating)을 타 전력소자와 대등한 수준으로 올리려고 하고 있으며, 전력 MOSFET의 장점을 극대화 하고 품종을 다양화 시키기 위한 노력을 계속하고 있다.^{4) -6)} 1982년 말 등장한 IGBT(Insulated Gate Bipolar Transistor)⁷⁾는 MOS와 바이폴라 트랜지스터의 장점을 혼합시킨 것으로서 전력 MOSFET과 함께 미래의 전력소자로 평가되고 있다.^{6),7)}

본 논문에서는 전력 MOSFET의 최대정격을 나타내는 안전동작영역(Safe Operating Area, SOA)에 대한 이해를 돕고 전력 MOSFET의 품종을 다양화 하는 방법과 특징을 기술하고자 한다.

2. 전력 MOSFET의 안전동작영역

전력소자의 안전동작영역은 전력소자의 최대정격을 나타내는 것으로서⁸⁾ 그 소자의 사용 가능한 동작 범위를 알려주는 중요한 정보이며 모든 data book에 명시되고 있다. 그림 3은 전력 MOSFET의 안전동작영역과 소자수명의 관계를 도식한 것으로서 안전동작영역 이외에서의 소자 동작은 소자의 수명을 매우 단축시키고 있음을 보여주고 있다.

전력 MOSFET의 대표적인 안전동작영역 곡선(SOA curve)을 그림 4에 나타냈다. 전력MOSFET의 안전동작영역 곡선은 4개의 제한 요소(limiting boundary)로 구성되어 있으며 바이폴라 전력소자와는 달리 이차 항복 특성은 나타나지 않는다.⁸⁾

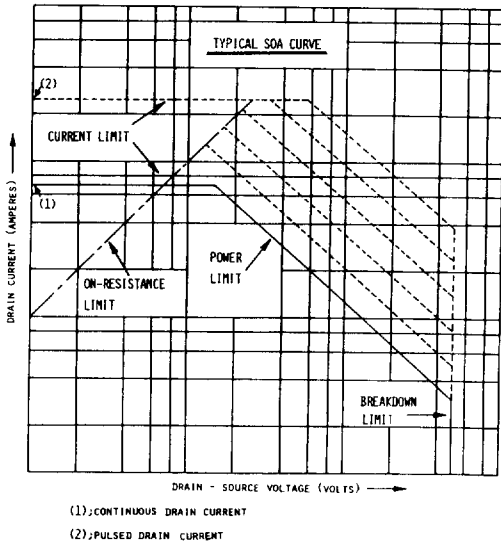


그림 4. 전력 MOSFET의 대표적인 안전동작영역곡선

이들의 제한 요소들은

- (1) 전류의 제한(current limit)
- (2) 전력의 제한(power limit)
- (3) 전압의 제한(breakdown limit)
- (4) ON-저항의 제한(on-resistance limit)

이며, 전력 MOSFET의 최대 정격을 나타내고 있다.²⁾ 최대 전류 정격(maximum current rating), I_D 는

$$I_D = \sqrt{\frac{T_{JMAX} - T_C}{R_{JC} R_{ON}(T_{JMAX}) r(t)}}$$

로 주어지며, T_C 는 package의 case 온도이며 T_{JMAX} 는 die와 case간의 최대 접합 온도(maximum junction temperature)로서 전류의 양이 0으로 되는 접합 온도를 의미한다. 이는 ON-저항의 온도계수가 양의 특성을 갖고 있는 것에 기인하며,

$$R_{ON}(T) = R_{ON}(25^\circ C) \left(\frac{273 + T}{300} \right)^{2.3}, \quad T = \text{온도}, \quad ^\circ C$$

로서 표현된다.⁸⁾ $R_{ON}(T_{JMAX})$ 는 온도가 T_{JMAX} 에 도달할 때의 ON-저항이며 위의 식으로부터 계산된다. R_{JC} 는 die와 case간의 전력에 따른 온도의 변화를 나타내는 열저항(thermal resistance, $^\circ C/W$)의 정상상태(steady state)의 값으로서 die, solder와 case의 열전도도(thermal conductivity, $W/(cm-^\circ C)$), 면적과 두께의 함수이다.⁹⁾

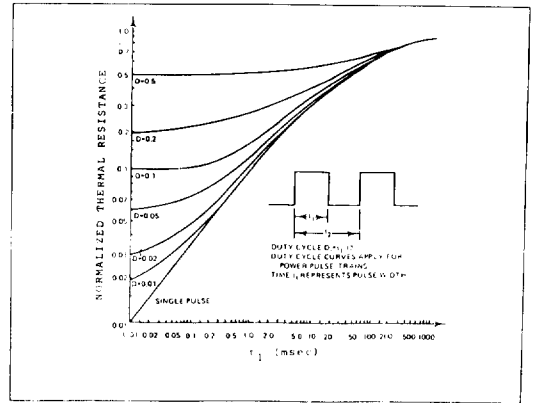


그림 5. 전력 펄스와 정규화된 열저항의 관계

$r(t)$ 는 전력 펄스(power pulse)에 대한 열저항, $R_{JC}(t)$ 를 정상상태의 열저항 값으로 정규화 시킨것으로서

$$r(t) = \frac{R_{JC}(t)}{R_{JC}}$$

이며¹⁰⁾, 전력 펄스와 $r(t)$ 의 관계를 그림 5에 도시했다. 전력 펄스가 single 펄스인 경우, 펄스폭(pulse width)이 무한히 큰 D.C 상태에서는 $r(t)$ 가 1의 값을 갖게 된다. 이때의 최대전류정격을 연속드레인전류(continuous drain current)라고 하며, 전력 MOSFET의 최대전류정격으로 통용되고 있다.

그림 6은 연속드레인전류와 ON-저항×열저항의 관계를 나타낸 것이다. 만약 연속드레인전류를 10A로 설계할 경우, T_{JMAX} 가 $150^\circ C$ 일때 ON-저항과 열저항의 곱은 약 $0.57\Omega \cdot ^\circ C/W$ 이어야 하며, 열저항이 $1^\circ C/W$ 이면 ON-저항은 약 0.57Ω 이 되도록 하여야 한다.

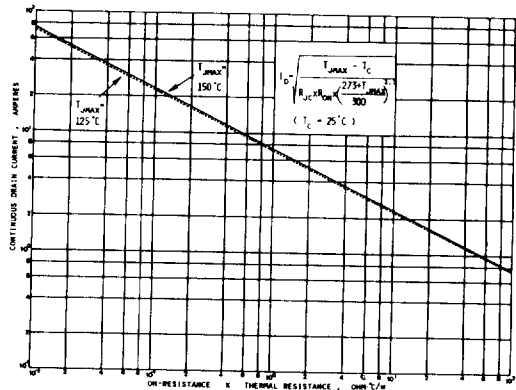


그림 6. 연속드레인 전류와 OIV - 저항×열저항의 관계

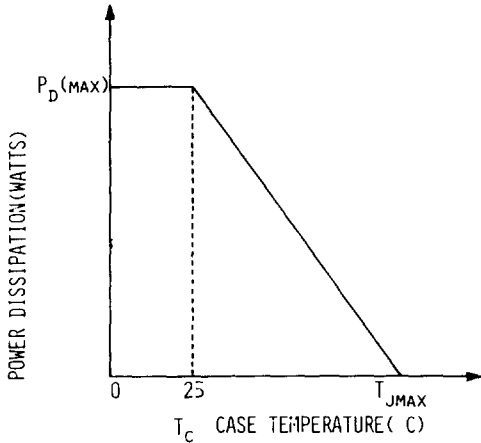


그림 7. 온도에 따른 최대 전력 정격

전력 펄스가 A.C 상태로 인가되는 경우에는 펄스폭에 따라 $r(t)$ 의 값이 변화하게 되며 이때의 최대전류정격을 펄스드레인전류(pulsed drain current)라고 한다.

최대전력정격(maximum power rating) 또는 최대전력소모(maximum power dissipation), P_D 는

$$P_D = \frac{T_{JMAX} - T_C}{R_{\theta JC} r(t)}$$

로서¹¹⁾ 열저항 특성과 연관된다. 그림 7은 D.C 상태에서 온도에 따른 최대전력정격의 일반적인 변화를 나타낸 것으로서 상온(25°C)이후에 최대전력정격의 값이 감소하여 온도가 T_{JMAX} 일때 0으로 된다.

최대전압정격(maximum voltage rating)은 전력 MOSFET의 항복전압(breakdown voltage)을 의미한다. 이는 웨이퍼 에피층의 특성인 비저항(resistivity) 및 두께와 연관되며 이러한 에피층의 특성은 ON-저항에도 영향을 미치게 된다.¹²⁾

ON-저항의 제한(on-resistance limit)은 가해진 전압이 1V일때 2Ω의 저항을 통하여 10A의 전류가 흐를 수 없는 것처럼 낮은 전압영역에서 전압과 전류의 관계를 나타내는 것이다.

전력 MOSFET의 최대정격들을 결정하는 중요한 변수는 ON-저항과 열저항이며, 이들의 감소는 최대전류정격과 최대전력정격의 증가를 이루고 ON-저항의 제한 범위를 축소 시킴으로서 소자의 안전동작범위를 넓히게 된다. 그러나 열저항의 개선은 열전도도가 좋은 물질을 선택하여야 하며, 이는 경제적인 어려움이 따르게 된다.¹³⁾ 현재 전력 MOSFET

의 ON-저항을 줄이고자 하는 노력은 계속되고 있으며, 그 방법은 다음과 같다.

- (1) 에피층의 특성(비저항 및 두께)을 최적의 조건으로 선택하여 설계하고자 하는 항복전압에 대하여 저항을 최소로 하는 방법.^{12), 14)}
- (2) 곡면효과(curvature effect)에 의한 항복전압의 손실을 막기 위한 junction termination 구조에 대한 설계 기술의 향상으로 소자의 항복전압을 이상적인 평면 접합의 항복전압(ideal plane junction breakdown voltage)에 접근시킴으로서 에피층의 특성손실(비저항 및 두께의 증가)을 억제시켜 저항의 감소를 유발하는 방법.¹⁵⁾
- (3) 내부적으로 발생하게 되는 저항성분을 향상된 공정기술을 이용하여 제거하는 방법.^{16), 17)}
- (4) 웨이퍼의 표면에 형성되는 소오스-게이트의 구조를 최적화시켜서 저항의 감소를 이루는 방법.^{18), 19)}

표 1. 주요 기업체의 셀(cell) 구조와 상품명

MANUFACTURER	GEOMETRY
GE SEMICONDUCTOR	RECTANGULAR
INTERNATIONAL RECTIFIER	HEXAGONAL
IXYS	RECTANGULAR(ELONGATED)
MOTOROLA	RECTANGULAR
RCA SOLID STATE	HEXAGONAL
SIEMENS	SQUARE
SUPERTEX	INTERDIGITATED COMB.
TRADENAME	
ZMOS	
HEXFET	
HDMOS	
TMOS	
(NONE)	
SIPMOS	
(NONE)	

이러한 방법들은 많은 실험을 통하여 이루어지고 있으며, 소오스-게이트의 구조는 각 기업체의 고유 패턴으로 개발되고 있다. 표 1은 주요 기업체의 소오스-게이트 구조와 상품의 상표명(trade name)을 나타낸 것으로서 육각형과 사각형 형태가 가장 많이 이용되고 있다.

3. 전력 MOSFET 품종의 다양화

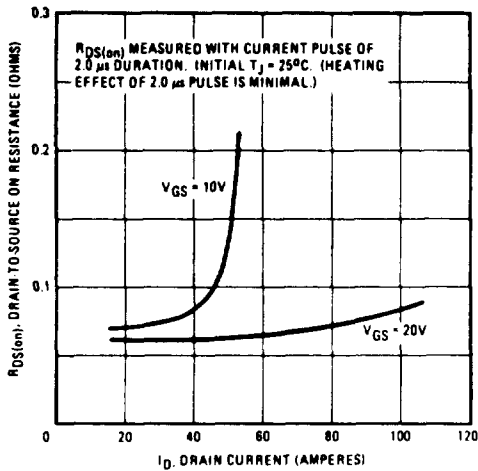
현재 상품화 되고 있는 전력 MOSFET은 기업체에 따라 약 300~400여종에 이르고 있으며, 이들은 연속전류정격, 전압정격, 소자의 극성(n-채널, p-채널)과 package 형태(TO-220, TO-3 등)에 따라 분류된다.²⁰⁾ 그러나 이렇게 다양한 품종은 특별한 용도에 사용되는 소자를 제외하고는 몇개의 마스크 종류(mask set)로써 동일한 제작공정을 통

표 2. International Rectifier사의 마스크 종류

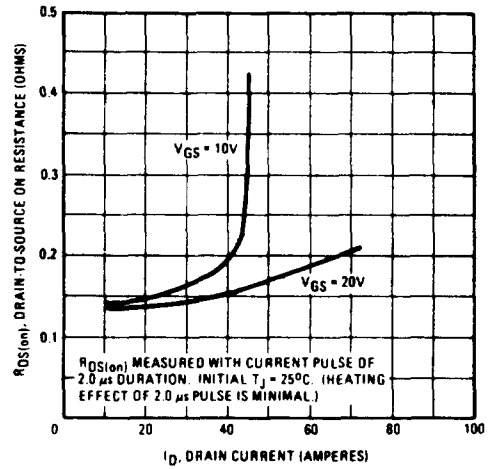
MASK SET	DIE SIZE(mm)	RANGE
HEX-Z	0.89 × 1.09	100-500 VOLTS
HEX-1	1.75 × 2.41	"
HEX-2	2.21 × 3.48	"
HEX-3	2.92 × 4.45	"
HEX-4	4.32 × 5.77	"
HEX-5	6.53 × 6.53	"
*HEX-2	2.21 × 3.48	LESS THEN 200 VOLTS
*HEX-3	2.92 × 4.45	"
*HEX-4	4.32 × 5.77	"

표 3. Motorola사의 마스크 종류

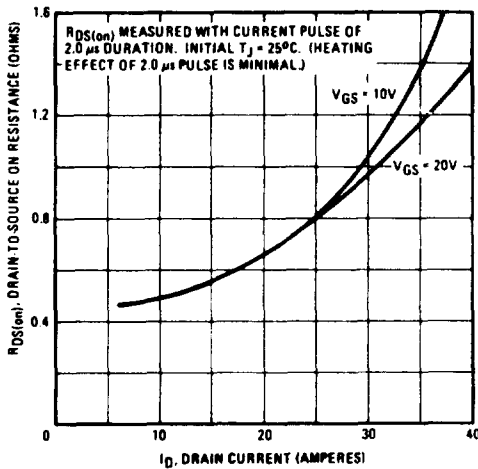
MASK SET	DIE SIZE(mm)	RANGE
A	1,499 × 1,499	40-250 VOLTS
B	1,930 × 1,930	"
C	2,440 × 2,440	"
D	2,921 × 2,921	"
E	3,610 × 3,610	"
F	4,470 × 4,470	"
G	5,230 × 5,230	"
H	6,500 × 6,500	"
I	2,080 × 2,080	350-1000 VOLTS
J	2,845 × 2,845	"
K	3,670 × 3,670	"
L	4,470 × 5,590	"
M	6,500 × 6,500	"



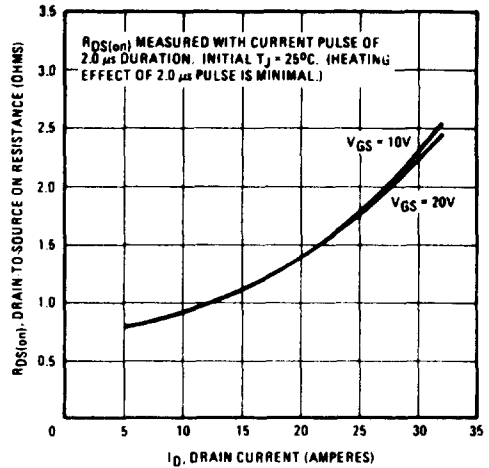
(a) IRF140(100V/27A, $R_{ON}=0.07\text{ohms}$)



(b) IRF240(200V/18A, $R_{ON}=0.14\text{ohms}$)

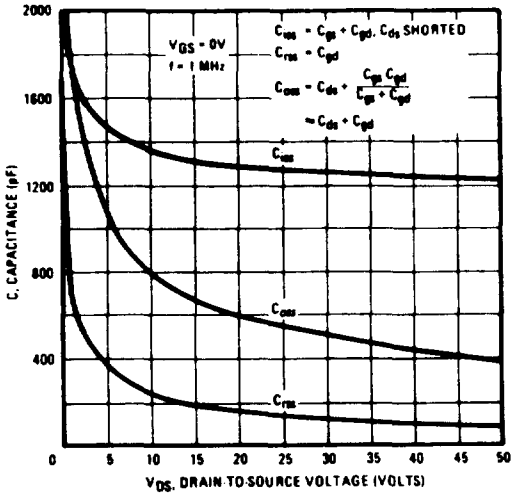


(c) IRF340(400V/10A, $R_{ON}=0.47\text{ohms}$)

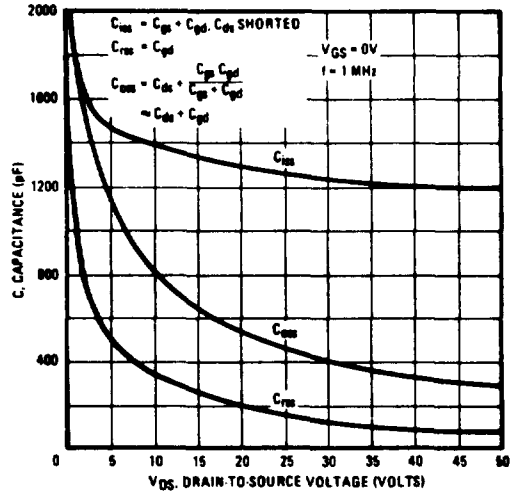


(d) IRF440(500V/8A, $R_{ON}=0.8\text{ohms}$)

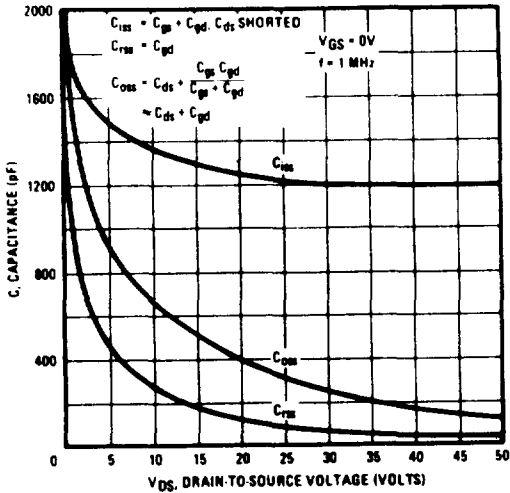
그림 8. 동일한 마스크로 제작된 소자들의 ON-저항특성



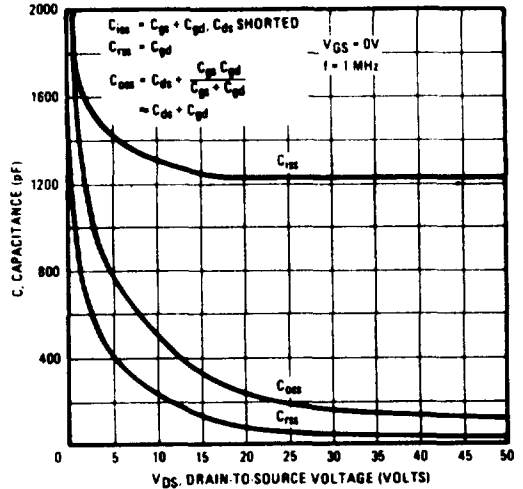
(a) IRF140(100V/27A, $R_{ON} = 0.07\text{ohms}$)



(b) IRF240(200V/18A, $R_{ON} = 0.14\text{ohms}$)



(c) IRF340(400V/10A, $R_{ON} = 0.47\text{ohms}$)



(d) IRF440(500V/8A, $R_{ON} = 0.8\text{ohms}$)

그림 9. 동일한 마스크로 제작된 소자들의 커패시턴스 특성

하여 제작되고 있다.

표 2와 표 3은 International Rectifier(IR)사²⁰⁾과 Motorola사²¹⁾의 마스크 종류와 die의 크기, 제작되고 있는 전압의 범위를 나타냈다.

동일한 마스크를 이용하여 여러개의 품종을 제작할 경우, 설계와 소자특성이 다음과 같은 대표적인 특징을 갖게 된다.

- (1) 동일한 마스크내에서 항복전압의 감소를 억제하기 위하여 구성되어 있는 junction termination은 넓은 항복전압의 영역을 소화시킬 수 있어야 한다. 즉 IR사의 HEX-1~4 마스크 경우(표 2참고), 항복전압이 100~500V인 범위에 사용되므로 이들의 항복전압을 무

난히 소화할 수 있는 구조로서 설계되어야 한다.

- (2) 동일한 마스크를 사용하는 경우, 설계된 소오스-게이트의 구조가 일정하므로 웨이퍼의 특성에 따라 I-V의 특성 형태가 달라지게 된다. 그림 8은 열저항이 1°C/W를 갖고 있는 마스크로서 제작된 IR사의 ON-저항 특성을 나타낸 것이다.²⁰⁾ 농도가 높은 웨이퍼에서 제작한(항복전압이 낮은 경우) IRF-140(BV=100V), IRF-240(BV=200V) 소자의 ON-저항은 $V_{GS} = 10V$ 일때 드레인 전류에 대하여 대단히 급격한 변화를 보여주고 있다. 그러나 농도가 비교적 낮은 웨이퍼에서 제작된(항복전압이 높은 경우) IRF-340(BV=400

V), IRF-440(BV=500V) 소자의 ON-저항특성은 $V_{GS}=10V$ 일때 드레인전류에 대하여 완만한 변화를 보여주고 있다. ON-저항의 값이 드레인전류에 대하여 완만한 변화를 나타내는 것은 높은 게이트 전압에 대한 드레인 전류의 특성이 non-saturation이 된 것을 의미하며 이러한 현상은 quasisaturation effect 로 설명되고 있다.²²⁾

(3) 동일한 mask로서 제작된 소자들은 게이트의 면적이 거의 일정하므로 게이트 면적에 의하여 결정되는 입력 커패시턴스(input capacitance)의 값이 거의 비슷하다. 그림 9는 열저항 $1^{\circ}C/W$ 를 갖고 있는 마스크로 제작된 IR사의 소자들이다.²⁰⁾ 접합 커패시턴스(junction capacitance)의 영향을 받는 출력 커패시턴스(output capacitance)와 역 커패시턴스(reverse capacitance)는 웨이퍼의 농도에 따라 변화가 심하지만 입력 커패시턴스는 높은 드레인전압에 대하여 거의 일정하다. 그림 9에 도시된 소자들의 경우, 입력 커패시턴스는 $V_{DS}=25V$ 일때 $1200\sim 1225pF$ 이다. 또한 입력 커패시턴스의 값은 소자의 스위칭 속도(turn-on delay time, turn-off time)를 결정하게 되므로 동일한 마스크를 사용하여 제작된 소자들의 스위칭 속도는 거의 비슷하게 된다.

(4) Die의 면적이 같은 경우, 소자의 열저항은 같은 값을 갖게 되므로 동일한 마스크로 제작된 소자들의 최대전력정격과 온도에 따른 특성이 같게 된다. 그림 10은 그림 8, 그림 9에서 도시된 소자들의 온도에 따른 전력

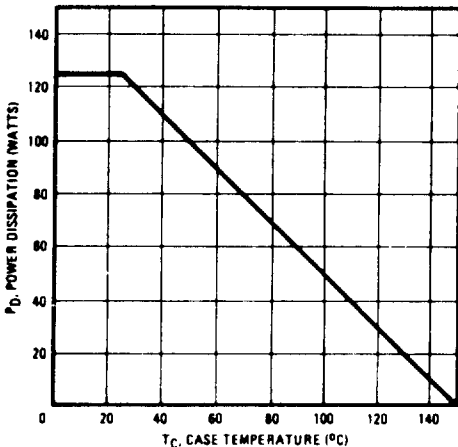


그림 10. 동일한 마스크로 제작된 소자들의 최대전력정격의 특성

정격을 나타내는 것으로서²⁰⁾ 상온에서의 전력정격은 125W이다.

(5) 동일한 마스크내에서의 소오스-게이트 구조와 셀 갯수, 셀 면적이 같으므로 소자의 최대정격의 중요한 변수인 ON-저항은 웨이퍼의 특성(비저항 및 두께)에 의하여 결정된다.

마스크 종류의 선정 및 설계는 좋은 특성을 갖는 다양한 소자들을 제작하기 위하여 매우 신중하게 이루어지고 있으며 계속 개발되고 있다.

그림 11은 현재 대중을 이루고 있는 전력소자들의 전류와 전압의 최대정격범위를 도시한 것이다. 전력 MOSFET은 전력 바이폴라와 트랜지스터나 다이리스터 보다는 낮은 전력용량을 가지고 있다. 그러나 1990년경에는 전력 MOSFET

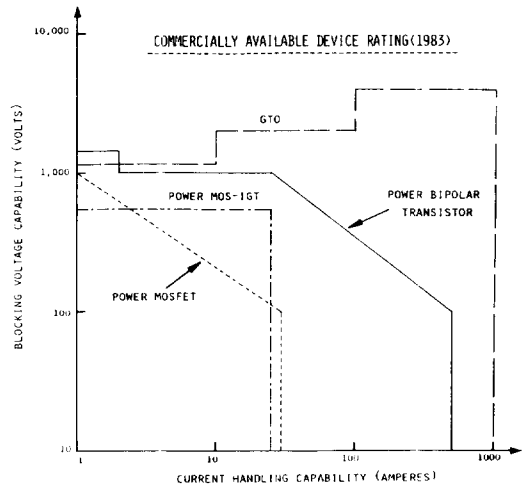


그림 11. 전력 소자들의 최대정격범위(1983년)

의 전력용량은 확대될 전망이다이며 빠른 스위칭속도를 요구하는 분야에서는 전력소자의 주종을 이룰 전망이다. (그림 12 참고)

또한 바이폴라와 MOS의 장점을 혼합시킨 IGBT(MOS-IGT)는 설계와 제작공정이 전력 MOSFET과 매우 유사한 소자로서 미래형 전력 소자라는 평을 받고 있으며 1990년 경에는 전력용량이 바이폴라와 대등한 영역을 구축하리라 예상된다.

전력 MOSFET의 단점으로 지적된 기능에 대한 가격은 공정의 안정과 더불어 하락되고 있으며 이는 전력MOSFET의 수요창출에 큰 몫을 하고 있다. 그림 13은 고전압용과 저전압용 전력 MOSFET의 가격 동향을 나타낸 것이다. 고

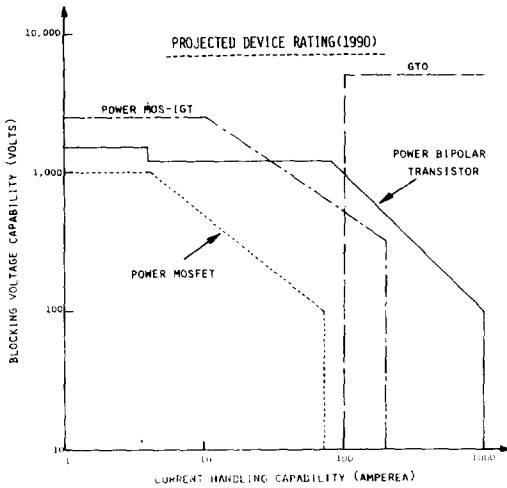


그림 12. 미래의 전력소자들의 최대정격범위(1990년)

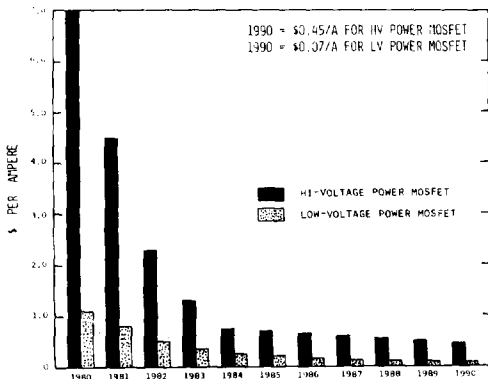


그림 13. 전력 MOSFET의 가격변화

전압용 전력 MOSFET인 경우 1980년에 7달러(1A당)의 가격이 1990년 경에는 0.45달러(1A당)로서 1/15 이하의 가격하락을 예상하고 있다.

4. 결 론

본 논문에서는 전력 MOSFET의 안전동작영역, 품종의 다양화와 그특징에 대하여 알아보았다. 전력 MOSFET의 안전동작영역은 4개의 최대정격들로 구성되어 있으며, 이들은 소자의 ON-저항과 열저항에 따라 결정되고 있다. ON-저항과 열저항의 감소는 소자의 안전동작영역을 더욱 넓히게 되는 효과를 가져오게 되어 전력 MOSFET의 설계시

주요 관점의 대상이다. 전력 MOSFET의 품종은 몇개의 마스크 종류로서 다양하게 되나 이에 따라 quasisaturation effect, 동일한 입력 커패시턴스 등의 특징이 나타나게 된다. 전력 MOSFET을 제작하기 위한 마스크의 선정 및 설계는 소자의 특성과 연관되어 있으므로 매우 신중하게 이루어져야 한다. 이러한 노력은 전력 MOSFET의 고품질과 가격의 하락을 유도할 수 있으며, 타 전력소자의 시장에 대응할 수 있는 여건을 이룰 수 있으리라 사료된다.

참 고 문 헌

- 1) B. J. Baliga and D. Y. Chen, *Power Transistors : Device Design and Applications*, IEEE Press, 1984.
- 2) R. Severns and J. Armijos, *MOSPOWER application handbook*, Siliconix Inc., 1984.
- 3) T. Sekigawa and Y. Hayasi, "An Effect of Semiconductor Surface Shape on Gate Breakdown Voltage of A VMOS Transistor," *Solid-State Electronics*, Vol.26, pp.925-927, Sept. 1983.
- 4) D. Grant and A. Tregidge, "Power MOSFETs : Power for the 80s," *Solid Technology*, Vol.28, pp.111-116, Nov. 1985.
- 5) "Power MOSFET Market Opportunities," HTE Management, Inc., 1986.
- 6) M. S. Adler, et al., "The Evolution of Power Device Technology," *IEEE Trans. Electron Devices*, Vol. ED-31, pp.1570-1591, Nov. 1984.
- 7) B. J. Baliga, et al., "The Insulated Gate Rectifier(IGR) : a new power switching device," in *Proc. IEDM*, pp.264-265, 1982.
- 8) B. J. Baliga, *Modern Power Devices*, John Wiley & Sons, New York, 1987.
- 9) N. Zommer, "Designing the Power-Handling Capabilities of Mos Power Devices," *IEEE Trans. Electron Devices*, Vol. ED-27, pp.1290-1296, July, 1980.
- 10) "Power MOS-data book," General Electric, 1985.
- 11) O. D. Trapp, *Semiconductor Technology Handbook*, 1985.
- 12) S. C. Sun and J. D. Plummer, "Modeling of the ON-Resistance of LDMOS, VDMOS, and VMOS power Transistor," *IEEE Trans. Electron Devices*, Vol.ED-27, pp.356-367, Feb. 1980.
- 13) P. Antognetti, *Power Integrated Circuits : Physics, Design, and Applications*, McGraw-Hill, 1986.

-
- 14) X. Chen and C. Hu, "Optimum Doping Profile of Power MOSFET Epitaxial Layer," IEEE Trans. Electron Devices, Vol.ED-29, June, 1982.
 - 15) A. Nakagawa, et al., "High Voltage Low On-Resistance VDMOS FET," Proceedings of the 13th Conference on Solid State Devices, 1981.
 - 16) V. A. K. Temple, et al., "A 600-Volt MOSFET Designed for Low On-Resistance," IEEE Trans. Electron Devices, Vol.ED-27, pp.343-349, Feb. 1980.
 - 17) H. R. Chang, et al., "Self-Aligned UMOSFET's with a Specific On-Resistance of $1\text{m}\Omega \cdot \text{cm}^2$," IEEE Trans. Electron Devices, Vol.ED-34, pp.2329-2334, Nov. 1987.
 - 18) P. L. Hower and M. J. Geisler, "Comparison of Various Source-Gate Geometries for Power MOSFET's," IEEE Trans. Electron Devices, Vol.ED-28, pp.1098-1101, Sep. 1981.
 - 19) C. Hu, et al., "Optimum Design of Power MOSFET's," IEEE Trans. Electron Devices, Vol.ED-31, pp.1693-1700, Dec. 1984.
 - 20) "HEXFET-data book," International Rectifier, 1985.
 - 21) "Power MOSFET Transistor Data," Motorola, 1985.
 - 22) M. N. Darwish, "Study of the Quasi-Saturation Effect in VDMOS Transistors," IEEE Trans. Electron Devices, Vol. ED-33, pp.1710-1716, Nov. 1986.