

<論 文>

DDA를 이용한 하드웨어 보간기의 계산효율 향상에 관한 연구

오 준 호* · 최 기 봉*

(1988년 3월 2일 접수)

A Study on the Improvement of Calculation Efficiency for the Two-Axis Hardware Interpolator Using DDA

Jun-Ho Oh and Kee-Bong Choi

Key Words : Digital Differential Analyzer(DDA : 계수형 차분 해석기), Interpolator(보간기), Calculation Efficiency(계산효율), Feedrate(이송속도), Reference Frequency(기준주파수), Basic Length Unit(BLU : 기본길이단위)

Abstract

The maximum feedrate generated from the hardware DDA is closely related to its calculation efficiency. The smaller interpolation span results in the lower calculation efficiency. This paper presents the method to improve the calculation efficiency for the smaller interpolation span. For the linear interpolation the higher calculation efficiency can be achieved by putting biggest value that the interpolation DDA can hold. For the circular interpolation, however, the scheme used for linear interpolation does not work since arbitrary change of value in the interpolation DDA changes the radius of the circle. The bit length of the hardware DDA is adjusted instead of adjusting the value in DDA, which results in the very same effect on calculation efficiency for the circular interpolation. The hardware circuit and supporting software are designed, and tested by two axis step motor driven milling machine. The experimental results show that the proposed method drastically increases the maximum feedrate even for the smaller interpolation span.

1. 서 론

수치제어용 공작기계에서 주어진 경로를 따라 공구를 이동시키기 위하여 각 축의 모터에 이송속도에 상당하는 기준신호(reference signal)를 발생시킬 필요가 있다. 이 기준신호 발생장치를 보간기(interpolator)라 하며, 입력된 두 점 사이를 직선, 원호 및 포물선 보간을 한다.

수치제어(numerical control) 장치에서 연속 경로제어를 하기 위해 사용되고 있는 기준펄스

(reference pulse) 방식의 보간 알고리즘에는 DDA, MIT 대수연산 및 Bresenham 연산방식 등이 있다^(1~11). 이들 알고리즘의 대부분은 간단한 사칙연산으로 되어 있어서 프로그래밍하기 쉬우나, 마이크로 컴퓨터를 이용하여 보간할 경우 마이크로 프로세서의 계산시간으로 인하여 최대이송속도가 제한되기 때문에 고속을 요하는 시스템에는 적합하지 않다⁽³⁾. 그러나 이들 알고리즘중 DDA는 논리소자(IC)를 이용한 하드웨어에 의한 보간을 할 수 있으며⁽⁶⁾, 원호 보간시 균일한 속도를 얻을 수 있는 장점이 있다⁽³⁾. 하드웨어에 의한 보간을 할 경우 고속의 이송속도를 발생시킬 수 있으며, 마이크로 컴퓨터와 인터페이스 함으로써 이송속도 제어

*정회원, 한국과학기술원 생산공학과

및 가감속 기능을 실현시킬 수 있다.

DDA란 Fig. 1과 같은 형태로 나타낼 수 있으며, 입력주파수가 f_1 일 때 DDA를 구성하는 2개의 n -bit 레지스터(p 와 q 레지스터)의 상호 덧셈에 의해 출력주파수 f_2 가 발생한다. 이때 f_2 는 f_1 과 두 레지스터의 bit 길이 n 및 p 레지스터의 값에 의해 다음과 같은 관계를 갖는다⁽¹⁾.

$$f_2 = \frac{P_n}{2^n} f_1 \quad (1)$$

여기서 P_n : p 레지스터에 저장된 값

이들 DDA의 조합에 의해 제작된 하드웨어 보간기는 외부에서 공급되는 기준주파수와 DDA의 각 p 레지스터에 저장된 값에 따라 이송속도에 상당하는 펄스 형태의 주파수를 발생시킨다. 이때 발생한 펄스의 양은 이송거리에 상당한다.

Fig. 2와 같이 X-DDA와 Y-DDA로 이루어진 직선보간기와 이송속도를 조절하는 이송속도-DDA에서 p 레지스터 값이 각각 P_x , P_y 및 P_m 이고, X와 Y축의 이송속도가 V_x 와 V_y 라 할 때, X와 Y-DDA의 p 레지스터 값에 따른 각 축의 이송속도는

$$V_\xi = \frac{P_m P_\xi}{2^{n+m}} f_0 \quad (2)$$

여기서 ξ : x 또는 y

n : X와 Y-DDA의 bit 길이

m : 이송속도-DDA의 bit 길이

f_0 : 이송속도-DDA로 공급되는 기준주파수

이다. 이때 최대이송속도는 이송속도-DDA의 p 레지스터 값이 최대치인 $(2^m - 1)$ 일 때이다. 즉

$$(V_\xi)_{\max} = \frac{(2^m - 1) P_\xi}{2^{n+m}} f_0 \quad (3)$$

여기서 X 또는 Y-DDA의 p 레지스터 값에 따른 최대이송속도는 Fig. 3과 같이 선형적인 관계를 가지기 때문에 p 레지스터의 값이 작을 경우 최대이송속도가 제한이 된다. X와 Y축 방향의 보간구간은 X와 Y-DDA의 p 레지스터 값에 비례하며, 보간구간이 작을 때 X와 Y-DDA의 p 레지스터 값이 작아 최대이송속도의 제한으로 인하여 큰 이송속도를 발생시킬 수 없는 단점이 있으며, 이는 2장에서 언급할 보간기의 계산효율과 매우 밀접한 관계가 있다.

본 논문은 직선보간과 원호보간에서 계산효율을 향상시킬 수 있는 방법을 제시하여 이 방법과 가감속 구간을 고려한 하드웨어 보간기를 설계 및 제작

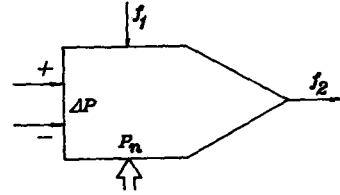


Fig. 1 The symbolic representation of the DDA

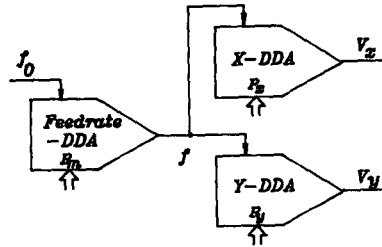


Fig. 2 The linear interpolator and the feedrate-DDA

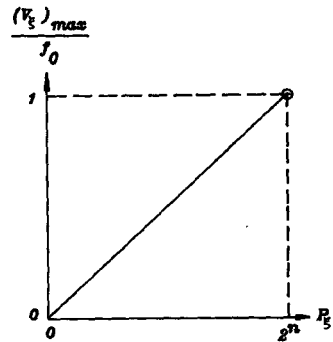


Fig. 3 The maximum feedrate v.s. P_ξ

하였고, 이것을 스텝 모터에 의해 구동되는 밀링머신에 연결하여 보간기의 성능을 알아보았다.

2. 보간기의 계산효율

계산효율을 최대이송속도와 기준주파수의 비 즉

$$\text{계산효율} = \frac{V_{\max}}{f_0} \quad (4)$$

으로 정의하여 무차원 수로 만들며 기준주파수 f_0 는 고정되어 있으므로 계산효율은 최대이송속도에 비례한다. 직선보간에서는 각 축의 보간구간이 작을 때, 그리고 원호보간에서는 보간할 원호의 반경이 작을 때 최대이송속도가 제한이 되어 계산효율이 감소된다. 이것을 해결하기 위해 직선보간에서는 소프트웨어를 이용하여 DDA의 p 레지스터의 값을 조절함으로써, 그리고 원호보간에서는 X와

Y-DDA의 bit 길이를 논리회로와 소프트웨어를 이용하여 조절함으로써 계산효율을 향상시킬 수 있는 방법을 제시한다.

2.1 직선보간에서 계산효율 향상 방법

X와 Y축의 보간구간이 각각 L_x, L_y 라 할 때 축방향 이송속도는 Fig. 4로부터 다음과 같이 쓸 수 있다.

$$V_e = V \frac{L_e}{\sqrt{L_x^2 + L_y^2}} \tag{5}$$

여기서 V : 주어진 경로의 이송속도

직선보간에서 (2)식은 (5)식과 서로 동일하므로 기울기 L_y/L_x 를 갖는 직선의 경로를 발생시키기 위해서는

$$\frac{V_y}{V_x} = \frac{L_y}{L_x} = \frac{P_y}{P_x} \tag{6}$$

의 관계를 유지해야 한다. 즉 X와 Y축의 이송속도 비는 X와 Y축의 보간구간의 비와 같으며, 또 X와 Y-DDA의 p 레지스터의 값에 비례하므로 보간구간이 작을 때 큰 속도를 요한다면 X와 Y-DDA의 p 레지스터 값인 P_x, P_y 를 n-bit 길이 내에서 가능한 한 크게 해야 한다. 따라서 X와 Y-DAA 및 이송속도-DAA의 p 레지스터 값 [P_x, P_y, P_m]을 선정하기 위해 다음과 같이 Q를 정의하자.

$$Q = B + n + m - A - F \tag{7}$$

여기서

$$B = \frac{\ln b}{\ln 2}, A = \frac{\ln a}{\ln 2}, F = \frac{\ln f_0}{\ln 2} \tag{8-a}$$

이고, a와 b는 각각

$$\begin{aligned} a &= \text{MAX}(L_x, L_y) < 2^n, \\ b &= \text{MAX}(V_x, V_y) \end{aligned} \tag{8-b}$$

여기서 다음 두 경우를 고려하자.

(1) $Q \leq m$ 인 경우

$$P_e = L_e \tag{9-a}$$

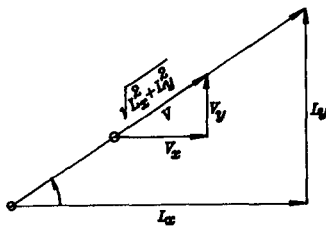


Fig. 4 The relation between displacement and velocity components for the linear interpolation

$$P_m = \frac{2^{n+m}}{a f_0} b \tag{9-b}$$

(2) $Q > m$ 인 경우

$$r = \text{MIN of INT}[Q - (m-1), (n-1) - A] \tag{10}$$

이라 놓으면

$$P_e = 2^r L_e \tag{11-a}$$

$$P_m = \frac{2^{n+m-r}}{a f_0} b \tag{11-b}$$

만약 P_m 이 $(2^m - 1)$ 보다 크면 DDA 특성상 이에 상당하는 속도를 발생시킬 수 없으므로, 이러한 경우에 있어서 P_m 은

$$P_m = 2^m - 1 \tag{11-c}$$

으로 제한된다. 각 DDA의 p 레지스터 값을 보간구간에 따라 위의 식에 적용하여 계산효율과 보간구간과의 관계를 나타내면 Fig. 5와 같다.

위에서 제안한 방법은 소프트웨어에 의해 원하는 속도와 보간구간에 따라 각 DDA의 p 레지스터 값을 조절하여 계산효율을 향상시킬 수 있으며, 전변위구간에 대하여 각 축의 이송속도는 $f_0/2$ 까지 보장된다.

2.2 원호보간에서 계산효율 향상 방법

직선보간에서 계산효율은 소프트웨어를 이용하여 X-DDA, Y-DDA와 이송속도-DDA의 p 레지스터 값을 조절함으로써 향상시킬 수 있으나, 원호보간에서 X-DDA와 Y-DDA의 p 레지스터 값의 조합은 원호의 반경에 상당하므로 (11-a, b, c) 식을 적용할 경우 이에 따른 반경의 변화가 발생한다. 그러므로 원호보간에 있어서 (11-a, b, c) 식은 적

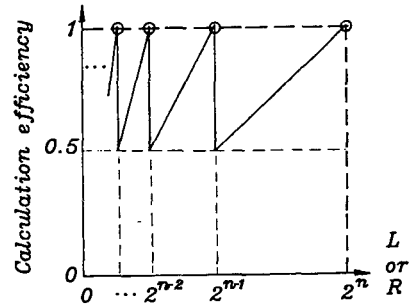


Fig. 5 The calculation efficiency v. s. L_e or R where

$$\begin{aligned} \text{Calculation efficiency} &= \frac{(V_e)_{\text{max}}}{f_0} : \text{linear interpolation} \\ &= \frac{(V_c)_{\text{max}}}{f_0} : \text{circular interpolation} \end{aligned}$$

용할 수 없으며 직선보간에서와 같은 효과를 얻기 위해서는 X와 Y-DDA의 bit 길이를 원호의 반경에 따라 조절하여야 하며, 이것은 Fig. 6과 같은 구조로 되어 있다.

X와 Y-DDA의 최대 bit 길이를 n 이라 하고, 조절된 bit 길이를 n' 라 할 때

$$n' = \text{INT}(A' + 1) \leq n \quad (12)$$

여기서 A' 는

$$A' = \frac{\ln a'}{\ln 2} \quad (13-a)$$

이고, a' 는

$$a' = \text{MAX}(P_x, P_y) \quad (13-b)$$

이때 X 또는 Y축의 이송속도는

$$V_e = \frac{P_m P_e}{2^{n'+m}} f_0 \quad (14)$$

가 된다.

원호보간의 경우 반경 R 과 각 θ 인 원호경로상의 점 (x, y) 에서 각 축방향의 속도 V_x 와 V_y 는 다음과 같다(Fig. 7 참조).

$$V_x = V_c \frac{y}{R}, \quad V_y = V_c \frac{x}{R} \quad (15)$$

여기서 V_c : 원호경로상의 접선속도

이때 각 θ 에서 X와 Y-DDA의 p 레지스터 값 중 P_x 는 y 와 동일하고, P_y 는 x 와 동일하다. 즉

$$P_x = y = R \sin \theta, \quad P_y = x = R \cos \theta \quad (16)$$

이고,

$$\frac{V_x}{V_y} = \frac{y}{x} = \frac{P_x}{P_y} = \frac{\sin \theta}{\cos \theta} \quad (17)$$

이므로 각 축의 이송속도는 원호를 따라 경로를 발생시킬 수 있다.

이 방법을 이용하여 원호의 접선방향에서 최대 이송속도일 때의 계산효율과 보간할 원호의 반경에 대하여 도시하면 Fig. 5와 같다. 이것은 결국 직선보간에서와 같은 결과로써 전 반경구간에 대하여 $f_0/2$ 까지 이송속도가 보장된다.

3. 가감속 구간

회전속도에 상당하는 전압을 DC 모터에 입력할 때 계단입력(step input)을 가하면 모터에 과전류가 흘러 알람(alarm)이 발생함과 동시에 모터가 정지한다. 그러므로 일정속도에 도달할 때까지 가속을 시키며, 정지시킬 경우에는 일정속도로부터 감속을 시키야 한다. X와 Y축의 이송속도에 가속 구간을 만들기 위해서는 이송속도-DDA의 출

력주파수를 가감속시켜야 한다. 이것은 이송속도-DDA의 p 레지스터를 이루는 up/down counter의 port($\pm \Delta P$)에 속도의 기울기를 조절할 수 있는 l -bit길이의 Slope-DDA의 출력을 Fig. 8과 같이 연결하여 얻을 수 있다. 즉 Slope-DDA의 출력을 가속구간 동안 up port($+\Delta P$)에 연결하면 이송속도-DDA의 출력주파수는 선형적으로 증가하며, 감속구간 동안 down port($-\Delta P$)에 연결하면 이송속도-DDA의 출력주파수는 0이 될 때까지 선형적으로 감소한다. 등속구간 동안은 up/down counter의 작용을 정지시켜 이송속도-DDA의 출력주파수를 일정하게 유지시킨다.

이송속도가 가속, 등속 및 감속의 속도형태를 이

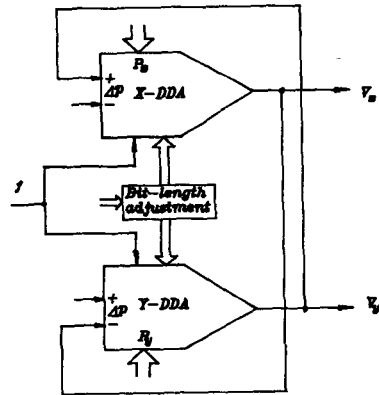


Fig. 6 The circular interpolator

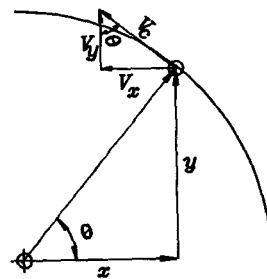


Fig. 7 The relation between displacement and velocity components for the circular interpolation

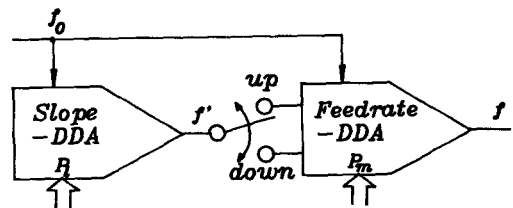


Fig. 8 The Slope and Feederate-DDA

를 때 1회의 보간에서 발생해야 할 주파수 f 의 펄스량을 T_{tot} 라 하면

$$T_{tot} = T_a + T_{con} + T_d$$

$$= 2T_a + T_{con} \quad (18)$$

여기서 T_a : 가속구간에서 발생될 펄스량

T_{con} : 등속구간에서 발생될 펄스량

T_d : 감속구간에서 발생될 펄스량

이 식에서 가속과 감속구간을 서로 동일하게 놓고, T_a 또는 T_d 를 구하기 위해 Slope-DDA에 공급되는 주파수 f_0 가 i 펄스 입력되었을 때 출력주파수 f' 가 j 펄스 출력되었다고 가정하면 j 는

$$j = \frac{P_i}{2^i} i \quad (19)$$

여기서 P_i : Slope-DDA의 p 레지스터 값
 가속구간에서 이송속도-DDA의 p 레지스터 값이 0에서 P_m 까지 변한다면 j 가 P_m 이 될 때까지 클락 주파수 f' 는 up port에 연결되어야 하며 이때 i 는 k 가 된다. 여기서 k 는

$$k = \frac{2^i}{P_i} P_m \quad (20)$$

이때, 이때 T_a 는

$$T_a = \sum_{i=0}^k \frac{j}{2^m} = \frac{P_i}{2^{i+m}} \frac{k(k+1)}{2}$$

$$= \frac{k(k+1)}{2^{i+m+1}} P_i \quad (21)$$

직선보간에서 1회의 보간 동안 발생해야 할 주파수 f 의 펄스량 T_{tot} 는

$$T_{tot} = 2^{n-r} \quad (22)$$

이며 원호보간에서는

$$T_{tot} = 2^{n'} (\theta_f - \theta_i) \frac{\pi}{180} \quad (23)$$

여기서 θ_i : 보간이 시작되는 점의 각도 [degree]

θ_f : 보간이 끝나는 점의 각도 [degree]

이다.

4. 실험

4.1 보간기 시스템의 구조 및 시스템 구동 알고리즘

계산효율 향상을 위한 방법과 가속구간을 고려해서 설계한 보간 시스템의 구조는 Fig. 9와 같으며, 설계에 의해 제작한 시스템의 사양은 Table 1과 같다.

이 시스템은 8개의 부분으로 이루어져 있으며, 각 부분은 다음과 같은 기능을 갖는다.

○ 기준주파수(reference frequency) 발생부

이 시스템에서 기준이 되는 주파수 f_0 의 구형 펄스를 발생시키며, Slope-DDA와 이송속도-DDA에 공급한다.

○ Slope-DDA부

가속구간 동안 시간에 따른 속도의 기울기를 발생시키기 위하여 주파수 f_0 와 속도의 기울기에 상당하는 p 레지스터 값 P_i 에 의해 주파수 f' 를 발생시키며, 이 펄스를 속도형태 발생부에 공급한다.

○ 속도형태(velocity profile) 발생부

가속, 등속 또는 감속의 속도형태를 발생시키기 위하여 Slope-DDA에서 발생된 주파수 f' 의 펄스를 가속구간에는 이송속도-DDA의 up port (+ ΔP)에, 감속구간에는 down port (- ΔP)에 연결을 하며, 등속구간에는 어느 port에도 연결되지 않게 한다. 1회의 보간 동안 수행할 속도의 형태는 컴퓨터로부터 순서(예: 가속구간 → 등속구간 → 감속구간)가 정해져 입력되며, 순서에 의해 위의 동작을 수행한다. 각 구간(가속, 등속 및 감속구간)의 끝에서는 계수 및 비교부에서 발생된 구간종료 신호에 의해 다음 구간으로 속도 형태가 진행되며, 1회의 보간이 완전히 끝나면

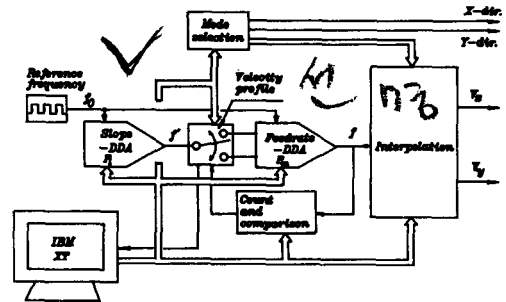


Fig. 9 The schematic diagram of the interpolator system

Table 1 The specification of the interpolator system

Bit-length of DDAs	Slope-DDA	8-bit
	Feedrate-DDA	12-bit
	X and Y-DDA	16-bit
Maximum command value		65535 BLU
Maximum feedrate		6248 pps

컴퓨터에 보간종료 신호를 전송한다.

○계수 및 비교(count and comparison)부

1회의 보간에서 각 구간에 필요한 주파수 f 의 펄스량이 컴퓨터로부터 입력되어 이송속도-DDA에서 발생되고 있는 주파수 f 의 펄스량과 비교한다. 각 구간에서 컴퓨터로부터의 입력치와 발생된 주파수 f 의 펄스량이 서로 동일한 값이 되면 구간종료 신호를 속도형태 발생부에 전송한다.

○모드(mode) 선택부

직선 또는 원호보간을 선택하여 이에 상당하는 데이터를 보간부에 전송하며, 모터의 회전방향을 선택한다. 원호보간에서는 Fig. 10과 2가지 형태의 8개의 원호가 존재하는 데 이 중 1개의 원호를 선택하고, 원호의 반경에 따른 DDA의 bit 길이를 결정하여 보간부에 상당 데이터를 전송한다.

○보간(interpolation)부

Fig. 11과 같은 구조로 되어 있으며, 직선 또는 원호보간을 수행하는 곳이다. 모드 선택부에서 전송된 데이터에 의해 직선 또는 원호보간 선택회로를 통하여 X와 Y-DDA에 입력되며, 원호보간의 경우 모드 선택부에서 선택된 원호의 회로를 통하여 각각 X와 Y-DDA에 입력된다. X와 Y-DDA는 위의 정보와 주파수 f 및 X와 Y-DDA의 p 레지스터 값에 의해 주파수 V_x 와 V_y 를 발생시킨다. 이때 발생된 주파수는 이송속도에 상당하며, 주파수의 펄스량은 이송거리에 상당한다.

○컴퓨터 I/O부

보간이 시작되기 위하여 각 부(속도형태 결정부, 계수 및 비교부, 모드 선택부)에서 필요한 데이터를 전송하며 각 DDA(Slope-DDA, 이송속도-DDA, X-DDA, Y-DDA)의 p 레지스터 값을 상당 DDA에 전송한다. 또 속도형태 결정부에서 전송되어 오는 보간종료 신호를 감지한다.

이 보간기 시스템을 구동시키기 위하여 시스템 구동 알고리즘이 필요하며, 알고리즘의 내용은 다음과 같다(Fig. 12 참조). 먼저 파트 프로그램 내의 데이터를 읽은 후 보간방법에 따라 이들 데이터를 상당 서브루틴(Linear, C. W, C.C.W)에 입력시킨다. 이들 서브루틴은 직선보간에서 식 (2)에 의해 T_{tot} 를 구한 후 식 (18)과 (21)에 의해 계수 및 비교부

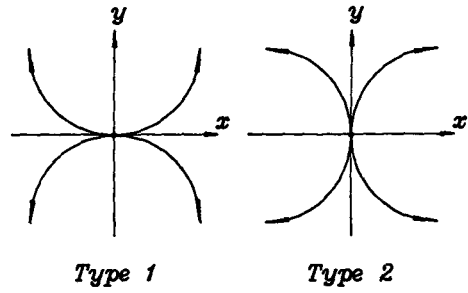


Fig. 10 Eight possible circular arc

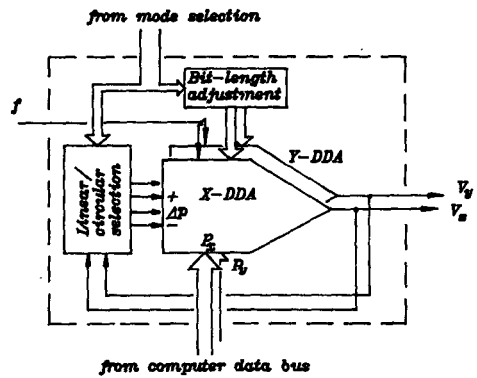


Fig. 11 The schematic diagram of the interpolator

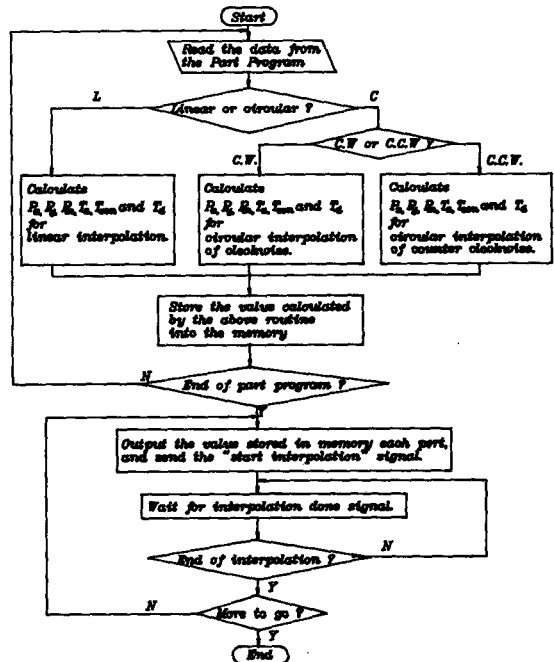


Fig. 12 The algorithm to drive the interpolator system

에 전송할 T_a , T_{con} 및 T_d 를 결정하고, (9-a, b) 및 (11-a, b, c)에 의해 X 와 Y -DDA 및 이송속도- DDA 의 p 레지스터에 전송할 P_x , P_y 및 P_m 을 결정하며, 원호보간에서는 식 (23)에 의해 T_{tot} 를 구한 후 식 (10)과 (21)에 의해 계수 및 교부에 전송할 T_a , T_{con} 및 T_d 를 결정하고, 식 (16)과 식 (14), (15)에 의해 X 와 Y -DDA의 p 레지스터에 전송할 P_x , P_y 및 P_m 를 결정하여 이들 값을 컴퓨터 안의 메모리에 저장시킨다. 그후 파트 프로그램 파일의 끝을 검사하여 파일의 끝이 감지되지 않으면 다음 데이터를 읽어 위의 루틴을 반복한다. 만약 파일의 끝이 감지되면 하드웨어로 이루어진 보간기 시스템을 구동시키기 위해 메모리에 저장된 값을 전송하여 보간을 실행시킨 후 보간종료 신호를 감지한다. 만약 보간종료 신호가 감지되면 최종보간이 종료되어 구동을 정지시킬 때까지 메모리에 저장된 값을 시스템에 전송한 후 보간종료 신호를 감지하는 루틴을 계속 실행한다.

4.2 밀링 머시인에 의한 실험

보간기에서 출력되는 펄스열은 직접 스텝 모터를 작동시킨다. 그러므로 이 보간기를 스텝 모터로 구동되는 밀링 머시인에 연결하여 tool post에 부착한 펜으로 베드의 이송을 기록하였다. 밀링 머시인은 Bridgeport사의 BR2J 3축 직립 knee형 범용기로 X , Y , Z 축에 각각 독립된 스텝 모터를 장착하고 있으며 이중 X , Y 2축만을 실험에 이용하였다. 스텝 모터는 분해능이 1.8° 인 SIGMA-PM형으로 스텝 모터의 회전으로 인한 베드의 이송은 1BLU당 $25.4\mu\text{m}$ 이다.

Fig. 13(a)와 Fig. 13(b)는 밀링 머시인에서 실험한 결과로서 반경이 500, 1000, 1500BLU인 원과 1변이 500, 1000, 1500 BLU인 정사각형을 200

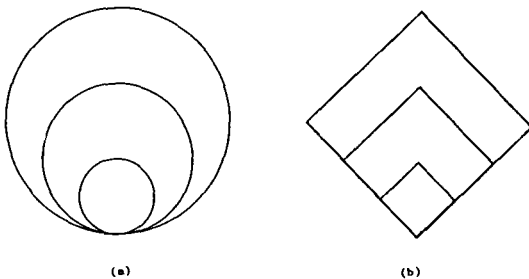


Fig. 13 Experiment by milling machine
(a) Circular interpolation
(b) Linear interpolation

pps(pulse per second)로 보간한 것으로써 펄스 카운터로 보간기의 출력을 측정해 본 결과 1회 보간당 최대 2BLU의 오차가 발생되었다. 식 (3)과 같이 계산효율을 향상시킬 수 있는 방법을 따르지 않을 때 원호보간에서 접선방향의 최대속도와 직선보간에서 각 축의 최대속도는 반경과 1변의 길이가 500, 1000, 1500 BLU일 때 각각 49.73, 99.46, 149.19 pps이나, 2장에서 제시한 계산효율 향상 방법에 의해 각 구간에서 그 이상의 이송속도 즉 200 pps를 발생시킬 수 있었다.

5. 결 론

DDA 적분기를 이용한 하드웨어 보간기에서 직선과 원호보간의 계산효율을 향상시키기 위한 방법을 제시하여 이 방법에 의한 하드웨어 보간기를 설계 및 제작하였고, 가감속 구간을 고려하여 보간기를 구동시키기 위한 소프트웨어 알고리즘을 개발하였다. 이 하드웨어 보간기를 스텝 모터에 연결한 후 성능을 검사해본 결과 다음과 같은 결론을 얻었다.

- (1) 직선보간에서 X -DDA, Y -DDA 및 이송속도- DDA 의 p 레지스터 값을 조절하여 계산효율을 향상시킬 수 있다.
- (2) 원호보간에서 X 와 Y -DDA의 bit 길이를 반경에 따라 조절하여 계산효율을 향상시킬 수 있다.

참 고 문 헌

- (1) Y. Koren, 1983, "Computer Control of Manufacturing System", McGraw-Hill, Inc.
- (2) R. S. Pressman and J. E. Williams, 1977. "Numerical Control and Computer Aided Manufacturing", John Wiley & Sons, Inc.
- (3) Y. Koren and O. Masory, 1981, "Reference-Pulses Circular Interpolators for CNC Systems", Trans. ASME. J. Eng. Ind., Vol. 103, No. 1, pp. 131~136.
- (4) O. Masory and Y. Koren, 1982, "Reference-Word Circular Interpolators for CNC Systems", Trans. ASME. J. Eng. Ind., Vol. 104, pp. 400~445.
- (5) Sizer. T. R., 1968, "The Differential Analyzer", Champman & Hall, Ltd.
- (6) D. A. Miller, 1976, "Some Aspects of Computer Numerical Control with Reference to Interpolator", Trans. ASME. J. Eng. Ind., pp. 883~889.

- (7) Y. Koren, 1976, "Interpolator for a computer Numerical Control System", IEEE Trans. Comp., Vol. C-25, No. 1, pp. 32~37.
- (8) P. E. Danielsson, 1970, "Incremental Curve Generation", IEEE Trans. Com., Vol. C-19, No. 9.
- (9) T. E. Lho, 1986, "A Study on the Determination of the Kerf Width and the Automation for the Plasma Arc Cutting Process", KAIST thesis.
- (10) L. C. Eggebrecht, 1983, "Interfacing to the IBM Personal Computer", Howard W. Sams & Co., Inc.
- (11) J. W. Coffron, 1984, "The IBM PC Connection", Sybex, Inc., Berkeley.