

# Dynamic RAM과 그 使用法

## 1. Dynamic RAM의 基本 構成

1 메가 비트 다이내믹 RAM(이하 DRAM)의 기본 구성을 그림 1에 표시한다. 신호의 흐름은 어드레스 신호  $A_0 \sim A_9$ 를 행(Row)과 열(Column)의 선택신호  $\overline{RAS}$ , CAS에 동기해서 입력단자  $A_0 \sim A_9$ 로부터 시분할적으로 입력하여 각각 열 어드레스 버퍼, 행 어드레스 버퍼에 렛 취한다. 행 데코더에서 워드 선을 선택 구동하여 메모리 셀을 액세스한다.

액세스된 메모리 셀의 정보는 데이터 선에 전송되어 이를 센스 업으로 증폭함과 동시에 메모리 셀에 정보의 재차 써넣기를 행한다. 이어 열 데코더에서 센스 앰프의 출력을 선택하고 이 선택된 정보가 데이터 선을 거쳐 출력 버퍼로 전송된다. 이들 일련의 동작은 메모리 셀 정보의 파괴를 방지하기 위하여 내부 주기신호로 제어되며 정해진 순서, 타이밍으로 실행한다.

터 1 캐패시턴스 셀의 구조는 적은 면적으로 큰 기억용량을 얻을 수 있기 때문에 수많은 연구가 지속되고 있다.

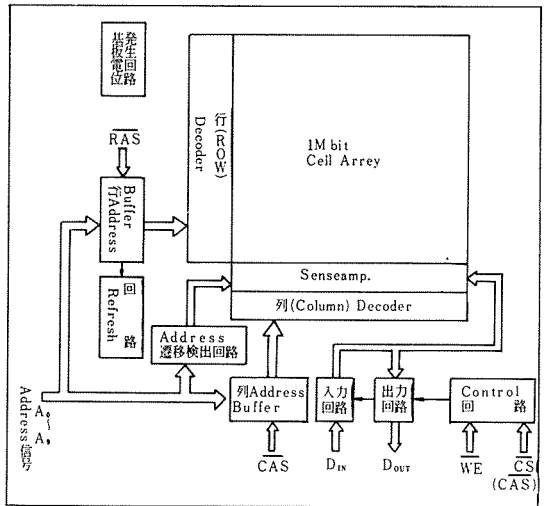


그림 1. 1 M bit DRAM의 基本構成

## 2. DRAM의 Memory Cell

DRAM은 비트의 고집적화를 위하여 기억 셀 당 구성소자수가 적은 그림 2에서 볼 수 있는 것과 같은 1 트랜지스터 형의 셀을 사용하고 있다. 전하를 기억하는 MOS 캐패시턴스와 그 전하를 전송하는 MOS 트랜지스터만으로 구성되는 것이 특징이며 4K 비트 DRAM 이후의 대용량 메모리, 예를 들면 1M비트 DRAM까지 n채널 MOS기술이 이용되어 왔다. 이 1 트랜지스

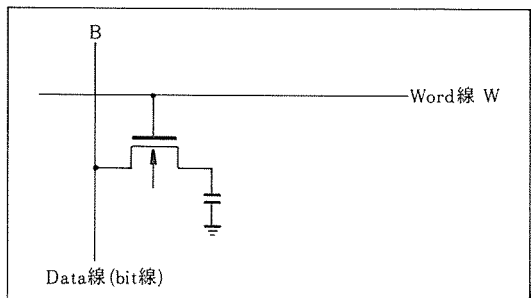


그림 2. 1 Transistor型 DRAM Cell회로

가. Planar型 Memory Cell

Planar형 메모리 셀은 종전부터 가장 일반적으로 쓰여 왔으며 1M 비트 DRAM에도 쓰이고 있다. 그 Planar형 메모리 셀의 구조 예를 그림 3에 표시한다. 이 예에서는 폴리실리콘 1을 셀플레이트E로 폴리실리콘 2를 워드선 W로, 알루미늄을 데이터 선 D로 쓰는 이른바 2층 폴리실리콘 구조로 되어있다. 이밖에 3층 폴리실리콘 구조를 써서 메모리 셀의 축소화를 꾀한 것이라든가 고속화를 목적으로 폴리실리콘 대신에 금속실리사이드나 폴리사이드를 쓴 것 등 여러가지 메모리 셀이 실용화되고 있다.

나. Stacked型 Memory Cell

3층 폴리실리콘 기술을 사용하여 그림 4에 나타나는 것과 같은 저저항화를 위하여 첫째 층

은 폴리실리콘사이드(Polycide)를 사용하여 워드선 W로 삼고 있으며 둘째 층과 세째 층의 폴리실리콘으로 절연물(예를 들면  $\text{SiO}_2$  100 Å)을 사이에 두고 기억 캐패시턴스를 형성한 것으로서 셀 구조로도 알 수 있듯이 메모리 셀 캐패시턴스를 선택 트랜지스터나 데이터선(비트선)D위에 배치할 수 있으므로 작은 셀 면적으로 큰 기억 캐패시턴스를 얻을 수 있다. 또한 전하기억부에 확산층 영역이 필요없기 때문에 소프트 에러율의 개선도 기대할 수 있다.

다. Trench型 Memory Cell

축적 캐패시턴스의 3차원적 배치의 또 한가지 방법으로서 그림 5와 같은 트랜치형 메모리 셀이 있다. 이 트랜치형 메모리 셀은 실리콘 기판의 수직방향에 홈을 파서 홈측면을 기억 캐패

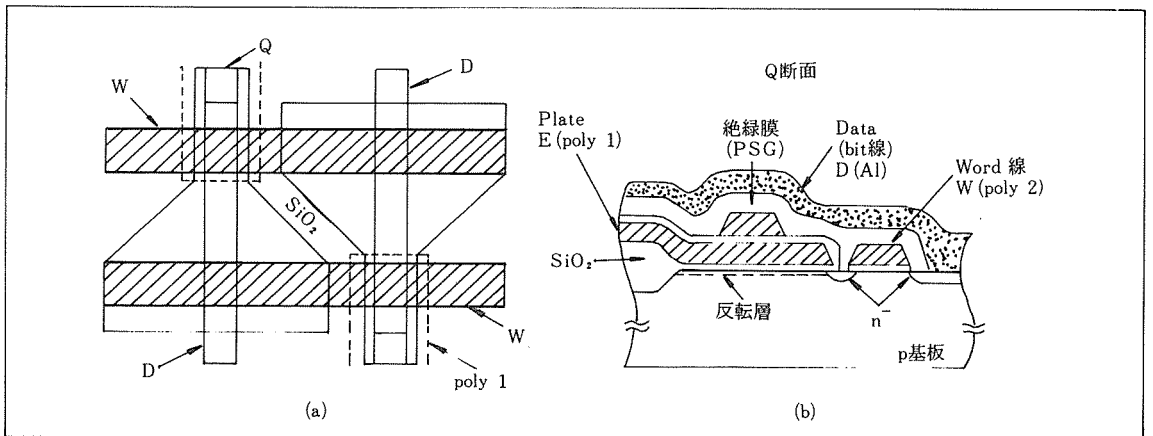


그림 3. Planar型 Memory Cell構造의 예

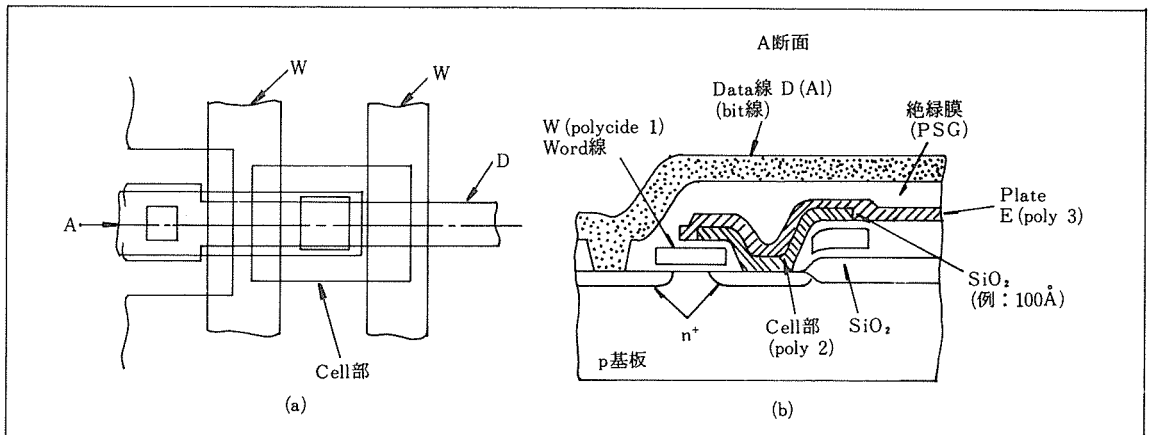


그림 4 Stacked Capacitor Cell構造의 예

시턴스로 쓰기 때문에 셀 면적을 작게 할 수 있으며 아울러 큰 기억 캐패시턴스를 확보할 수 있다. 트랜치형 메모리 셀은 홈파기 소자분리 기술과 결들여서 4M 비트 메모리 셀 이상의 DRAM에 적용되기 시작하고 있다.

### 3. Address Multiplexer方式

DRAM의 기본구성을 16워드×1비트 메모리 로 그림 6에 표시한다. DRAM은 대용량 메모리화됨에 따라 어드레스 입력이 증가된다. 지금 어드레스 입력을 X로 하고 기억용량을 N으로 해본다면  $X = \log_2 N$ 이 된다. 예를 들면 64K 비트 DRAM의 경우, 기억용량 N가 64K 비트이기 때문에 어드레스 입력 X는 16출이 필요해진다. 이대로라면 어드레스 입력만으로 16핀 이상의 용기가 필요해져 메모리 실장면에서 스페이스 낭비를 초래케 된다. 그래서 먼저 행과 열과의 선택신호 즉, Row Address Strobe (RAS) 신호와 Column Address Strobe (CAS) 신호를 도입하여 이  $\overline{RAS}$ ,  $\overline{CAS}$  신호에 의해 어드레스 입력을 외부에서 멀티프렉스 하여 입력 신호를 받도록 줄인다.

그림 8에 표시하는 것처럼 RAM 입력에 렛치 회로를 삽입하여 이 렛치 회로를  $\overline{RAS}$ ,  $\overline{CAS}$  신호로 멀티프렉스되어 있는 어드레스 입력을 RAM 내부에서 원상복귀시키면 메모리 액세스

할 수 있다. 즉 사용상 16출의 어드레스 입력을 외부에서 멀티프렉서(예를 들면 HC 153×2.5)를 써서 멀티프렉스하여 8출로 바꾼다. 이것을 DRAM에 공급하면 내부에서 자동적으로 16출의 어드레스로 되바꾸는 것이다. 현재의 DRAM은 거의 이 멀티프렉스 방식이 채택되고 있다. 따라서 사용상의 어드레스 입력방법에 주의할 필요가 있다.

### 4. DRAM의 基本動作

#### 가. Write Mode

그림 6에서의 16워드×1비트 메모리에서 셀 22에 데이터 1레벨을 써넣는 경우를 생각해 보기로 한다( $D_{IN} = 1$ 레벨 때). 먼저  $\overline{RAS}$  신호를 공급하여 이 신호에 의해 어드레스 입력  $A_0, A_1$ 을  $A_0 = 1$ 레벨,  $A_1 = 0$ 레벨로 하고 워드 선 즉 Y방향의 행( $R_{ow}$ ) 어드레스  $RA_1$ 을 1레벨로 한다. 이 경우 다른 행( $R_{ow}$ ) 어드레스  $RA_0, RA_2, RA_3$ 은 모두 0레벨이 된다.

다음에 행( $R_{ow}$ ) 어드레스가 충분히 성립된 후 ( $t_{RAH} > 10ns$ ),  $\overline{CAS}$  신호를 공급하여 이 신호에 의해 어드레스 입력  $A_0, A_1$ 을  $A_0 = 1, A_1 = 0$ 로 하여 데이터선 즉 X방향의 열(Column) 어드레스  $CA_1$ 을 1레벨로 한다. 이 경우 다른 열(Column) 어드레스  $CA_0, CA_2, CA_3$ 은 모두 0레벨이 된다.

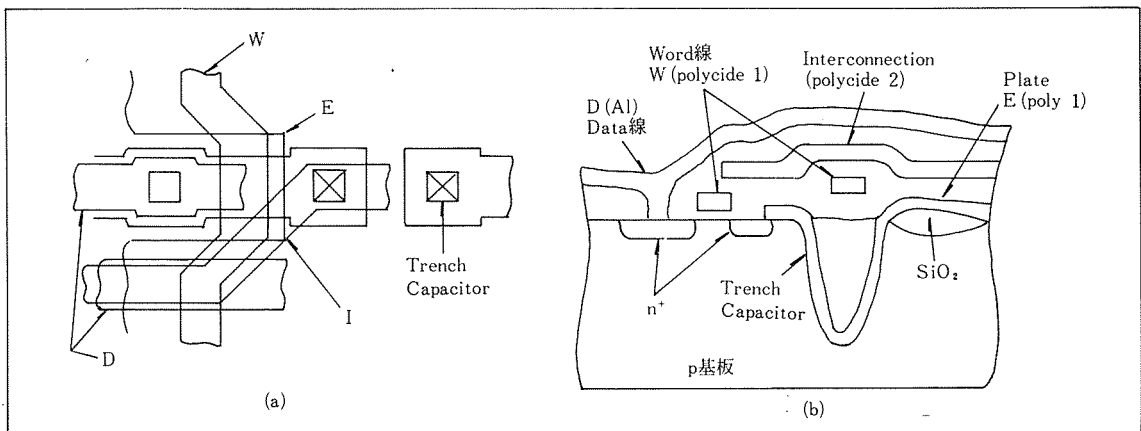


그림 5. Trench Capacitor Cell構造의 例

여기에서 설정된 행 (Row) 어드레스 RA<sub>1</sub>은 RAS 신호가 다시 사라질 때까지 1 레벨을 유지한다. 동시에 설정된 열 (Column) 어드레스 CA<sub>1</sub>도 CAS 신호가 다시 사라질 때까지 1 레벨을 유지한다. 또한 설정된 어드레스는 RAS, CAS 신호

호의 사라짐으로써 일단 컷치되면 컷치된 뒤에는 어드레스 입력이 어떻게 변화되더라도 문제는 없다. 다만 행 (Row) 어드레스, 열 (Column) 어드레스 모두 셀 업, 홀드 시간의 유지가 필요하다.

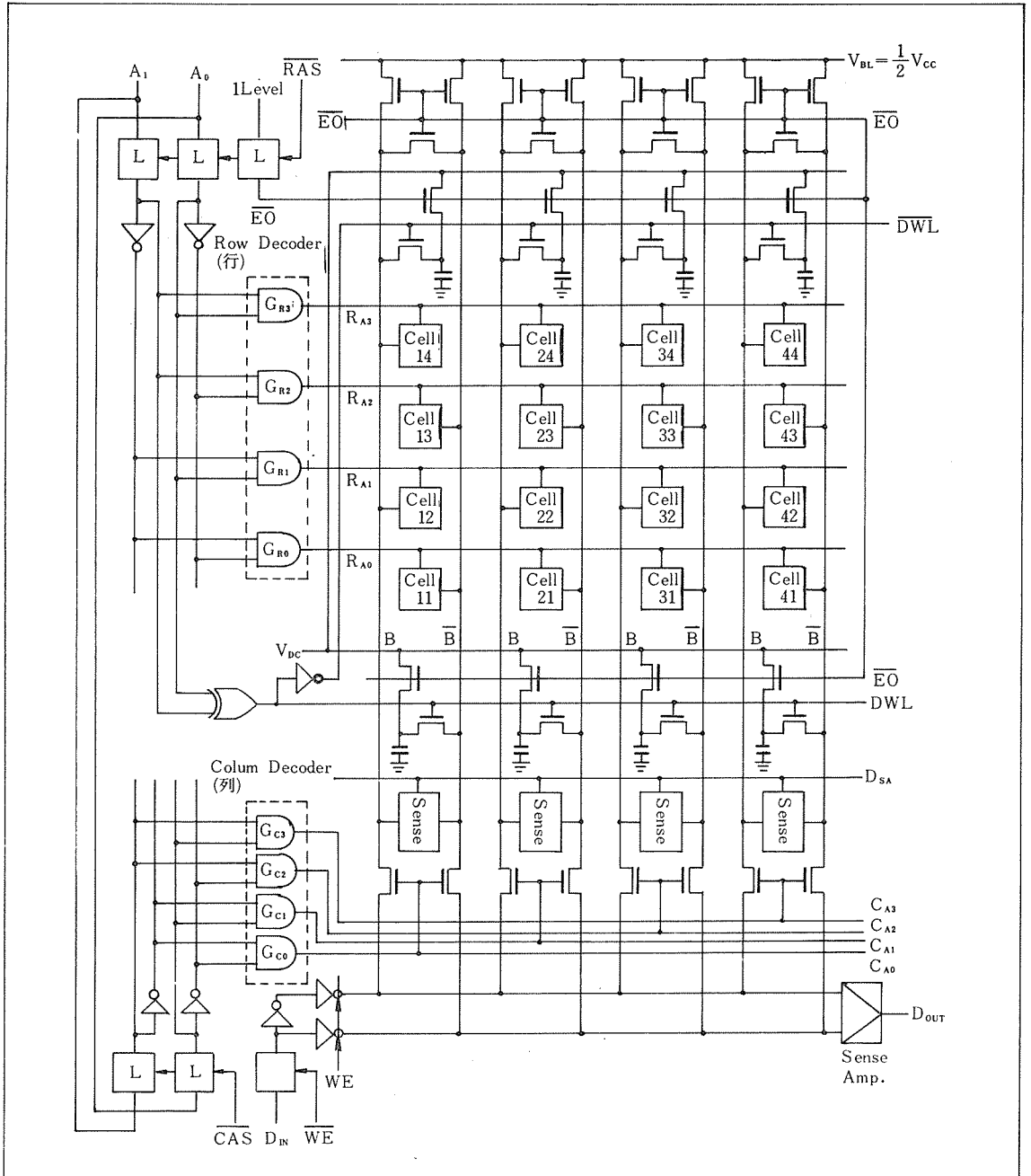
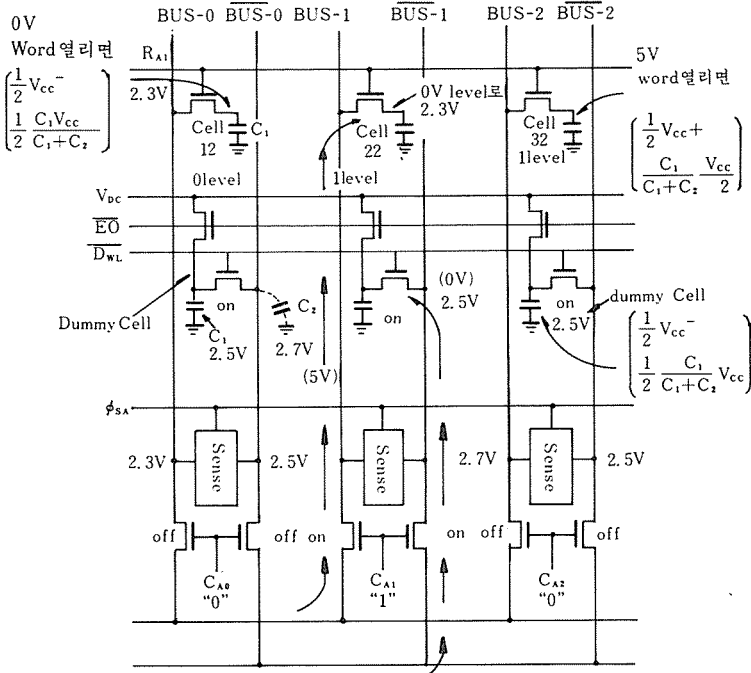


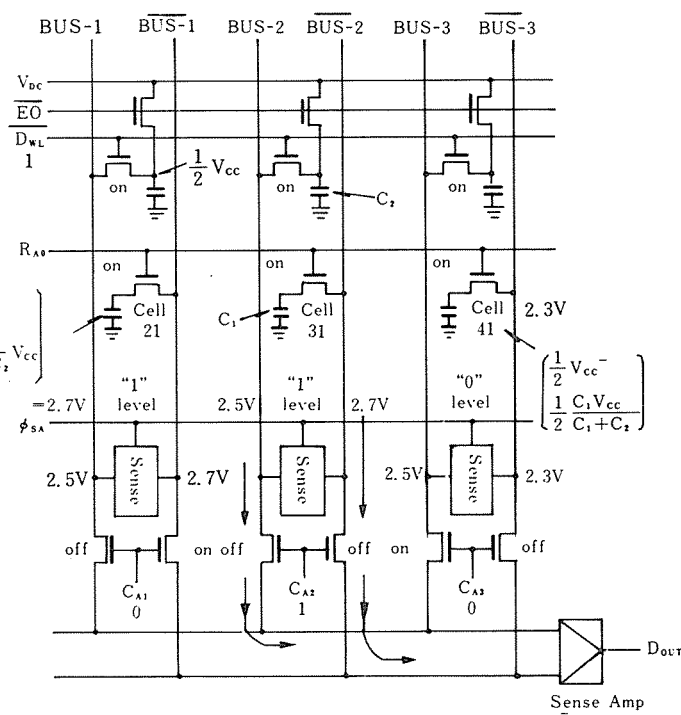
그림 6. 16Word x 1 Bit Dynamic Memory의 基本構成例



(a) 써넣기 동작상태

〈써넣기順序〉

- ① 負荷MOS에 의해  $BUS, \overline{BUS} = \frac{1}{2} V_{cc}$
- ② Row Decoder로 1行만 選擇 ( $R_{A1}=1$ )
- ③ Dummy Cell이 on
- ④ BUS-1라인은 원래 0 레벨보다
 
$$\left\{ \begin{aligned} \overline{BUS-1} &= \frac{1}{2} V_{cc} - \frac{1}{2} \frac{C_1 V_{cc}}{C_1 + C_2} \\ \overline{BUS-1} &= \frac{1}{2} V_{cc} \end{aligned} \right.$$
- ⑤ Sense  $\phi_{SA}=1$ 이 되어 各BUS full swing
- ⑥ Column Decoder에서 1列만을 選擇 ( $C_{A1}=1$ )
 
$$\left\{ \begin{aligned} \overline{BUS-1} &= 5V \\ \overline{BUS-1} &= 0V \end{aligned} \right.$$



(b) 읽어내기 동작상태

〈읽어내기順序〉

- ① 負荷MOS에 의해  $BUS, \overline{BUS} = \frac{1}{2} V_{cc}$
- ② Row Decoder로 1行만을 選擇한다. ( $R_{A0}=1$ level)
- ③ Dummy Cell이 on
- ④ BUS-2line은
 
$$\left\{ \begin{aligned} \overline{BUS-2} &= \frac{1}{2} V_{cc} + \frac{1}{2} \frac{C_1}{C_1 + C_2} V_{cc} \\ \overline{BUS-2} &= \frac{1}{2} V_{cc} \end{aligned} \right.$$
- ⑤ Sense  $\phi_{SA}=1$ 이 되어 各BUS line full swing
- ⑥ Column Decoder로 1列만 選擇 ( $C_{A2}=1$ )
- ⑦ Sense Amp로 出力

그림 7. 써넣기, 읽어내기때의 RAM 動作說明圖

이상과 같이 어드레스를 지정하여 써넣기 신호(Write) 및 데이터 입력  $D_{IK}$ 을 공급하면 데이터가 써넣어진다. 어드레스 입력과 마찬가지로 데이터 입력  $D_{IK}$ 은  $\overline{CAS}$ 신호의 사라짐으로 일단 렛취되면 렛취후에는 데이터 입력  $D_{IK}$ 이 어떻게 바뀌더라도 문제는 없다. 이 써넣기 상태를 그림 7에 표시한다.

여기에서 워드선 즉 행( $R_{OW}$ )어드레스  $RA_1$ 이 1레벨이기 때문에 셀 12(0레벨 기억), 셀 32(1레벨 기억), 셀 42(1레벨 기억)도 동시에  $O_n$ 하나 더미워드라인이  $DWL=1$ 레벨,  $\overline{DWL}=0$ 레벨이므로  $\overline{BUS}$ 라인측( $\overline{B}$ )에는 더미 셀이 나타난다.

또한 셀 12의 0레벨은  $BUS$ 라인( $B$ )의 전압( $V_{CC}$ )보다 낮기 때문에 0레벨( $\sim 2.3V$ )을 유지하고 셀 32, 셀 42의 1레벨은  $BUS$ 라인( $B$ )의 전압( $V_{CC}$ )보다 높기 때문에 1레벨( $\sim 2.5V$ )을 유지하며 아울러 컬럼 어드레스  $CA_0, CA_2$ ,

$CA_3$ 이 0레벨로써 불성립 상태이기 때문에 Write, Read 모두 이루어지지않아 데이터 유지를 행한다.

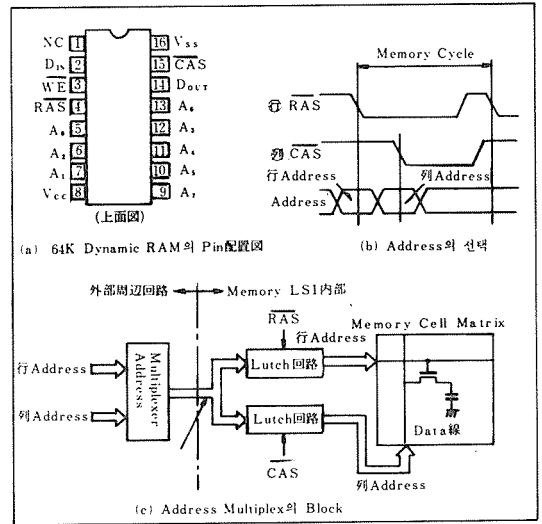


그림 8. 64K Bit DRAM에서의 Address Multiplex方式의 例

