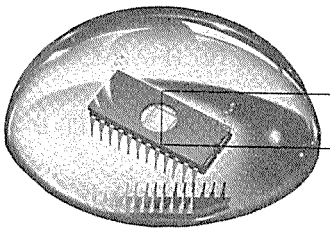


最新 電子技術 소개 ⑮

Static RAM과 그 使用法

1. SRAM의 Memory Cell

CMOS SRAM의 메모리 셀은 완전 CMOS형 6트랜지스터 셀과 고저항 폴리실리콘 부하형 E/R셀의 2종류가 있다. SRAM 메모리 셀 회로의 종류와 변천을 그림 1을 통해 살펴 본다.

6트랜지스터 셀은 한쌍의 CMOS 인버터 회로를 플립 플롭 구성에 접속하여 각 기억 노드에 워드 선을 게이트 입력으로 하는 한쌍의 억세스 트랜지스터 Q_1, Q_2를 접속한 것으로서 억세스 트랜지스터 Q_1, Q_2를 통하여 비트 선과의 사이에서 읽어내기, 써넣기의 데이터 전송을 행한다. 워드 선은 행 데코더(Row)회로의 출력으로서 저저항 폴리실리콘 층으로 배선되어 메모리 셀이 선택되었을 때에만 1레벨로 되어 억세스 트랜지스터 Q_1, Q_2를 On 시킨다. 한쌍의 비트 선은 메모리 셀이 선택되기 전에 미리 동일 전압 레벨에 설정되어 이미 선택되어 있던 메모리 셀의 데이터가 다음에 새로 선택되는 메모리 셀에 잘못 써넣어지지 않도록 보호된다.

읽어내기 사이클의 경우, 억세스된 메모리 셀의 데이터에 따라 한 쌍의 비트선상에 전송된 써넣기 데이터가 셀의 억세스 트랜지스터 Q_1, Q_2를 통하여 메모리 셀에 써넣어진다. 메모리 셀을 설계할 때에 가장 중요한 것은 기억 안정성이다.

이 기억안정 동작설계를 위하여 읽어내기 때의 셀의 상태도를 흔히 사용한다. 예를 들면 완

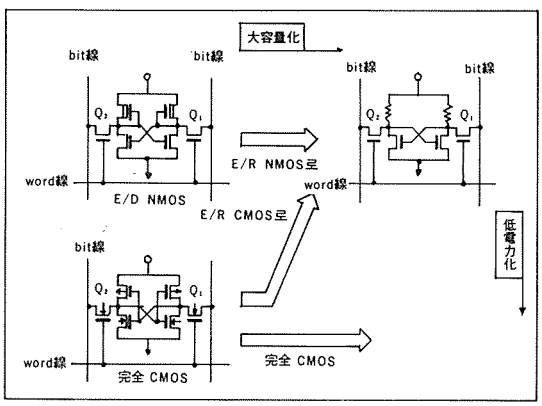
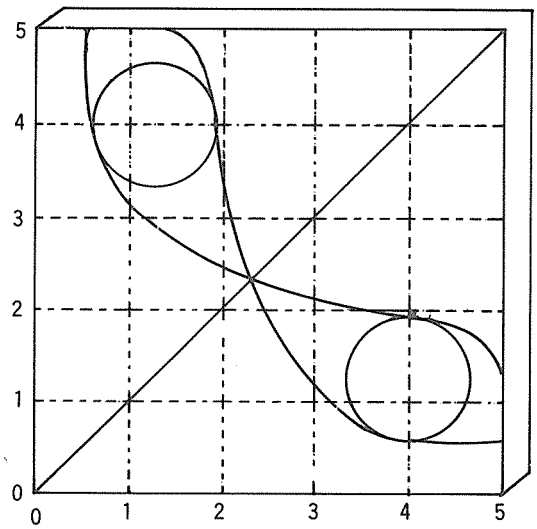


그림 1. SRAM Memory Cell回路의 種類와 変遷

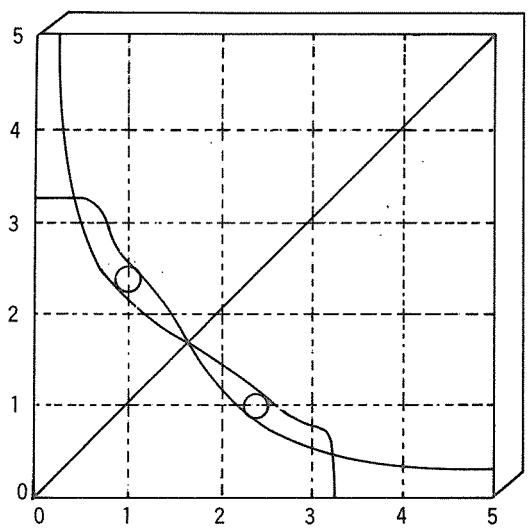
전 CMOS 셀의 상태도를 그림 2(a)에, 그리고 E/R 셀의 상태도를 그림 2(b)에 표시해 보면 이 그림의 원접원의 최대경의 크기가 셀의 안정도를 재는 눈금인 셈이다. 따라서 완전 CMOS 셀은 E/R 셀에 비하여 안정성이 뛰어난 셀임을 알 수 있다.

이 동작안정성이 높은 64K bit static CMOS RAM에 채용되고 있는 완전 CMOS 셀 1비트분의 패턴 예를 그림 3에 표시한다. 이 셀은 메모리 셀에 공급되는 Vcc선이 p^+확산층으로서 비트 선과 직교방향으로 배선되어 Vss선이 2층째의 폴리실리콘으로 되어 있고 셀 안의 알미늄선 밀도를 줄여 셀 패턴 사이즈의 축소를 도모하고 있다.

E/R셀은 고저항 폴리실리콘 부하저항을 쓴 NMOS 구성의 메모리 셀로서 N채널의 SRAM에서 최초로 쓰여졌으나 16K 비트 메모리 이상



(a) 完全CMOS셀



(b) E/R셀

그림 2. 읽어내기때의 메모리셀의 狀態図

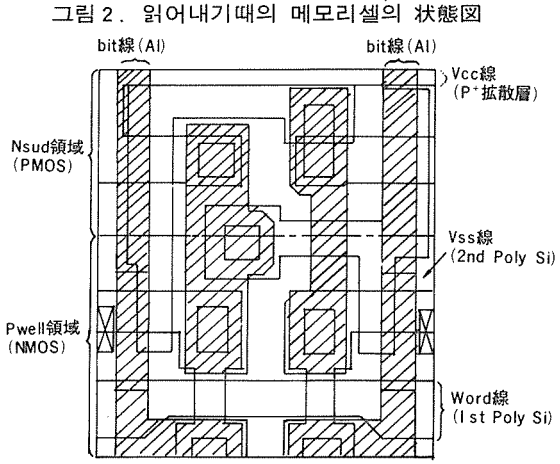


그림 3. 完全 CMOS Cell의 Patern例

의 CMOS SRAM에서도 차츰 쓰이게 되어 현재는 CMOS SRAM의 태반이 E/R형 셀로 구성되기에 이르고 있다.

E/R형 셀을 쓴 CMOS SRAM을 N채널 MOS로 구성된 메모리 셀과 구별하기 위하여 주변 CMOS형 SRAM 혹은 Mixed CMOS SRAM이라고 부를 때도 있다. 이 E/R형 셀을 쓴 CMOS SRAM은 고저항 폴리실리콘 부하저항치가 크다면 100GΩ 혹은 그 이상의 저항치를 실현할 수 있게 되어 그림 4에서 볼 수 있는 것처럼 주변 CMOS형에서도 정지시의 소비전류가 수 μA정도로 억제하는게 가능해지고 있다.

2. Static RAM의 全体回路動作

CMOS회로의 특징은 저소비전력 성능에 있다. 즉 완전 CMOS로 구성된 회로는 정상상태에서 PMOS든 NMOS 트랜지스터든 어느 한쪽이 반드시 Off 상태가 되어 직류전류 경로를 완전히 없앨 수 있기 때문이다.

CMOS RAM의 제어방식을 생각할 경우 두가지 방식이 있다. 하나는 RAM의 정지상태와 동작상태 어느 상태에서도 직류전류 경로를 전혀 설정하지 않은 완전 CMOS 구성을 채택하는 것, 둘째는 RAM의 정지상태에서는 전직류전류 경로가 끊기지만 동작상태에서는 부분적으로 직류전류 경로를 설정한 구성을 채택하는 것이다.

前者는 메모리 셀을 억세스하기 직전에 한쌍의 비트 선을 일정시간만 1레벨로 Precharge하고 Precharge용 MOS트랜지스터가 닫힌 후 메모리 셀을 억세스한다. 그러기 위해서는 Precharge용 MOS 트랜지스터의 개폐를 제어하는 신호로서 메모리 셀의 억세스와 동기의 신호가 필요해지며 통상 어드레스 신호의 변화 검지회로를 내부에 설정하여 이 출력을 동기신호로 사용하므로 이 방식을 내부동기 방식이라고 부른다.

後者는 한쌍의 비트 선을 상시 풀업 MOS로 1레벨을 유지시키므로써 상시 잘못 써넣기에 대한 보호가 이루어지는 것으로서 동기신호가

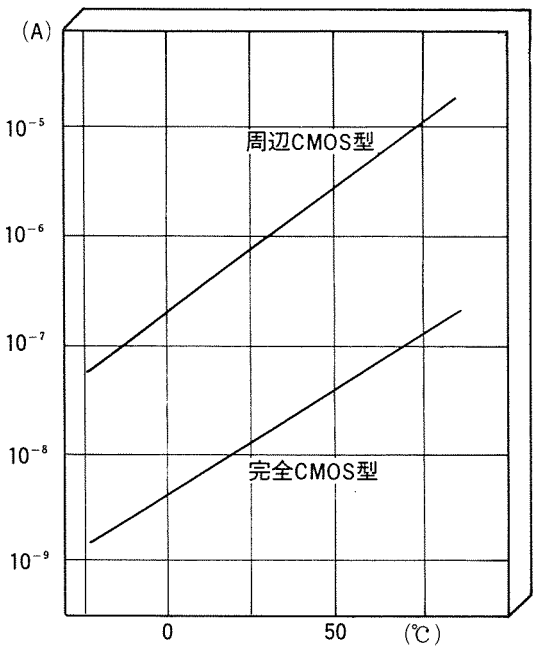


그림 4. CMOS SRAM의 静止時消費電流의 温度依存性

필요없으므로 비동기방식이라 불린다. 이 방식은 메모리 셀이 억세스되어 워드 선이 1레벨이 되어도 풀업 MOS 트랜지스터는 On 상태를 지속하므로 메모리 셀이 억세스되어 있는 기간동안「풀업 MOS 트랜지스터」→「억세스 트랜지스터」→「셀의 플립 플롭」이라는 직류전류 경로가 생겨 이 전류 때문에 동작시의 소비전류가 꽤 커진다. 반면 Precharge 기간이 불필요해져 고속동작이 얻기 쉬운 동시에 타이밍을 생각지않아도 되는 회로 설계가 가능한 등의 장점이 있다.

최근에는 기본적으로 비동기 방식이긴 하나 더욱 고속성을 얻기 위해 어드레스 신호변화 검지회로를 내장하고 이 동기신호를 써서 읽어내기 직전에 한쌍의 비트선 레벨을 동일시하는 방식이 많이 채택되고 있으며 특히 고속 SRAM에서는 거의 이 방식이 채택되기 시작하고 있다. 이 내부동기방식을 채택한 static RAM 회로구성에 의한 예를 그림 5에 표시한다.

이하 그림5를 통해 써넣기, 읽어내기 동작에서의 신호의 흐름을 설명한다.

(1) 써넣기 동작 / Write Mode

셀 32에 데이터"1"을 써넣는 경우를 생각해본다. (D_{IN} = 1 레벨 때).

① x방향 3 번째, y방향 2 번째의 셀 32를 지정하기 위해서는 x방향 어드레스 입력 A_0, A_1을 A_0= 0 레벨, A_1= 1 레벨로 한다. 이에 따라 컬럼 데코더 G_{C2}가 성립되어 컬럼 어드레스 C_{A2}가 1 레벨이 된다. 기타의 컬럼 데코더 G_{C0}, G_{C1}, G_{C3}는 모두 성립이 안되어 컬럼 어드레스 C_{A0}, C_{A1}, C_{A3}은 모두 0 레벨이 된다.

또한 y방향의 어드레스 입력 A_2, A_3을 A_2= 1 레벨, A_3= 0 레벨로 한다. 이에 따라 로우 데코더 G_{R1}이 성립되어 로우 어드레스 R_{A1}이 1 레벨이 된다. 그밖의 로우 데코더 G_{R0}, G_{R2}, G_{R3}은 모두 성립이 안되어 로우 어드레스 R_{A0}, R_{A2}, R_{A3}은 모두 0 레벨이 된다. 따라서 셀 32가 지정된 셈이 된다. 여기에서 로우 어드레스 R_{A1}이 1 레벨이기 때문에 셀12, 22, 42도 지정되나 써넣기 신호와 컬럼 데코더 G_{C0}, G_{C1}, G_{C3}이 성립되지 않아 메모리 내용은 이전의 상태를 유지하게 되고 이 시점에서는 각 버스선 BUS, $\overline{\text{BUS}}$에 셀 12, 22, 32, 42의 데이터를 모두 읽어낼 수 있게 된다.

② 이와 같은 상태에서 써넣기 신호 Write가 1 레벨이 되면 써넣기 회로③이 성립되어 데이터 입력 D_{IN}에 1 레벨이 있으면 BUS-3에 1 레벨이 들어가고 $\overline{\text{BUS-3}}$에 0 레벨이 들어간다. 셀 32는 로우 어드레스 R_{A1}이 1 레벨이면 BUS의 신호를 셀 안에 써넣는다. 이 써넣는 상태를 도식적으로 나탈낸 것이 그림 6 (a)의 회로이다.

한편 셀 32에 데이터"0"을 써넣기 위해서는 D_{IN} = 0 레벨로 하고 어드레스 입력, 써넣기신호 Write는 위에서 살핀 데이터 써넣기 1 레벨 때와 똑같으므로 설명을 생략한다. 이 상태를 도식적으로 나타낸 것이 그림 6 (b)의 회로이다.

여기에서 프리차지 신호 Pr은 1 레벨일 때, 버스라인(BUS, $\overline{\text{BUS}}$)을 1 레벨로 충전해 놓는 것으로써 Pr이 0 레벨일 때 데이터 써넣기 혹은 읽어내기를 행할 수 있도록 되어 있어 프리차지 신호 Pr과 데이터 입력 D_{IN}, 어드레스 입력 A_0~A_3, 써넣기 신호 Write 등의 타이밍이 규정된다.

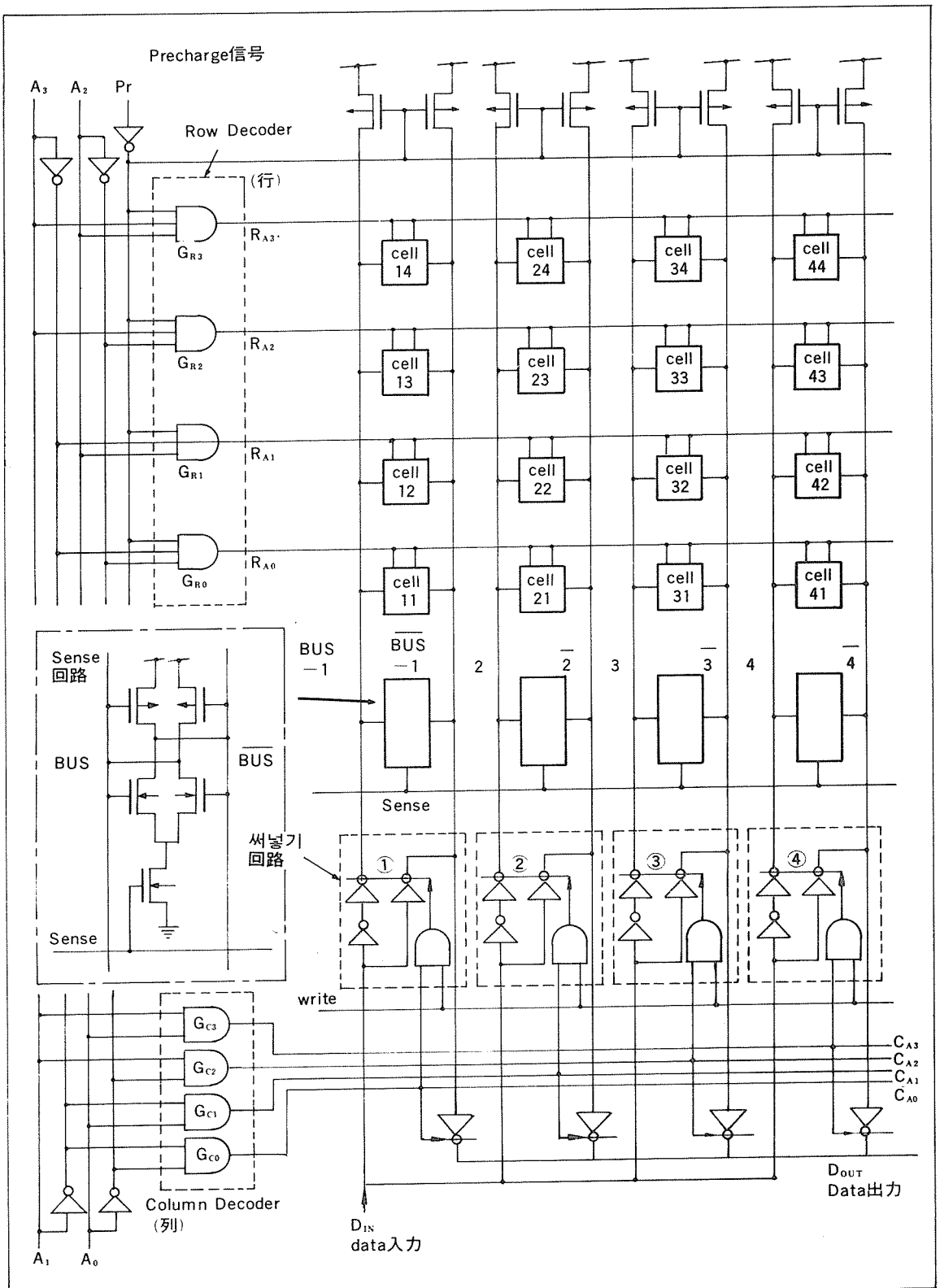


그림 5. SRAM 回路構成의 一例

(2) 읽어내기 동작 / Read Mode

지금 셀 43으로부터 데이터를 읽어내는 경우를 생각해보자. 단, 데이터의 기억상태는 BUS-4가 1레벨, $\overline{BUS}-4$가 0레벨이 되도록 데이터가 셀에 들어있는 것으로 한다. 즉 1레벨 읽어내기의 경우로 상정한다.

① x방향 4번째, y방향 3번째의 셀 43을 지정하기 위해서는 x방향의 어드레스 입력 A_0, A_1을 A_0= 1레벨, A_1= 1레벨로 한다. 이에 따라 컬럼 데코더 G_{C3}이 성립되고 컬럼 어드레스 G_{A3}이 1레벨이 된다. 기타의 컬럼 데코더 G_{C0}, G_{C1}, G_{C2}는 모두 성립되지 않아 컬럼 어드레스 C_{A0}, C_{A1}, C_{A2}는 모두 0레벨이 된다.

또한 y방향의 어드레스 입력 A_2, A_3을 A_2 = 0레벨, A_3= 1레벨로 한다. 이로써 로우 데코더 G_{R2}가 성립되고 로우 어드레스 R_{A2}가 1레벨이 된다. 기타의 로우 데코더 G_{R0}, G_{R1}, G_{R3} 은 모두 성립되지 않아 로우 어드레스 R_{A0}, R_{A1}, R_{A3}은 모두 0레벨이 된다. 따라서 셀 43이 지정된 셈이 된다.

② 이와 같은 상태에서 읽어내기 신호 Sense가 1레벨이 되면 센스회로가 성립된다. 한편 로우 어드레스 R_{A2}가 1레벨이기 때문에 셀 13~43의 게이트가 동시에 뚫린다. 이런 상태가 되면 데이터가 일제히 각 BUS, 각 $\overline{BUS}$ 라인에 나오게 되는데 센스회로-4 및 컬럼 어드레스 C_{A3}만이 성립되고 있기 때문에 출력으로서는 셀 43의 데이터만 출력 Dout에 출력되며 다른 셀의 데이터는 각 버스 라인에 출력되는데 그친다.

여기에서 센스회로는 읽어내기 시간 (억세스 시간)을 빠르게 하기 위한 것으로서 기억상태를 읽어내었을 때 버스 라인을 강제적으로 기억내용에 강조시키는 역할을 하고 있다. 즉 셀 43의 읽어내기 경우 센스회로로 BUS-4를 1레벨로 $\overline{BUS}-4$를 0레벨로 강화시킨다. 따라서 억세스 시간을 빠르게 할 필요가 없을 때에는 불필요하게 된다. 이 읽어내기 상태를 도식적으로 표현한 것이 그림 6(c)이다.

한편 데이터의 기억상태가 BUS-4 0레벨, $\overline{BUS}-4$ 1레벨이 되도록 데이터가 셀에 들어있을 경우 즉 0레벨을 읽어낼 때에는 어드레스 입력, 읽어내기 신호 Sense가 상술한 1레벨 읽어내기 때와 똑같은데 도식적회로는 그림 6(d)와 같은 상태가 된다. 따라서 설명은 생략한다.

이처럼 RAM의 써넣기, 읽어내기 동작을 타이밍 챠트와 함께 정리해 보면 그림 7이 된다.

3. SRAM의 低電力化 仕様

비동기 방식 SRAM은 동작소비전력이 꽤 커지는 특징을 지닌다. 그러나 완전 static회로로 구성되어 있기 때문에 동작시에 전원전류의 피크 치가 없어 안정되고 쓰기 쉬운 SRAM을 제

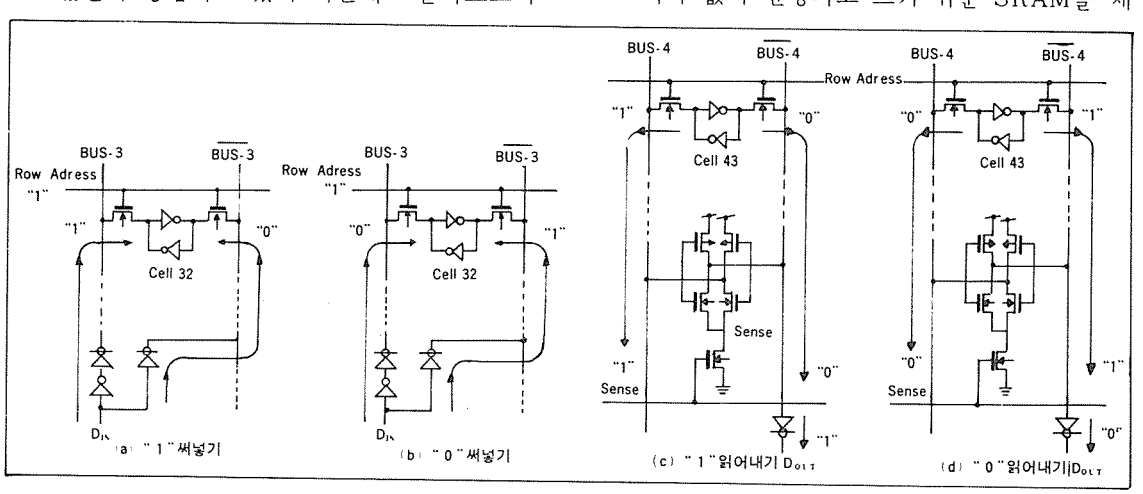


그림 6. 써넣기, 읽어내기때의 RAM 動作説明図

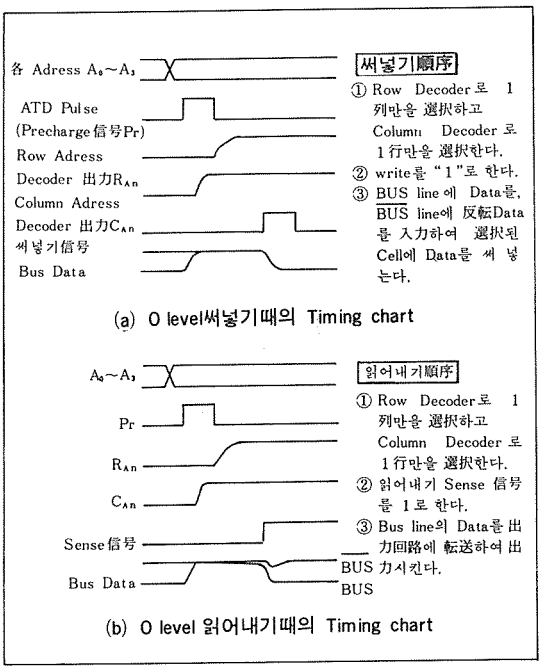


그림 7. 써넣기, 읽어내기때의 타이밍과 동작순서

공할 수 있다. 한편 내부 동기방식 SRAM은 다이나믹 RAM에 가까운 전원전류 변동 피크 치를 갖게 되는데 평균소비전력은 작고 또한 저주파 동작이 됨에 따라 소비전류가 급감하는 특징을 지니고 있다.

정지시의 소비전력 성능면으로 보면 양방식의 차이는 거의 없고 누설전류의 총계로 결정된다. 다만 고저항 폴리실리콘 부하형 E/R 셀을 쓴 SRAM에서는 셀 부분의 전류가 정지상태에서도 계속 흐르기 때문에 정지소비 전력은 증대한다. 따라서 완전 CMOS형 셀과 내부동기방식을 겸한 CMOS SRAM이 가장 저전력성면에서 뛰어난 RAM이라고 할 수 있다. 정지시의 CMOS SRAM의 특징은 Battery backup에 의한 불휘발성 메모리로 어플리케이션이 가능한 점에 있다.

정지 모드는 칩 이너블 $\overline{CE}$신호를 Off로함에 의해 이루어지나 어드레스 입력을 포함하는 다른 입력상태는 불안정할 때도 있어 이를 대비한 회로적 대응이 추구되고 있기도 하다. 즉 그림 28에 표시한 것처럼 칩 이너블 $\overline{CE}$신호는 다른 입력 모두를 그 입구에서 제어하여 TTL → MOS 레벨 변환회로부의 전류경로를 정지시에 모두 차단한다. 또한 Battery back-up 시에는 2V의 데이터 홀드를 보증할 필요가 있고 메모리 셀의 저전압축의 안정성을 높이는 것이 중요하다.

4. 大容量 SRAM의 高集積化 技術

고집적화를 위한 기술의 중심은 미세 가공기술이다. 트랜지스터가 스케링되어 미세가공화가 진전되면 채널 영역의 불순물 농도를 최적화하여 쇼트 채널 효과나 Punch through 내압을 향상시키는 것이 불가결한 문제가 된다. 따라서 종래의 P-well CMOS대신 P와 N-MOS 트랜지스터를 독립적으로 최적화하기 위하여 P-well과 N-well을 갖춘 Twin-well CMOS가 채택되는 일이 많다.

메모리 셀의 고집적화에는 다층 알루미늄 기술이 유효하고 특히 완전CMOS형 셀의 경우처럼 내부 배선으로 셀 사이즈가 지배되는 경우, 2층 알루미늄의 효과는 크다. 2층 알루미늄은 워드선 저항을 낮추어 고속 동작을 가능케 하는 기술로서도 중요하며 64K 비트의 고속 SRAM 분야를 중심으로 제품화되고 있다.

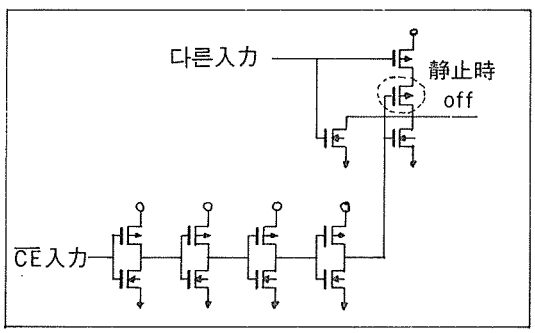


그림 8. 靜止時入力電流遮断回路