

# 트랜지스터의 게이트 크기를 고려한 Rule-based 配置 프로그램 開發

朴星範 · 張泳祚 · 李哲東

## 〈要 約〉

본고에서는 트랜지스터의 게이트 크기, 연결관계를 표현하는 입력 회로 정보와 트랜지스터가 배치될 규격을 표시하는 78개의 rule을 이용해 효과적인 배치를 행하는 rule based 배치 프로그램에 대해 기술했다. 본 연구의 결과는 이후 진행될 배선 연구에 이용되어 트랜지스터 회로의 레이아웃 시스템을 구축하기 위해 응용될 것이다. 프로그램은 VAX-11/750 UNIX 4.2 BSD 하의 Franzlisp으로 개발되었다.

## I. 서 론

집적회로를 설계하는 설계자는 설계의 복잡성을 완화시키기 위해 계층적구조를 지닌 설계를 행한다. 이때 기본이 되는 설계레벨은 게이트

레벨 또는 트랜지스터 레벨 설계이다. 게이트 레벨 설계는 gate array, standard cell 방식 설계와 같이 반주문형 집적회로 설계시에 이용되며, 트랜지스터 레벨의 설계는 완전주문형 집적회로를 설계시 설계자들이 최종적으로 행하는 셀의 레이아웃에 이용된다.<sup>(12)</sup>

Gate array, standard cell 방식 설계에 이용되는 게이트레벨의 설계는 마스크레벨의 기술(description)이 미리 정의되어 있는 라이브러리를 이용한다. 이 방식은 짧은 설계기간으로 수천 게이트급의 집적회로를 설계할 수 있는 장점이 있다. 반면 회로중 라이브러리에서 제공하지 않는 복잡한 게이트가 나타날 경우 주어진 회로를 설계하기 위해 라이브러리의 여러 게이트를 조합, 회로를 구성함으로써 회로의 성능이 저하되며, 제공되는 칩 면적을 낭비하는 등의 문제가 있다.<sup>(3,4,12,13)</sup>

한편 트랜지스터 레벨의 설계는 회로를 설계

할 때 트랜지스터의 게이트크기, 연결관계가 고려대상으로 되며, 제공되는 칩 면적을 효과적으로 이용할 수 있고 회로의 성능을 높일수 있는 장점이 있다. 그 결과 최근 Bell Lab., Calma Co. 등에서는 CMOS 회로의 배치, 배선을 트랜지스터 레벨에서 직접 행하기 위한 연구가 행해지고 있다.<sup>(1-6)</sup>

Bell Bab.의 연구는 배치결과가 자체 내의 심블릭 레이아웃 시스템(symbolic layout system)인 MULGA 시스템의 입력으로 되는 전문가 시스템(expert system)으로 구현하고 있다. 또한 Calma Co. 의 배치 연구도 자체 개발된 SPACER II의 입력으로 주어지도록 진행되고 있다.<sup>(1-6,13)</sup>

그러나 Bell Lab., Calma co. 등에서 행하는 연구는 모두 배치보다는 배선에 치중하고 있으며 트랜지스터의 게이트 크기에 대한 실질적인 고려가 없다. 그 결과 비대칭이 심화되는 Dynamic NAND, NOR 등의 회로에서는 면적이 과도하게 증가하고 있으며 트랜지스터의 게이트 크기가 차이가 나는 경우 효과적인 배치를 행하지 못한다.<sup>(2-6)</sup>

본 논문에서는 배치에서 나타나는 이들 문제를 해결하기 위해 트랜지스터의 게이트 크기를 고려하며 배치 rule의 적용을 보다 합리화한 새로운 배치 방법에 대해 기술한다.

## II. 프로그램 구성

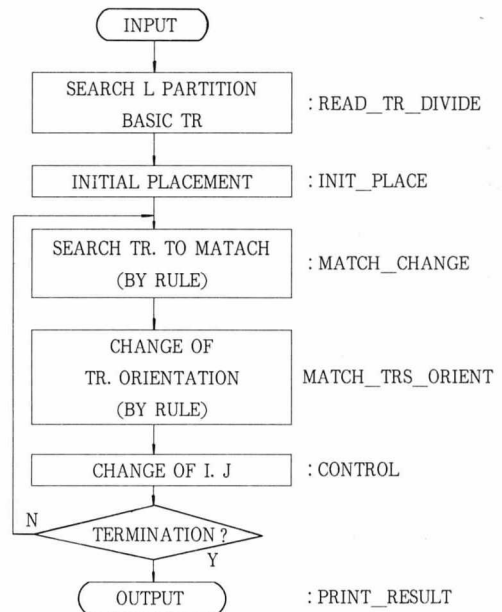
본 배치 프로그램은 그 구성이 <그림 1>과 같다.

<그림 1>에서 흐름도 옆에 나타난 명칭들은 프로그램에서 그 기능을 수행하는 함수이다. 각각의 기능은 다음과 같다.

- READ\_TR\_DIVIDE : 입력정보를 읽고 P, N 형 트랜지스터 각각에 대해 최소 게이트크기를 갖는 기본 트랜지스터를 찾은 뒤 기본 트랜지스터의 정수 배가 되는 트랜지스터를 기본 트랜지스터로 분할

한다.

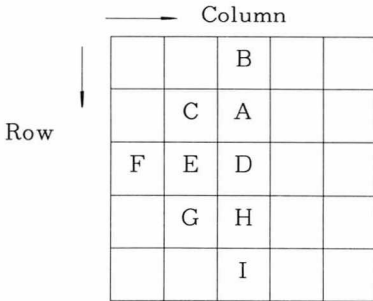
- INIT\_PLACE : 트랜지스터 배치에 필요한 기억 공간을 구성하고 초기 배치를 행한다.
- MATCH\_CHANGE : 배치개선을 행한다. 이때 이미 배치된 트랜지스터와 연결의 우선순위가 가장 높은 트랜지스터를 선택하여 기배치된 트랜지스터 옆 또는 위, 아래에 위치시킨다.
- MATCH\_TRS\_ORIENT : 배치된 트랜지스터의 연결관계를 다시 한번 개선한다. 이때는 트랜지스터의 drain, source를 바꾸는 동작으로 배치개선을 행한다.
- CONTROL : 이 함수는 초기 배치된 트랜지스터의 배치개선을 행할 때 배치개선이 하나의 트랜지스터에 대해 완료될 때마다 기억공간을 지시하는 인덱스(index)를 변환시킨다.
- PRINT\_CONTROL : 배치 결과를 출력한다.



<그림 1> 배치프로그램의 전체흐름도

### 1. 용어의 정의

본 논문에서 사용하는 용어들의 의미는 다음과 같다. <그림 2>와 같은 가상의 직사각형을 그리드라할 때 직사각형 각각은 기본 크기의 트랜지스터를 의미한다.



<그림 2> 가상 그리드상의 트랜지스터

이때 D 트랜지스터를 rule에 의해 놓일 위치가 합당한지를 검사하는 트랜지스터라 하면 <표 1>과 같이 트랜지스터들이 정의된다.

<표 1> 용어 정의

트랜지스터	용어	트랜지스터	용어
E	lefttr	F	left-lefttr
C	left-uppertr	G	left-downtr
A	uppertr	H	downtr
B	upper-uppertr	I	down-downtr
D	selftr		

<그림 2>에서 row, column은 트랜지스터가 놓이는 장소를 의미하는 것으로 직사각형을 화살표 방향으로 이동할 때 값이 각각 1씩 증가한다. 한편 트랜지스터간의 연결관계가 있는지의 여부를 검사하는 동작은 match라 부른다. Match는 selftr과 match를 행할 트랜지스터간에 행해지는데, match될 트랜지스터의 drain, gate, source와 selftr의 drain, gate, source가 서로 일치할 때는 이를 full-match라 부른다. 만일

직사각형 내부에 트랜지스터에 대한 정보가 없다면 NIL로 표현한다.

### 2. 입력 회로정보

본 배치 프로그램은 트랜지스터의 게이트크기, 연결관계, 입출력 신호선 등을 기술해 놓은 입력회로 정보 및 Vdd, Vss 전원공급선 사이에 배치될 트랜지스터들이 놓일 셀의 높이를 표현하는 제한조건을 필요로한다. 입력회로 정보는 Metheus-CV 워크스테이션 상의 schematic diagram으로부터 추출되며 제한조건은 사용자가 입력한다. 본 프로그램에서 이용하는 입력회로 정보의 구문은 <그림 3>과 같다.

```

Bus signal_number`width
IPOINT {signal_number}
OPOINT {signal_number}
tr_number drain gate source bulk
type with length
    
```

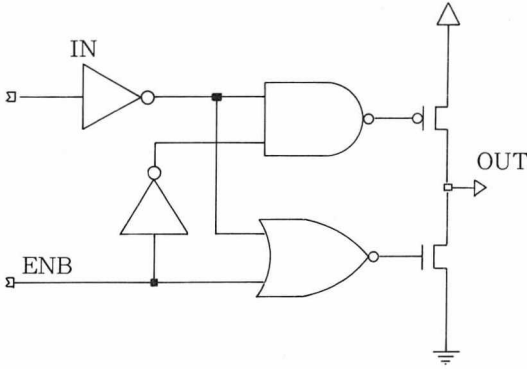
<그림 3> 입력회로 정보의 구문

구문에서 { }속의 내용은 1회 이상 반복할 수 있다. signal number, drain, gate, source, bulk, width, length는 정수값을 가지며, tr\_number는 tr이라는 예약어와 정수값을 붙여서 tr0, tr10, tr21 등으로 사용한다. type은 PMOS, NMOS 중의 어느 한 값을 갖는다. BUS, IPOINT, OPOINT, tr, PMOS, NMOS 등은 모두 예약어이다. 각 문장의 의미는 다음과 같다.

- BUS 문 : 입출력에 공통으로 이용되는 신호선을 표현한다. 예로서 BUS 1 8은 1번 신호선이 폭이 8임을 의미한다.
- IPOINT, OPOINT 문 : 입력, 출력포트를 의미한다.
- tr 문 : 트랜지스터의 연결관계를 표시한다.

<그림 4(a)>는 Metheus-CV 워크스테이션에

서 schematic editor를 사용해 그린 tri state buffer인 trinot 회로이다. (b)는 (a) 그림에서 얻은 netlist로부터 추출된 회로정보이다. Metheus CV 워크스테이션에서는 입출력포트에 알파벳을 사용하고 있는데 본 프로그램은 모두 정수만 사용하도록 제한했다.



(a) trinot 회로

```

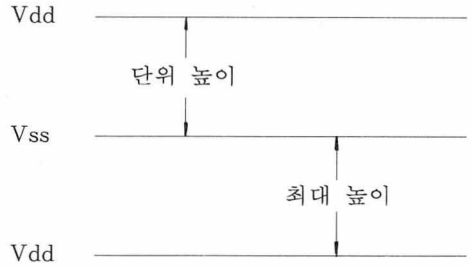
BUS 1 8
IPORT 2 3
OPORT7
tr1 32 2 1 1 PMOS 10 2
tr2 32 2 0 0 NMOS 4 2
tr3 37 3 1 1 PMOS 10 2
tr4 37 3 0 0 NMOS 4 2
tr5 10 37 0 0 NMOS 4 2
tr6 10 2 0 0 NMOS 4 2
tr7 42 37 1 1 PMOS 20 2
tr8 10 2 42 1 PMOS 20 2
tr9 41 37 40 0 NMOS 8 2
tr10 41 32 0 0 NMOS 8 2
tr11 40 37 1 1 PMOS 10 2
tr12 40 32 1 1 PMOS 10 2
tr13 7 10 0 0 NMOS 24 2
tr14 7 40 1 1 PMOS 60 2
    
```

(b) trinot 회로의 입력정보

<그림 4> Trinot 회로 및 입력정보

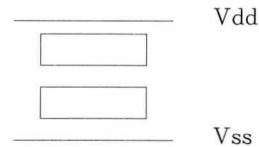
### 3.. 제한 조건

사용자가 입력하는 제한조건에는 <그림 5>와 같이 Vdd, vss 전원 공급선간의 간격을 표시하는 단위 높이와 Vdd, Vss 전원공급선 쌍을 몇 개나 허용할 수 있는가를 나타내는 최대높이가 있다. 트랜지스터가 놓이는데 있어서 길이방향의 제한은 없다.

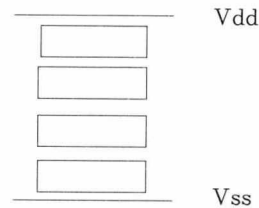


<그림 5> 단위높이와 최대높이

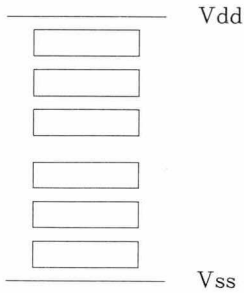
단위높이는 본 프로그램의 경우 40~120 사이의 값을 입력시키도록 하고 있다(당 연구소의 standard cell 배치 참고) 만일 단위높이의 값이 40~59이면 <그림 6(a)>와 같이 기본 크기의 트랜지스터를 P, N형 하나씩 위치시킬 수 있는 공간을 할당하고, 60~79일 경우는 2개씩, 80~99일 때는 3개씩, 100~120일 때는 P, N형 트랜지스터를 각각 4개씩 위치시킬 수 있는 공간을 할당하도록 하고 있다.



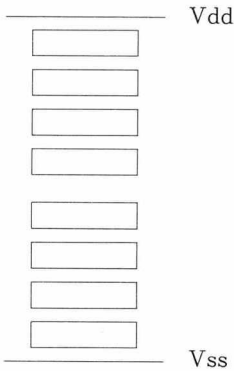
(a) 단위 높이가 40~59일때



(b) 단위 높이가 60~79일때



(c) 단위높이가 80~99일때



(d) 단위높이가 100~120일때

〈그림 6〉 단위높이에 따른 기본 트랜지스터의 배치공간

단위높이 및 최대높이를 입력시키는 예는 〈그림 7〉과 같다. 수자는 사용자가 입력하는 값으로 배치에 허용되는 셀높이를 의미한다.

Enter a total height by lambda units.  
The total height is : 40  
Enter a unit height by lambda units.  
The unit height is : 40

〈그림 7〉 단위높이, 최대높이의 입력예

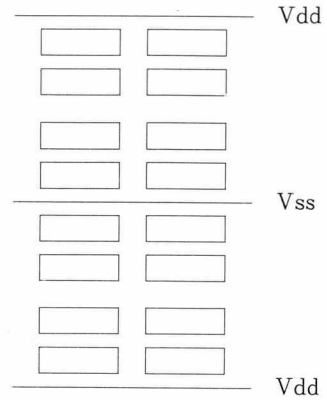
### Ⅲ. 배치 Rule

트랜지스터의 배치는 모든 트랜지스터를 기본 크기의 트랜지스터로 분할하고 seed에 따라 임의로 행하는 초기 배치와 rule에 의해 배치를

개선하는 배치 개선으로 구성된다.

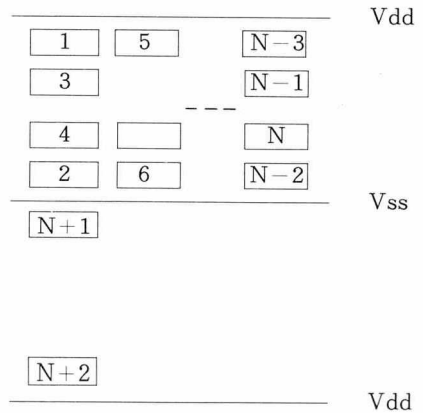
#### 1. 초기배치

본 연구에서 초기배치는 Vdd, Vss 전원공급선 간의 간격을 나타내는 단위 높이와 Vdd, Vss 전원공급선 쌍의 갯수를 나타내는 최대높이에 따라 기본크기의 트랜지스터로 분할된 정보들의 배치를 행한다. 이때 전원공급선은 최대높이가 허용되는 범위 안에서 〈그림 8〉처럼 Vdd, Vss, Vdd의 순으로 계속 바뀐다.



〈그림 8〉 전원공급선의 배치

한편 트랜지스터의 배치는 P, N형 트랜지스터가 대칭적으로 배치되도록 하기 위해 트랜지스터의 배치되는 순서를 〈그림 9〉와 같이 했다.

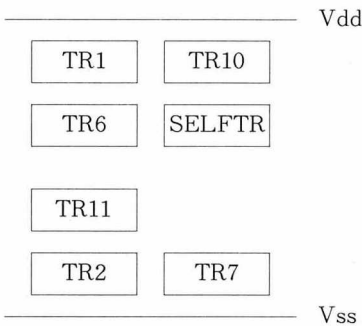


〈그림 9〉 트랜지스터가 배치되는 순서

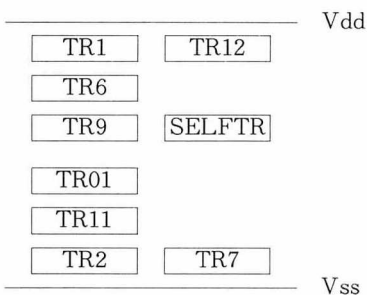
## 2. 배치 개선

초기 배치가 이루어지면 배치의 우선순위에 입각한 rule을 적용하여 match관계를 검사하고 가장 match 결과가 우수한 트랜지스터를 match 관계가 약한 트랜지스터와 맞바꾼다. 배치 개선에 적용되는 rule은 match할 트랜지스터에 인접한 트랜지스터의 배치 상황에 따라 달라진다. 이들 rule은 6가지의 meta rule에 의해 적용방법을 달리한다. 이 rule의 종류는

- match할 트랜지스터가 전원 공급선 바로 아래 위치할 때
- match할 트랜지스터가 전원 공급선 바로 위에 위치할 때
- uppertr이 NIL 일때
- uppertr이 NIL이 아닐때
- downtr이 NIL 일때
- downtr이 NIL이 아닐 때



(a) uppertr이 NIL이 아닐때



(b) uppertr이 NIL일때

〈그림 10〉 Selftr의 배치에

로 나뉜다. 이 가운데 〈그림 10〉과 같이 uppertr이 NIL일때와 uppertr이 NIL이 아닐때를 예로 들면, uppertr이 NIL일 경우는 selftr은 uppertr과 full-match 관계가 만족되어야 해당 위치에 놓이며, uppertr이 NIL이 아닐 경우는 upper-uppertr과 drain, source 연결이 성립될 필요가 있다. 그 결과 동일 트랜지스터가 meta rule에 따라 적용이 달라져 다른 배치 형태를 갖는다.

실제적인 rule의 표현 예를 들면 〈그림 11〉과 같다. 〈그림 11〉은 selftr과 lefttr의 full match 관계를 검사하는 Rule이다.

```
(defun slicedtr left ()
  (cond (( or
          (slicedtr1 lefttr)
          (slicedtr2 lefttr))
        t))
)
```

```
(defun slicedtr1 (matchtr)
  (cond ((or
          (= matchtr nil)
          (= selftr nil))
        nil)
        ((and
          (matchtr rside to selftr rside)
          (matchtr lside to selftr lside)
          (matchtr g to selftr g))
        t))
)
```

```
(defun slicedtr2 (matchtr)
  (cond ((or
          (= matchtr nil)
          (= selftr nil))
        nil)
        ((and
          (matchtr lside to selftr rside)
          (matchtr rside to selftr lside)
          (matchtr g to selftr g))
        t))
)
```

〈그림 11〉 lefttr 과 selftr의 Full Match 관계를 검사하는 Rule

현재는 78개의 rule로 구성된 배치를 행하고 있는데 VAX-11/750 UNIX 4.2 BSD하의 Franzlisp으로 작성되었다.

#### IV. 실험결과

본 프로그램을 이용하여 트랜지스터의 게이트 크기가 주어진 입력회로 정보 및 제어 정보로부터 배치를 행하여 그 결과를 나타냈다. 본 논문에서 이용한 예제의 경우 배치 결과는 <그림 12>와 같다.

<그림 12>에서 나타난 결과는 drain, gate, source 번호를 각각 의미한다. 결과에서 수자세

개가 하나의 트랜지스터를 형성하여 10 2 42는 동일 트랜지스터의 drain, gate, source 값을 의미한다. 42 2 10 이하 모두 동일하다. 결과에서 1은 Vdd와 연결요구를 갖고, 0은 Vss와 연결요구를 갖는다. -1은 해당하는 위치에 트랜지스터가 없음을 의미한다. 1 40 7 7 40 1등으로 이루어진 내용은 트랜지스터가 분할, 배치됨을 의미한다. -1을 제외한 번호들 중에서 같은 값을 갖는 번호는 모두 연결되어야 한다. 배치결과에서 볼때 인접한 트랜지스터의 drain과 source가 연결되어 있는 경우는 전체 28개의 트랜지스터중에서 요구되는 26개중 16개로 60%에 이르고 있다.

10 2 42 42 2 10 42 37 1 1 37 42 7 40 1 1 40 7 7 40 1 1 40 7  
7 40 1 1 40 7 37 3 1 1 2 32 -1 -1 -1 40 32 1 1 37 40

10 2 0 41 37 40 40 37 41 10 37 0 0 10 7 0 10 7 7 10 0 0 10 7  
41 32 0 0 32 41 37 3 0 0 2 32 7 10 0 0 10 7 -1 -1 -1

<그림 12> 단위높이=40, 최대높이=40일 때 trinit 회로의 배치데이터

#### V. 결 론

본 논문에서는 트랜지스터의 게이트크기와 연결관계를 규정하는 입력 회로정보 및 트랜지스터가 배치될 규격을 표시하는 제한조건으로부터 78개의 rule을 이용해 효과적인 배치를 행하는 프로그램에 대해 기술하였다. 프로그램은 Franz Lisp으로 작성되었으며, VAX 11/750 4.2 BSD 하에서 개발되었다.

본 논문의 프로그램을 이용할 경우 트랜지스터의 게이트크기가 차이가 나는 회로도 효과적으로 배치할 수 있으며 제한조건에 따라 다양한 Vdd, Vss 간격을 갖는 배치를 행할 수 있다. 그러나 배치를 행함에 있어서 최대배선장에 대한 고려가 없어 이에 대한 고려가 필요하다.

앞으로는 최대배선장에 대한 고려와 아울러 스위치 박스(switch box) 형태로 되는 배선문

제를 연구하여 트랜지스터 회로를 자동배치, 배선하는 레이아웃 시스템을 구축하기 위한 연구가 계속되어야 할 것이다.

#### <參考文獻>

1. Tak-kwong Ng and S. Lennart Johnsson, "Generation of Layouts from MOS Circuit Schematics : a Graph Theoretic Approach," 22nd DA Conf., pp. 39~45. 1985.
2. John T. Nogatch and Tom Hedges, "Automated Design of CMOS Leaf Cells," VLSI Systems Design, pp. 66~78, Nov. 1985.
3. P. W. Kollaritsch and N. H. E. Weste, "A Rule-Based Symbolic Layout Expert," VLSI Design, pp. 62~66, Aug. 1984.

4. P.W.Kollaritsch and N.H.E.Weste, "TOPOLOGIZER: An Expert System Translator of Transistor Connectivity to Symbolic Cell Layout," IEEE J. of Solid-State Circuits, vol. SC-20, no. 3, pp. 799~804, June 1985.
5. J. Kim and J. McDermott, "TALIB: An IC Layout Design Assistant," Proceedings AAA Conf., pp. 197~201 1983.
6. J. Kim and J. McDermott and D.P.Siewiorek, "Exploiting Domain Knowledge in IC Cell Layout," IEEE Design & Test, pp. 52~64, Aug. 1984.
7. N.H.E.Weste, "Virtual Grid Symbolic Layout," 18th DA Conf., pp. 255~233, 1981.
8. Carver Mead and Lynn Conway, Introduction to VLSI Systems, Addison-Wesley, 1980.
9. Amar Mukherjee, Introduction to nMOS and CMOS VLSI Systems Design, Prentice-Hall, 1986.
10. N.H.E.Weste and K. Eshraghian, Principles of CMOS VLSI Design: A Systems Perspective, Addison-Wesley, 1985.
11. Robert Wilensky, LISPcraft, W.W.Norton & Company, U.S.A., 1984.
12. S. Goto, Design Methodologies, North-Holland, Netherlands, 1986.
13. 한국전자통신연구소, Microelectronics 기술개발중 설계자동화 시스템개발에 관한 연구, 과학기술처 최종연구보고서 pp. 394~405, 1986.7.



朴 星 範 (Park, Sung Bum)  
 1962년 3월 1일생  
 1984. 2. : 한양대학교 전자공학과 학사  
 1986. 2. : 한양대학교 전자공학과 석사  
 1986. 2~ : 한국전자통신연구소  
 1986. 12~현재 : 자동설계기기연구실 연구원



張 泳 祚 (Jang, Young Cho)  
 1957년 3월 19일생  
 1979. 2. : 경북대학교 전자공학과 학사  
 1982.2. : 경북대학교 대학원 전자공학과 석사  
 1981. 6~ : 한국전자통신연구소  
 1986. 12~현재 : 자동설계기기연구실 선임연구원

李哲東\* 24 페이지 참조