

# GF(2<sup>m</sup>)上的 多值論理順次머시인 構成 理論

## (A Construction Theory of Multiple-Valued Logic Sequential Machines on GF(2<sup>m</sup>))

朴 春 明\*, 金 興 壽\*

(Chun Myoung Park and Heung Soo Kim)

### 要 約

本 論文에서는 有限體인 Galois體內的 素數 P가 2 이고 m이 陽의 整數인 GF(2<sup>m</sup>)上에서 m의 擴張에 따른 多值論理順次머시인 構成 方法을 提示하였다.

먼저 GF(2<sup>m</sup>)上的 數學的 性質로 부터 GF(2<sup>m</sup>)內的 元素들을 Bit Code로 割當한 후 1)順次머시인의 情報를 표시하는 狀態遷移圖로 부터 MUX(multiplexer)만을 사용하여 饋還이 있는 順次머시인을 構成하고, 2)狀態遷移圖上的 狀態를 狀態 Bit Code로 割當하여 狀態式을 구한 후 狀態遷移圖로 부터 現在狀態와 以前狀態와의 關係를 표시하는 前順狀態表(predecessor table)를 구하였다. 그리고 狀態式과 前順狀態表를 토대로 次順狀態函數(next state function)을 구하고 이를 MUX와 復號器(decoder)를 이용하여 饋還이 없는 順次머시인을 構成하였다.

### Abstract

This paper presents a method for constructing multiple-valued logic sequential machines based on Galois field.

First, we assign all elements in GF(2<sup>m</sup>) to bit codes using mathematical properties of GF(2<sup>m</sup>).

Then, we realized the sequential machine circuits with and without feed-back.

1) Sequential machines with feed-back are constructed by using only MUX from state-transition diagram expressing the information of sequential machines.

2) Sequential machines without feed-back are constructed by following steps. First, we assigned states in state-transition diagram to state bit codes, then obtained state function and predecessor table explaining the relationship between present states and previous states. Next, we obtained next-state function from state function and predecessor table.

Finally we realized the circuit using MUX and decoder.

### I. 序 論

多值論理를 2值論理化하여 現在 사용되고 있는 順次머시인에 適用하는 方法은 지금까지 여러 論文을 통해 발표 되어왔다.<sup>(1)-(2)</sup>

多值論理理論의 數學的 背景은 有限體인 Galois 스위칭 函數에 의한 解析이 많이 다루어지고 있다.

특히 p가 素數이고 m이 陽의 整數인 GF(p<sup>m</sup>)上에서 m의 擴張에 따른 多值를 2值化하는 경우는 GF(2<sup>m</sup>) ∈ Z<sub>2</sub> = {0, 1} 이므로 素數 p가 2인 경우에 容易하며 代數學의 으론 부울代數 (Boolean algebra)가 이 범주에 속한다.

이때 GF(2<sup>m</sup>)上에는 2<sup>m</sup>개의 元素가 存在하고 이들

---

\*正會員, 仁荷大學校 電子工學科  
(Dept. of Elec. Eng., Inha Univ.)  
接受日字 : 1986年 4月 27日

元素들을 2值化 하는데는 m개의 bit code가 必要하다.<sup>13-15)</sup>

Adit D. Singh<sup>11)</sup> 등은 2值 Universal structure 개념을 토대로 多值論理順次머시인을 構成하였으며, Vason P. Srinii<sup>16)</sup> 등은 2개의 2值演算(+gate, •gate)과 Unary演算(U gate)을 사용한 Cellular array를 이용하여 多值論理順次머시인을 實現하였다.

한편 Tiu Levan<sup>18)</sup> 등과 Raymond P. Voith<sup>19)</sup> 등은 ULM-m(universal logic module-m)을 이용하여 2值에서의 順次머시인을 構成하였다.

本 論文에서는 위의 性質을 토대로 하여 有限體 GF(2<sup>m</sup>)에서 m의 擴張에 따른 多值(즉, m=2일때 4值, m=3일때 8值...)에서의 有限個인 元素를 Galois體 GF(2<sup>m</sup>)上的 數學的 性質로 부터 2值의 값을 나타내는 bit code로써 割當하였다. 또한 ULM-m과 論理構造上 같은 2<sup>m</sup>-to-1의 MUX를 構成시킨 후 各各 饋還이 있는 順次머시인과 饋還이 없는 順次머시인 構成 方法을 提示하였다.

本 論文의 敘述過程은 다음과 같다. 第II章에서는 素數가 2인 Galois體 GF(2<sup>m</sup>)上的 數學的 性質로 부터 GF(2<sup>m</sup>)內的 元素들을 2值의 값을 표시하는 bit code로 割當하였고, 第III章에서는 本 論文의 順次머시인 構成時에 사용하는 MUX에 대해 1節에서 언급하고 2節과 3節에서 各各 饋還이 있는 順次머시인과 饋還이 없는 順次머시인 構成 方法을 提示하였다. 第IV章에서는 II章과 III章의 內容을 他論文의 例를 引用하여 適用한 후 結果를 檢査하였으며, 第V章의 結論에서는 本 論文에서 提示한 順次머시인 構成 方法을 要約하였다.

### II. GF(2<sup>m</sup>)內 元素들의 Bit Code 割當

이 章에서 引用된 GF(P<sup>m</sup>)上에서 成立하는 數學的 性質은 이미 발표된 여러 論文에서 證明없이 導入하여 사용한다.

그중 다음 式(1)을 因數分解하여 m次 既約多項式을 구하고, 이 既約多項式을 0으로 하는 한 根을 α로 할 때 式(2)와 같은 多項式을 얻을 수 있다.

$$X^p - X = 0 \tag{1}^{17)}$$

여기서 p: 素數      m: 陽의 整數

$$F(\alpha) = \sum_{i=0}^{m-1} a_i \alpha^i \\ = a_0 + a_1 \alpha + a_2 \alpha^2 + \dots + a_{m-1} \alpha^{m-1} \tag{2}^{17)}$$

여기서 α는 p를 法으로한 整數體 Z<sub>p</sub>의 元素를 係數로 하는 m次 既約多項式의 根이고, a<sub>i</sub> ∈ Z<sub>p</sub>(i=0, 1, 2, ..., p<sup>m</sup>-1)이다.

本 論文에서는 p=2인 경우를 다루므로 式(2)의 係

數 a<sub>i</sub>는 0 또는 1로 표시된다. 즉, 2值의 값을 나타내는 bit code로써 표시할 수 있다. 따라서 p=2인 경우는 式(2)로 부터 係數를 bit code로 割當하므로써 GF(2<sup>m</sup>)內的 모든 元素들을 표시할 수 있다. 이때 GF(2<sup>m</sup>)內的 모든 元素를 bit code로 割當하는데 必要한 bit Code갯수는 m개이고 最高次數係數인 a<sub>m-1</sub>을 MSB(most significant Bit)로 最低次數係數인 a<sub>0</sub>를 LSB(least significant Bit)로 표시한다.

또한 係數 a<sub>i</sub>가 1인 갯수를 level이라 하면 다음과 같은 level과 元素갯수가 生成된다.

- 0-level의 元素갯수: <sub>m</sub>C<sub>0</sub>=1 [개]
- m-level의 元素갯수: <sub>m</sub>C<sub>m</sub>=1 [개]
- 1-level의 元素갯수: <sub>m</sub>C<sub>1</sub>[개]
- 2-level의 元素갯수: <sub>m</sub>C<sub>2</sub>[개]
- :
- (m-2)-level의 元素갯수: <sub>m</sub>C<sub>m-2</sub>=<sub>m</sub>C<sub>2</sub>[개]
- (m-1)-level의 元素갯수: <sub>m</sub>C<sub>m-1</sub>=<sub>m</sub>C<sub>1</sub>[개]

위에서와 같이 GF(2<sup>m</sup>)上的 元素를 bit code로 표시하면 (m+1)개의 level이 生成된다.

이상의 內容을 綜合하면 GF(2<sup>m</sup>)內的 元素들을 bit code로 割當하는 節次를 다음과 같이 세울 수 있다.

{節次}

元素를 e<sub>i</sub>(i=0, 1, 2, ..., 2<sup>m</sup>-1)로 표시한다.

<순서 1> a<sub>m-1</sub>a<sub>m-2</sub>...a<sub>1</sub>a<sub>0</sub>의 순서로 모든 係數를 나열하고 a<sub>m-1</sub>을 MSB로 a<sub>0</sub>를 LSB에 位置시킨다.

<순서 2> 元素 e<sub>0</sub>는 모든 係數가 0일때로 割當한다(0-level)

<순서 3> 元素 e<sub>2<sup>m</sup>-1</sub>은 모든 係數가 1일때로 割當한다(m-level).

<순서 4> 1-level의 <sub>m</sub>C<sub>1</sub>개의 元素들은 LSB로 부터 bit code를 1로 하여 채워나가고 순서대로 元素 e<sub>1</sub>를 割當한다.

<순서 5> 2-level의 <sub>m</sub>C<sub>2</sub>개의 元素들은 MSB로 부터 bit code를 1로 하여 채워나가고 bit code들끼리 組合하여 차례로 元素 e<sub>1</sub>를 割當한다.

<순서 6> (m-1)-level까지 各各의 元素에 대해 순서5와 같은 方法으로 차례로 元素 e<sub>1</sub>를 割當한다.

例) GF(2<sup>4</sup>)內的 元素들을 앞에서 提示한 節次에 의해 bit code로 割當하면 다음 表 1과 같다.

### III. 順次머시인 構成

順次머시인의 出力은 組合論理와는 달리 現在入力 뿐만 아니라 過去の 入力에 의해서 決定된다. 따라서 現在の 出力은 지연소자나 기억소자에 의해서 그 情報가 入力段으로 饋還된다.

표 1. GF(2<sup>4</sup>)内的 元素를 Bit Code로 割當

Table 1. An Assignment of Elements on GF(2<sup>4</sup>) to Bit Codes.

STEP	element	Coefficient				LEVEL
		a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	
1	e <sub>0</sub>	0	0	0	0	0
4	e <sub>1</sub>	0	0	0	1	1
	e <sub>2</sub>	0	0	1	0	
	e <sub>3</sub>	0	1	0	0	
	e <sub>4</sub>	1	0	0	0	
5	e <sub>5</sub>	1	1	0	0	2
	e <sub>6</sub>	1	0	1	0	
	e <sub>7</sub>	1	0	0	1	
	e <sub>8</sub>	0	1	1	0	
	e <sub>9</sub>	0	1	0	1	
	e <sub>10</sub>	0	0	1	1	
3	e <sub>11</sub>	1	1	1	0	3
	e <sub>12</sub>	1	1	0	1	
	e <sub>13</sub>	1	0	1	1	
	e <sub>14</sub>	0	1	1	1	
3	e <sub>15</sub>	1	1	1	1	4

一般的으로 順次머시인은 다음 式(3)과 같은 5-tuple로 표시된다.

$$M = (S, I, Z, \delta, \lambda) \tag{3}$$

여기서 S : 狀態  
I : 入力  
Z : 出力

δ : 次順狀態函數  
λ : 出力函數

$$S, I, Z = e_i \in GF(2^m) \quad (i = 0, 1, 2, \dots, 2^m - 1)$$

또한 式(3)의 δ는 다음 式(4)와 같은 寫像(mapping) 관계를 가진다.

$$S_i \times I \xrightarrow{\delta} S_{i+1} \tag{4}$$

여기서 S<sub>i</sub>는 現在狀態, S<sub>i+1</sub>는 次順狀態이다.

한편 λ는 Mealy model과 Moore model에 따라 다음과 같이 표시된다.<sup>1)0</sup>

1) Mealy model

$$S_i \times I \xrightarrow{\lambda} Z_i \tag{5}$$

2) Moore model

$$S_i \xrightarrow{\lambda} Z_i \tag{6}$$

즉, Moore model에서의 出力은 오직 現在狀態의 函數로만 이루어진다.

本 論文에서는 Moore model을 다룬다.

1. MUX 構成

本 論文의 順次머시인 構成時에 사용되는 MUX의

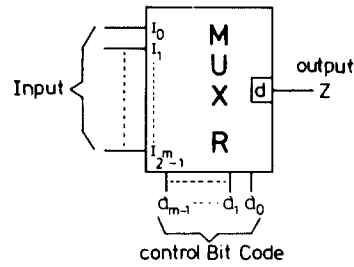


그림 1. 順次머시인 構成에 사용되는 MUX  
Fig. 1. MUX for Constructing Sequential Machines.

一般的인 Block線圖는 다음 그림 1 과 같다.

여기서

I<sub>i</sub> : 入力

z : 出力

$$I_i, Z = e_i \in GF(2^m) \quad (i = 0, 1, 2, \dots, 2^m - 1)$$

a<sub>j</sub> : 制御bit code (j=0, 1, 2, ..., m-1)

a<sub>j</sub> = 1 또는 0

이고 R는 饋還이 있는 경우와 없는 경우에 따라 다음과 같다.

1) 饋還이 있는 경우

R는 S<sub>i</sub>의 i에 해당된다.

$$(i = 0, 1, 2, \dots, 2^m - 1)$$

2) 饋還이 없는 경우

R는 V<sub>k</sub>이다. 여기서 V<sub>k</sub>는 狀態 bit code이고 k=0, 1, 2, ..., m-1이다.

2. 饋還이 있는 順次머시인 構成

1) 基本 性質

初期狀態를 S<sub>i</sub>, Goal 狀態를 S<sub>G</sub>라 하고 임의의 狀態 遷移圖가 그림 2와 같다면 이를 앞 節의 그림 1을 토대로 構成하면 그림 3과 같다.

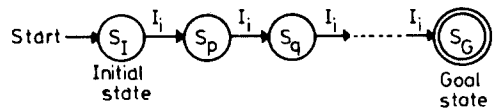


그림 2. GF(2<sup>m</sup>)上的 狀態遷移圖

Fig. 2. State-Transition Diagram on GF(2<sup>m</sup>).

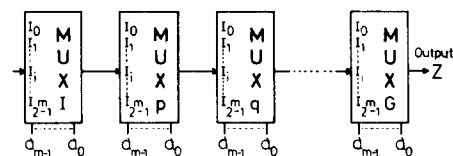


그림 3. 그림 2의 回路實現

Fig. 3. Circuit Realization of Fig. 2.

여기서  $S_1, S_p, S_q, S_c, I_i = e_i \in GF(2^m)$  ( $i, p, q, G, i = 0, 1, 2, \dots, 2^m - 1$ )이다.

한편 2 개 이상의 以前狀態에서 同一한 狀態로의 遷移는 다음 그림 4 와 같이 圖示할 수 있다.

또한 Goal 狀態도 1 개 이상일 경우는 그림 5 와 같이 圖示된다.

한편, 入力段에 해당 入力  $I_i$ 가 없으면 그 入力은 "0"으로 代치되며 元素와 元素의 合은 mod 2 合이며 이에 대한 說明은 다음 3 - 1 節에서 說明된다.

2) 順次머시인 構成 節次

앞의 1)節의 內容을 綜合하면 다음과 같은 順次머

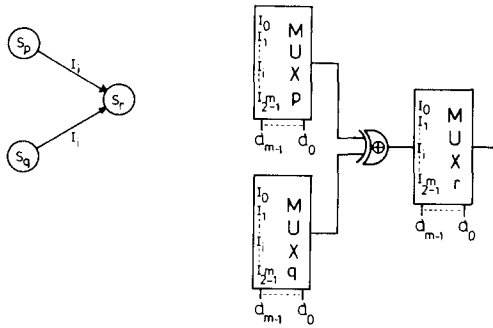


그림 4. 同一한 入力  $I_i$ 로 2 개의 狀態( $S_p, S_q$ )가 狀態  $S_r$ 로 遷移되는 경우

Fig. 4. A Transition Case of Two State ( $S_p, S_q$ ) Entered into State  $S_r$  by Same Input  $I_i$ .

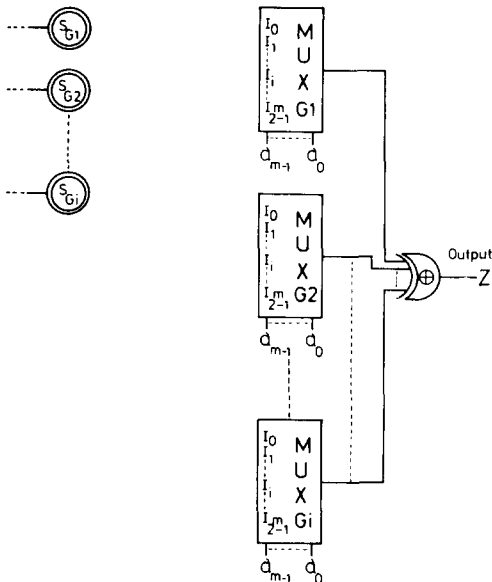


그림 5. 1 개 이상의 Goal 狀態  
Fig. 5. Several Goal States.

시인 構成 節次를 세울 수 있다.

[節次]

<순서 1> 狀態遷移圖의 初期狀態와 Goal 狀態를 파악한다.

<순서 2> 狀態遷移圖의 各 狀態를 MUX R로 代치한다.

<순서 3> 狀態遷移圖에서 狀態들간의 入力에 대한 관계를 MUX R의 해당 入力에 연결한다.

<순서 4> Goal 狀態로 부터 出力을 구한다.

例) 다음 그림 6 과 같은 狀態遷移圖에서 順次머시인을 구하면 다음과 같다.

2)節의 순서 1 에 의해 初期狀態는  $S_1$ 이고 Goal 狀態는  $S_3$ 이다. 그리고 순서 2 에서 부터 순서 4 까지 행한 후의 順次머시인 回路는 다음 그림 7 과 같다.

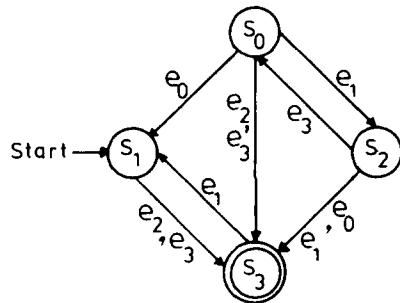


그림 6.  $GF(2^2)$ 上 狀態遷移圖

Fig. 6. State-Transition Diagram on  $GF(2^2)$ .

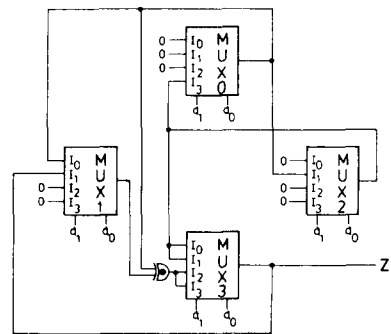


그림 7. 그림 6 의 順次머시인 回路實現

Fig. 7. Sequential Machine Circuit Realization of Fig. 6.

3. 饋還이 없는 順次머시인 構成

1) 次順狀態函數

順次머시인을 構成할 때 次順狀態函數를 구하는 것은 중요하다. 또한 順次머시인에서는 現在狀態와 次順

狀態를 다루어야 하므로 時間 t를 사용하여 次順 狀態 函數를 표시하면 다음式(7)로 표시된다.

$$S_{t+1} = \delta(S_t, I_t) \tag{7}$$

여기서 S<sub>t+1</sub>, S<sub>t</sub>, I<sub>t</sub> = e<sub>i</sub> ∈ GF(2<sup>m</sup>) (i=0, 1, 2, ..., 2<sup>m</sup>-1)

한편 狀態 S를 Ⅱ章의 GF(2<sup>m</sup>)內 元素들의 bit code 割當 節次에 따라서 狀態 bit code V<sub>k</sub> (k=0, 1, 2, ..., m-1)로 割當 할 수 있으며 이는 2值的 順次머시인에서 各 狀態를 bit code로 code化 한것과 개념이 유사하다.

그러므로 狀態 bit code로 各 狀態를 표시한 후 狀態 bit code별로 그 값이 "1"에 해당하는 狀態式을 구한다.

이때 狀態와 狀態의 合은 mod2合이다. 그 理由는 GF(2<sup>m</sup>)上의 加算은 mod2合算이므로 GF(2<sup>m</sup>)上의 加算은 mod2合算인 Exclusive-OR 演算으로 가능하기 때문이다.

따라서 GF(2<sup>m</sup>)上에서의 狀態 bit code V<sub>k</sub>는 V<sub>m-1</sub>, V<sub>m-2</sub>, ..., V<sub>1</sub>, V<sub>0</sub>로 生成되며 V<sub>k</sub> = 1 일때의 狀態式을 구하면 다음式(8)과 같다.

$$V_{kt} = (S_0 \oplus S_1 \oplus \dots \oplus S_{2^m-1})_t \tag{8}$$

(k = 0, 1, 2, ..., m-1)

또한 次順狀態函數는 現在狀態와 以前狀態와의 關係를 표시하는 前順狀態表로 부터 앞에서 구한 狀態式(8)을 토대로 구할 수 있다.

위의 內容을 式으로 표시하면 다음式(9)와 같다.

$$\begin{aligned} S(V_k)_{t+1} &= (S_0 \oplus S_1 \oplus \dots \oplus S_{2^m-1})_t \cdot I_0 \oplus (S_0 \oplus S_1 \oplus \dots \oplus S_{2^m-1})_t \cdot I_1 \oplus \dots \oplus (S_0 \oplus S_1 \oplus \dots \oplus S_{2^m-1})_t \cdot I_{2^m-1} \\ &= \left( \sum_{i=0}^{2^m-1} S_i \right)_t \cdot I_0 \oplus \left( \sum_{i=0}^{2^m-1} S_i \right)_t \cdot I_1 \oplus \dots \oplus \left( \sum_{i=0}^{2^m-1} S_i \right)_t \cdot I_{2^m-1} \\ &= \sum_{j=0}^{2^m-1} \left( \sum_{i=0}^{2^m-1} S_i \right)_t \cdot I_j \end{aligned} \tag{9}$$

단, S<sub>i</sub>는 V<sub>k</sub> = 1 일때의 狀態이다.

여기서 V<sub>k</sub>: 狀態 bit code (k=0, 1, 2, ..., m-1)

$$S_i = e_i \in GF(2^m) \quad (i=0, 1, 2, \dots, 2^m-1)$$

∑, ⊕: Exclusive-OR 合

例) 다음 그림 8 과 같은 狀態遷移圖에서 式(9)의 次順狀態函數를 구하면 다음과 같다.

그림 8의 狀態遷移圖에서 사용된 狀態는 S<sub>0</sub>, S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>인데 이들을 Ⅱ章의 bit code割當 節次에 의하면 S<sub>i</sub> (a<sub>i</sub>a<sub>0</sub>) (i=0, 1, 2, 3)는 各各 S<sub>0</sub>(00), S<sub>1</sub>(01), S<sub>2</sub>(10), S<sub>3</sub>(11)이 된다.

따라서 위 狀態를 狀態 bit code V<sub>k</sub>로 나타내면 表 2 와 같다.

다음에 表 2 로 부터 狀態 bit code별로 그 값이 "1"

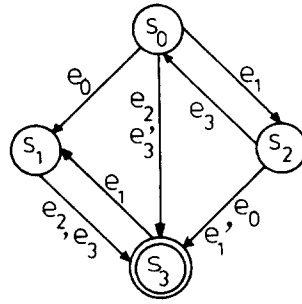


그림 8. GF(2<sup>2</sup>)上 狀態遷移圖  
Fig. 8. State-Transition Diagram on GF(2<sup>2</sup>).

표 2. 그림 1의 狀態를 狀態 Bit Code로 割當  
Table 2. Assignment of States in Fig.1 to State Bit Codes.

Present state	State Bit Code	
	V <sub>1</sub>	V <sub>0</sub>
S <sub>0</sub>	0	0
S <sub>1</sub>	0	1
S <sub>2</sub>	1	0
S <sub>3</sub>	1	1

인 狀態의 狀態式을 구하면 다음과 같다.

$$V_{1t} = (S_2 \oplus S_3)_t \tag{10}$$

$$V_{0t} = (S_1 \oplus S_3)_t \tag{11}$$

또한 式(9)를 사용하여 次順狀態函數를 구하기 위해서 그림 8의 狀態遷移圖로 부터 前順表를 구하면 다음 表 3 과 같고 이 前順表와 式(10), (11)로 부터 次順狀態函數를 구하면 式(12), (13)과 같다.

$$\begin{aligned} S(V_1)_{t+1} &= (S_2)_t \cdot I_0 \oplus (S_0 \oplus S_2)_t \cdot I_1 \oplus (S_0 \oplus S_1)_t \cdot I_2 \\ &\quad \oplus (S_0 \oplus S_1)_t \cdot I_3 \end{aligned} \tag{12}$$

$$\begin{aligned} S(V_0)_{t+1} &= (S_0 \oplus S_2)_t \cdot I_0 \oplus (S_2 \oplus S_3)_t \cdot I_1 \oplus (S_0 \oplus S_1)_t \\ &\quad \cdot I_2 \oplus (S_0 \oplus S_1)_t \cdot I_3 \end{aligned} \tag{13}$$

2) 出力函數

出力函數는 狀態遷移圖에서 Goal 狀態 mod2合이므로 式(6)으로써 표현할 수 있다.

표 3. 그림 8에 대한 前順表  
Table 3. Predecessor Table for Fig.8.

Final state	Input			
	I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>
S <sub>0</sub>	-	-	-	S <sub>2</sub>
S <sub>1</sub>	S <sub>0</sub>	S <sub>3</sub>	-	-
S <sub>2</sub>	-	S <sub>0</sub>	-	-
S <sub>3</sub>	S <sub>2</sub>	S <sub>2</sub>	S <sub>0</sub> , S <sub>1</sub>	S <sub>0</sub> , S <sub>1</sub>

Previous state

例) 앞의 그림 8 에서의 出力函數  $Z_1$ 는 다음 식(14)와 같다.

$$Z_1 = (S_2) \tag{14}$$

3) 順次머시인 回路實現

3節에서 사용한 順次머시인 回路는 다음 그림 9 와 같은 一般의인 Block 線圖로 圖示된다.

例) 그림 8 에 대한 順次머시인을 그림 9 를 사용하여 回路實現 하면 다음 그림 10 과 같다.

4) 順次머시인 構成 節次

앞의 1)節부터 3)節까지의 內容을 綜合하면 다음과 같이 順次머시인 構成 節次를 세울 수 있다.

[節次]

〈순서 1〉 狀態遷移圖에 나타난 狀態를 II章의 bit code割當 節次에 의해 狀態 bit code  $V_k$ 로 割當한다.

〈순서 2〉 순서 1 에서 구한 表에서 狀態 bit code 별로 그 값이 "1"인 狀態의 狀態式을 구한다.

〈순서 3〉 狀態遷移圖로 부터 前順表를 구한다.

〈순서 4〉 순서 3 에서 구한 前順表로 부터 순서 2의

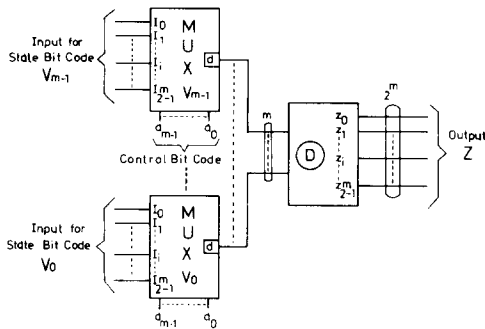


그림 9. 一般의인  $GF(2^m)$ 上的 順次머시인 回路 Block 線圖

Fig. 9. A Generalized Sequential Machine Circuit on  $GF(2^m)$ .

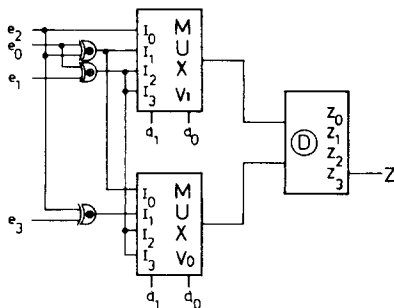


그림 10. 그림 8 의 順次머시인 回路實現 Fig. 10. Sequential Machine Circuit Realization of Fig. 8.

狀態式을 토대로 次順狀態函數를 구하고, 狀態遷移圖의 Goal 狀態로 부터 出力函數를 구한다.

〈순서 5〉 순서 4 까지에서 구한 內容과 그림 9 를 토대로 順次머시인 回路를 實現한다.

IV. 適用 例

이 章에서는 II章과 III章의 內容을 他論文의 例에 適用하고 그 結果를 檢討하였다.

例 1)  $GF(2^3)$ 上 順次머시인 構成

그림 11의 狀態遷移圖로 부터 먼저 III章의 2節인 饋還이 있는 順次머시인을 構成한 후 3節의 饋還이 없는 順次머시인을 構成하면 다음과 같다.

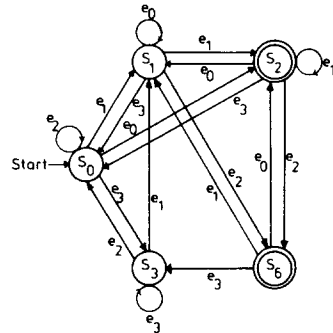


그림 11.  $GF(2^3)$ 上 狀態遷移圖 Fig. 11. State-Transition Diagram on  $GF(2^3)$ .

1. 饋還이 있는 順次머시인 構成

III章의 2節의 순서 1 에 의해 初期狀態는  $S_0$ 이고 Goal 狀態는  $S_2$ 와  $S_6$ 이다. 다음에 순서 2 부터 순서 4 까지 행하면 그림 12와 같은 順次머시인을 構成할 수 있다.

2. 饋還이 없는 順次머시인 構成

III章의 4)節의 節次에 의해 구하면 다음과 같다. 〈순서 1〉 그림 11의 狀態遷移圖에 나타난 狀態는  $S_0, S_1, S_2, S_3, S_6$ 이고 이들을 狀態 bit code  $V_k$ 로 割當하면 다음 表 4 와 같다.

〈순서 2〉 위 表 4 에서 狀態式을 구하면 다음과 같다.

$$V_{21} = (S_3) \tag{15}$$

$$V_{11} = (S_2 + S_6) \tag{16}$$

$$V_{01} = (S_1 \oplus S_6) \tag{17}$$

〈순서 3〉 그림 11의 狀態遷移圖로 부터 前順表를 구하면 表 5 와 같다.

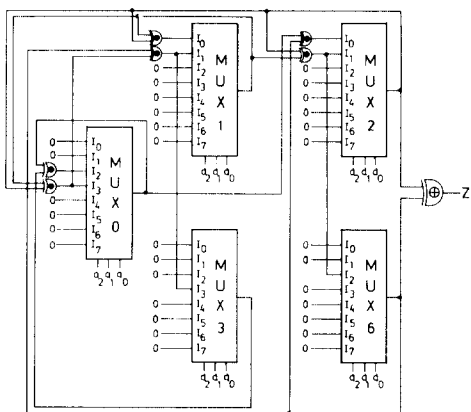


그림12. 그림11의 順次머시인 回路實現  
Fig. 12. Sequential Machine Circuit Realization of Fig. 11.

표 4. 그림11의 狀態를 狀態 Bit Code로 割當  
Table 4. Assignment of States in Fig. 11 to State Bit Codes.

Present state	State Bit Code	V <sub>2</sub>	V <sub>1</sub>	V <sub>0</sub>
S <sub>0</sub>		0	0	0
S <sub>1</sub>		0	0	1
S <sub>2</sub>		0	1	0
S <sub>3</sub>		1	0	0
S <sub>6</sub>		0	1	1

표 5. 그림11에 대한 前順表  
Table 5. Predecessor Table for Fig. 11.

Final state	Input	I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>
S <sub>0</sub>		-	-	S <sub>0</sub> , S <sub>2</sub>	S <sub>1</sub> , S <sub>2</sub>
S <sub>1</sub>		S <sub>1</sub> , S <sub>2</sub>	S <sub>0</sub> , S <sub>3</sub> , S <sub>6</sub>	-	-
S <sub>2</sub>		S <sub>0</sub> , S <sub>6</sub>	S <sub>1</sub> , S <sub>2</sub>	-	-
S <sub>3</sub>		-	-	-	S <sub>0</sub> , S <sub>3</sub> , S <sub>6</sub>
S <sub>6</sub>		-	-	S <sub>1</sub> , S <sub>2</sub>	-

Previous state

〈순서 4〉 前順表인 表 5 와 狀態式을 토대로 次順狀態函數를 구하면 다음식 (18), (19), (20)과 같고 狀態遷移圖의 Goal 狀態로 부터 出力函數를 구하면 식(21)과 같다.

$$S(V_2)_{t+1} = (S_0 \oplus S_2 \oplus S_6)_t \cdot I_3 \quad (18)$$

$$S(V_1)_{t+1} = (S_0 \oplus S_6)_t \cdot I_0 \oplus (S_1 \oplus S_2)_t \cdot I_1 \oplus (S_1 \oplus S_2)_t \cdot I_2 \quad (19)$$

$$S(V_0)_{t+1} = (S_1 \oplus S_2)_t \cdot I_0 \oplus (S_0 \oplus S_3 \oplus S_6)_t \cdot I_1 \oplus (S_1 \oplus S_2)_t \cdot I_2 \quad (20)$$

$$Z_t = (S_2 \oplus S_6)_t \quad (21)$$

〈순서 5〉 위 순서 4 까지의 內容과 그림 9 를 사용하여 順次머시인 回路를 實現하면 다음 그림13과 같다.

또한 本 論文에서 提示한 順次머시인 構成方法에 의한 順次머시인과 引用 論文에서의 順次머시인의 Hardware 크기를 比較한다는 것은 各各 使用 素子가 同一하지 않아 직접 比較는 어렵지만 各各의 順次머시인에서의 Block을 1 개의 unit device로 간주하여 比較하면 다음 表 6 과 같다.

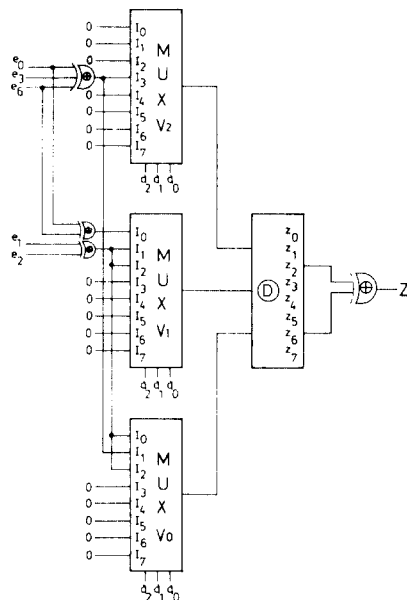


그림13. 그림11의 順次머시인 回路實現  
Fig. 13. Sequential Machine Circuit Realization of Fig. 11.

표 6. 比較表  
Table 6. Comparison Table.

Adit. D. Singh 등	ULM 5
本 論文의 饋還이 있는 順次머시인	MUX 5
本 論文의 饋還없는 順次머시인	MUX 3, Decoder1

例 2) GF(2<sup>2</sup>)上 順次머시인 構成

그림14의 狀態遷移圖로 부터 例 1 과 같은 方法으로 順次머시인을 構成 하면 다음과 같다.

1. 饋還이 있는 順次머시인 構成

〈순서 1〉 初期狀態와 Goal 狀態는  $S_1$ 이다.  
 〈순서 2〉 ~ 〈순서 5〉 까지 행하면 그림15와 같은 順次머시인을 構成할 수 있다.

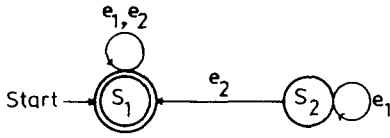


그림14. GF(2<sup>2</sup>)上 狀態遷移圖  
 Fig. 14. State-Transition Diagram on GF(2<sup>2</sup>).

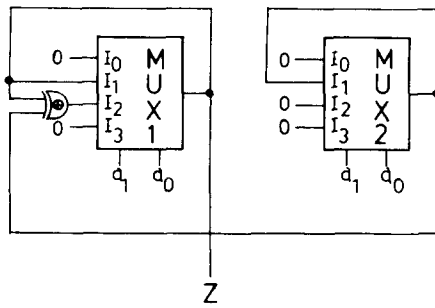


그림15. 그림14의 順次머시인 回路實現  
 Fig. 15. Sequential Machine Circuit Realization of Fig. 14.

2. 饋還이 없는 順次머시인 構成

〈순서 1〉 그림14의 狀態遷移圖에 나타난 狀態는  $S_1, S_2$ 이므로 이들을 狀態 bit code로 割當하면 다음 表7과 같다.

〈순서 2〉 表7로 부터 狀態式을 구하면 다음과 같다.

$$V_{it} = (S_2)_t \tag{22}$$

$$V_{ot} = (S_1)_t \tag{23}$$

〈순서 3〉 그림14의 狀態遷移圖로 부터 前順表를 구하면 다음 表8과 같다.

〈순서 4〉 위 前順表와 狀態式 (22), (23)을 토대로 次順狀態函數를 구하면 다음과 같고

표 7. 그림14의 狀態를 狀態 Bit Code로 割當  
 Table 7. Assignment of States in Fig.14 to State Bit Codes.

Present state	State Bit Code	
	$V_1$	$V_0$
$S_1$	0	1
$S_2$	1	0

표 8. 그림14에 대한 前順表  
 Table 8. Predecessor Table for Fig. 14.

Final state \ Input	$I_1$	$I_2$
	$S_1$	$S_1$
$S_2$	$S_1$	—

Previous state

$$S(V_1)_{t+1} = (S_1)_t \cdot I_1 \tag{24}$$

$$S(V_0)_{t+1} = (S_1)_t \cdot I_1 \oplus (S_1 \oplus S_2)_t \cdot I_2 \tag{25}$$

狀態遷移圖로 부터 出力函數를 구하면

$$Z_t = (S_1)_t \tag{26}$$

와 같다.

〈순서 5〉 위 순서 4까지의 內容과 그림 9를 사용하여 順次머시인 回路를 實現하면 다음 그림16과 같다.

또한 Hard ware를 比較하면 다음 表9와 같다.

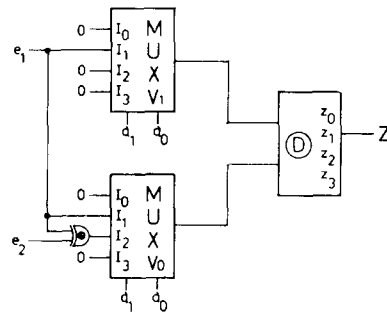


그림16. 그림14의 順次머시인 回路實現  
 Fig. 16. Sequential Machine Circuit Realization of Fig. 14.

표 9. 比較表  
 Table 9. Comparison Table.

W. R. English	AND 3, OR 1, delay 1
本 論文의 饋還있는 머시인	MUX 2
本 論文의 饋還없는 머시인	MUX 2, Decoder 1

本 論文에서 提示한 順次머시인 構成方法과 引用한 論文의 內容과를 檢査하면 다음과 같다.

例1의 Adit D. Singh 등이 提示한 順次머시인 構成方法은 다음과 같다.

〈순서 1〉 주어진 狀態遷移表로 부터 前順表를 구한다.

〈순서 2〉 순서 1에서 구한 前順表로 부터 出力別로 前順狀態Tree를 구한다. 이때 前順狀態Tree의 length



l<sub>1</sub>은 머시인의 order μ와 같고 前順狀態 Tree의 level l<sub>2</sub> 또한 μ와 같다. 즉, 다음과 같은 式으로 表示된다.

$$\begin{aligned} \text{length } l_1 &= \mu \\ \text{level } l_2 &= \mu \end{aligned}$$

한편 各 出力別 前順狀態Tree의 끝(leaf)에는 狀態遷移表에 있는 現在狀態의 集合인 Q = {q<sub>0</sub>, q<sub>1</sub>, ..., q<sub>2<sup>m</sup>-1</sub>}가 항상 나타나야 한다.

〈순서 3〉 순서 2에서 구한 前順狀態Tree와 순서 1의 狀態遷移表의 次順狀態를 出力값으로 대치시킨 값을 制御變數值(control variable value)로 하여 universal iterative tree structure 형태로 回路를 實現하였다.

例 2의 W. R. English가 提示한 順次머시인 構成 방법은 다음과 같다.

먼저 順次머시인의 情報關係를 나타내는 狀態흐름표(Flow Table)에서 各各의 入力和 狀態를 GF(2<sup>m</sup>)上的의 元素에 대응되게 code化한다. 그리고 次順狀態函數 Y(t+1)과 出力函數 Z(t)를 다음 式들로부터 구한다.

$$\begin{aligned} Y(t+1) &= \sum_{i=0}^{2^m-2} \sum_{j=0}^{2^m-2} a(i, j) [X(t)]^i [Y(t)]^j \\ Z(t) &= \sum_{i=0}^{2^m-2} \sum_{j=0}^{2^m-2} b(i, j) [X(t)]^i [Y(t)]^j \end{aligned}$$

여기서 X(t), Y(t), Z(t) ∈ GF(2<sup>m</sup>)

X(t)는 入力이고 Y(t+1)은 現在狀態

한편, 係數 a(i, j)와 b(i, j)는 다음 式들로부터 구할 수 있다.

$$\begin{aligned} a(k, l) &= \sum_{i=0}^{2^m-2} \sum_{j=0}^{2^m-2} C(k, i) Y(i, j) C(l, j) \\ b(k, l) &= \sum_{i=0}^{2^m-2} \sum_{j=0}^{2^m-2} C(k, i) Z(i, j) C(l, j) \end{aligned}$$

여기서

$$C(j, i) = (-1)^{2^{m-j}} \left| \begin{matrix} 2^m - 1 \\ 2^m - 1 - j \end{matrix} \right|_{mod 2^m} \tau^{-1j}$$

또한 위의 次順狀態函數 Y(t+1)은 線形方程式이므로 이를 行列형태로 표시하면 다음과 같다.

$$\begin{aligned} Y' &= TA' \\ \text{따라서 } A' &= T^{-1} Y' \end{aligned}$$

여기서 Y'와 A'는 行列이고 T<sup>-1</sup>은 逆行列이다.

위의 式들로부터 係數와 次順狀態函數, 出力函數를 구한 후 지연소자를 포함한 順次머시인을 構成하였다.

이들 方法들에 비하여 本 論文에서 提示한 構成 방법은 다음과 같다.

(가) 饋還이 있는 順次머시인 構成

주어진 狀態遷移圖로부터 各各의 現在狀態를 本 論文에서 提示한 MUX R로대치하고 各 狀態들간의 入력에 대한 遷移를 MUX의 해당 入력에 연결 하므로써 順次머시인을 實現할 수 있다. 즉, 順次머시인에서 次

順狀態函數를 구하지 않고 狀態遷移圖로부터 직접 順次머시인을 構成할 수 있는 장점이 있다. 그러나 이 方法의 順次머시인 構成에서는 狀態遷移圖에 있는 狀態의 갯수 만큼 MUX가 必要한 단점이 있다.

(나) 饋還이 없는 順次머시인 構成

주어진 狀態遷移圖上的의 狀態를 GF(2<sup>m</sup>)上的의 數學的性質로부터 各各 狀態 bit code V<sub>k</sub>로 割當하였고, 이들 狀態 bit code別로 그 값이 "1"인 狀態들로부터 狀態式을 구한다. 다음에 狀態遷移圖로부터 前順表를 구한 후 以前에 구한 狀態式과 前順表를 토대로 次順狀態函數를 구한다.

그리고 위에서 구한 次順狀態函數와 狀態遷移圖의 Goal state로부터 구한 出力함수를 토대로 MUX와 復號器를 사용하여 順次머시인을 構成한다.

## V. 結 論

本 論文에서는 多值論理順次머시인을 構成하기 위하여 有限體인 GF(P<sup>m</sup>)上에서 2值化가 容易한 素數 P가 2인 경우의 모든 元素들을 GF(2<sup>m</sup>)上的의 數學的性質을 이용하여 2值의 값을 나타내는 bit code로 割當하였다.

이들 bit code가 1) MUX의 制御bit code a<sub>k</sub>(k=0, 1, 2, ..., m-1)로 사용되며 2) 饋還이 없는 順次머시인 構成에서는 狀態 bit code V<sub>k</sub>(k=0, 1, 2, ..., m-1)로 사용된다.

또한 本 論文에서 提示한 順次머시인 構成 방법은 다음으로 要約된다.

1) 饋還이 있는 順次머시인

이 方法은 주어진 狀態遷移圖로부터 MUX R을 사용하여 직접 順次머시인을 構成하는 方法으로써 다른 여러 論文<sup>1), 6), 7)</sup>에서와 같이 前順表, 前順狀態Tree와 次順狀態函數들을 구하지 않고 順次머시인을 構成하는 方法이다. 즉, 주어진 狀態遷移圖로부터 各 狀態를 MUX R로 대치하고 狀態들간의 入력에 대한 遷移를 MUX의 해당 入력에 연결하므로써 順次머시인을 構成한다.

그러나 MUX의 갯수가 狀態遷移圖上에 나타나 있는 狀態의 갯수 만큼 必要한 단점이 있다.

이때 順次머시인 構成에 必要한 MUX의 갯수는 다음과 같다.

MUX의 갯수 ≤ 2<sup>m</sup>

2) 饋還이 없는 順次머시인

이 方法은 Ⅱ章에서 提示한 GF(2<sup>m</sup>)內的의 元素들을 bit code割當 節次에 의해 狀態遷移圖上的의 狀態를 狀態 bit code V<sub>k</sub>로 割當한 후 이들 狀態 bit code別로 그

값이 "1"인 狀態들로부터 狀態式을 구한다. 다음에 狀態遷移圖로부터 前順表를 구한 후 앞에서 구한 狀態式을 토대로  $V_k$  別로 次順狀態函數를 구하고, Gaol 狀態로부터 出力函數를 구하여 MUX R와 復號器를 사용하여 順次머시인을 構成하는 方法이다.

물론 이 方法은 1)의 餓還이 있는 順次머시인 構成 方法에 比해서 狀態式, 前順表, 次順狀態函數 및 出力 函數를 구해야 하는 計算을 要하지만 引用論文<sup>[11]</sup>에서의 構成時에 必要로 하는 計算方法에 比해선 복잡한 計算이 요구되지 않는다. 또한 1)의 方法에 比해 順次 머시인 構成時 MUX의 갯수가 적다.

이때 順次머시인 構成에 必要한 MUX의 갯수는 다음과 같다.

$$\text{MUX의 갯수} \leq m$$

한편, 本 論文에서 提示한 順次머시인 構成方法은 多值論理素子를 사용하지 않고도 기존의 素子로써 이들 多值論理順次머시인을 實現할 수 있는 利點이 있다.

#### 參 考 文 獻

- [1] Adit D. Singh, James R. Armstrong and F.G. Gray, Combinational and sequential multivalued logic design using universal iterative tree structures, *Int. Symp. on multiple-valued logic*, pp. 182-189, 1979.
- [2] Stanley L. Hurst, "Multiple-valued logic-its status and its future," *IEEE Trans. Compt.*, vol. C-33, pp. 1160-1179, Dec. 1984.
- [3] Karl S. Menger, "A transform for logic networks," *IEEE Trans. Compt.*, vol. C-18, pp. 241-250, Mar. 1969.
- [4] Zvonko G. Vranesic, "Multiple-valued logic :An introduction and overview," *IEEE Trans. Compt.*, vol. C-26, pp. 1181-1182, Dec. 1977.
- [5] Charles C. Wang, T.K. Truong, Howard M. Shao, Leslie J. Deutsch, Jim K. Omura and Irving S. Reed, "VISI architecture for computing multiplications and inverses in  $GF(2^m)$ ," *IEEE Trans. Compt.*, vol. C-34, pp. 709-717, Aug. 1985.
- [6] Vason P. Srinii, Iterative realization of multivalued logic systems, *Int. Symp. on multiple-valued logic*, pp. 188-194, 1978.
- [7] Garrett Birkhoff and Thomas C. Bartee, Modern applied algebra, *McGraw-Hill Book Company*, N.Y., 1970.
- [8] Tiu Le Van and Noël Van Houtte, "Delayed universal logic module and sequential machine synthesis," *IEEE Trans. Compt.*, pp. 853-855. Aug. 1975.
- [9] Raymond P. Voith, "Minimum universal logic module sequential circuits with dscoders," *IEEE Trans. Compt.*, vol. C-26, pp. 1032-1035, Oct. 1977.
- [10] Samuel C. Lee, Modern switching theory and digital design, *Prentice-Hall, Inc.*, Englewood Cliffs, N.J., 1978.
- [11] W.R. English, "Synthesis of finite state algorithm in a Galois field  $GF(p^n)$ ," *IEEE Trans. Compt.*, vol. C-30, pp. 225-229, Mar. 1981.