

조립된 Building Block IC의 설계디자인의 문제 (The Layout Design of Structured Building Block Integrated Circuit)

李 天 熙*
(Cheon-Hee Yi)

要 約

이 논문은 유향그래프 완화모델을 기초로하여 빌딩블럭IC의 설계디자인 절차를 제시하였는데 이것은 IC 빌딩블럭의 면적최소화와 배선가능한 배치에 대한 최적화 절차들이며 칩 면적을 최적화 시키기 위하여 모형의 성분을 이루는 구형상의 주제와 면적제한 조건도 검토하였다.

Abstract

This paper presents a design procedure for building block integrated circuits that is based on the digraph relaxation model.

A set of optimization procedure is presented for a minimum area and routing-feasible placement of IC building blocks. Chip area optimization is subject to perimeter and area constraints on the component rectangles in the dissection.

I. 서 론

IC설계에서 계층적이며 구조적인 방법을 사용하면 복잡도를 줄일 수 있는데 일반적으로 계층적인 구성은 설계를 기능적인 면적과 성분인 빌딩블럭으로 분할하는데 칩 구성 및 floor-plan으로 이루어진다. 각 블럭은 다시 더 낮은 레벨의 부 블럭으로 나뉘어서 하향식으로 기능적인 블럭까지 진행되며 동시에 논리회로에 상응하는 모듈을 설계하여 이들을 계층의 더 높은 레벨에서 기능적인 블럭으로 결합시킨다. 이미 설계된 빌딩블럭을 가지고 최종설계를 만드는 과정은 상향식 설계과정을 따르나 아직까지 CAD를 사용한 IC설계에 있어서 하향식과 상향식을 결합시킨 시스템이 개발되

지 못하였다. 여태까지 상향식 방법이 널리 사용되었으나 상향식 칩 설계방법은 여러가지 결함이 있어 하향식 설계방법에 대한 연구가¹⁾ 활발히 이루어지고 있다. 본 연구도 하향식 설계방법으로 계층적으로 분해된 IC의 하향식 도면설계에서 부딪치는 면적제한 문제를 다루었다.

II. 위상기하학적 배선

셀의 위치를 수정하여 만든 연결그래프상에서 각net의 최단경로를 발견하여 셀을 경로마디에 할당하면 개개의 셀에 net를 할당하는 효과를 얻으며 이때 셀의 연관된 위치와 배치를 수정하는 동안에 블럭방향은 변하지 않는다고 가정한다.

1. 연결그래프의 구성

특수한 연결그래프를 만들어서 일반적인 배선위상을 발견하는데 사용하며 이때 연결그래프는 내부연결 배선을 수행할 수 있는 균일하지 않는 구형의 그리드를 표현하는 유향그래프이다. 이 그래프의 각 가지는 수

*正會員, 淸州大學校 電子工學科
(Dept. of Elec. Eng., Chong-Ju Univ.)
接受日字: 1987年 4月 22日
(※ 본 연구는 1986년도 문교부 학술연구조성비에 의한 것임.)

정된 설계에서 두개의 인접한 셀을 분리하는 선분과 일치하며 마디는 수직과 수평의 셀경계의 교차를 표시한다. 그림 1(a)는 14셀에 10블럭을 배치한 것이고 b는 연결그래프이며 c는 완화된 유향그래프이다.^[2,12,13] 연결그래프 내의 각 가지에는 선분에 상당하는 길이와 같은 값이 주어지며 이 가장 연결그래프로써 셀의 최종적인 면적의 크기를 짐작할 수 있다.

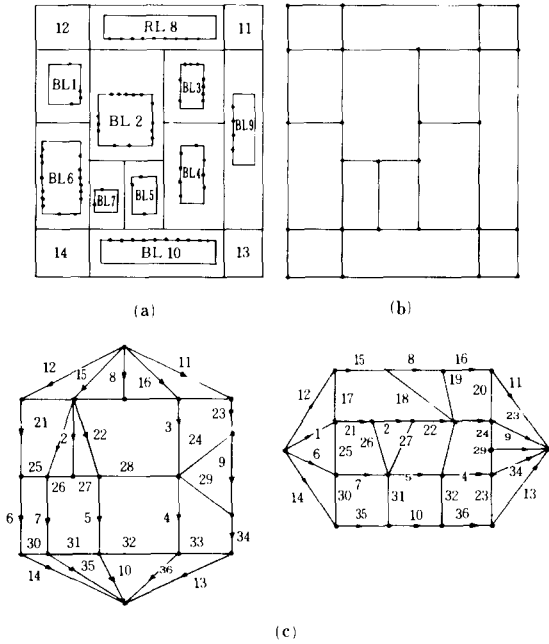


그림 1. (a) 10블럭배치
(b) 연결그래프
(c) 완화된 유향그래프
Fig. 1. (a) Placement of 10 block.
(b) Connected graph.
(c) Relaxed digraph.

2. 단자마디의 생성

연결그래프를 만든 후에 이 그래프내에 각 net의 단자를 표시하는 단자마디를 만든다. 이 마디들은 블럭의 대응하는 가지에 평행인 인접한 셀 경계상에 빌딩 블럭 핀을 돌출시켜 만든다. 블럭을 셀내에 삽입시킬 때 블럭주위의 공간이 블럭에 내재하는 net를 조정하기에 충분한 크기의 셀을 택한다. 각 단자마디는 연결그래프에서 대응되는 가지를 두개의 인접한 마디로 나눠주며 각 분리된 가지에는 길이를 나타내는 가중치를 적어놓았다.

3. 최단경로 배선의 발견

Net가 세개 이상의 단자를 갖고 있는 경우에는 이들

단자사이에 최단연결을 발견하는 문제는 매우 복잡하여 NP-Complete이^[6,7] 되도록 한 최단직선의 Steiner tree 발견의 문제와^[8,11] 유사하나 실용성이 떨어지므로 여기서는 최적성은 덜하지만 좀 더 실용적인 방법을 제안하였다. 즉 임의의 m개 단자 net를 최단경로를 만드는 데 필요한 m-1 두 단자 부 net로 나눈 후 경로들을 첨가하면 Steiner tree가 되며 Steiner point는 두 단자경로 가지에서 그래프 마디와 일치한다.

4. 셀-경로 할당

셀-경로 할당은 최종배선을 어떻게 할 것인지에 따라 여러가지 다른 방법으로 행해질 수 있으나 일반적으로 net가 밀집되지 않도록 한다. 그러나 net가 밀집되지 않도록 분포시키면 비례적으로 각 셀면적이 넓어진다. 셀-경로 할당은 내재하는 net 때문에 필요한 공간을 제외한 나머지공간을 효율적으로 이용하기 위한 것이며 같은 방향을 가진 가지로 구성된 직선경로의 한변에 net를 할당시킴으로서 직선경로의 수직방향에 net를 할당할 track은 필요치 않다고 가정한다.

Ⅲ. Track 할당

Track 할당의 목적은 각 셀에 할당된 모든 net를 배선하는데 필요한 track을 결정하는 것이다. 동시에 trJck 할당은 두개의 인접한 셀내에 같은 net에 할당된 두 track을 공통의 셀 경계에서 만나도록하여 셀경계를 교차하는 net의 연속성을 유지하도록 한다.

Track 할당 알고리즘을 구성하는 데는 net가 처리되는 순서와 위상기하학적인 배선의 정보가 필요하다. 즉 각 셀에 필요한 최소 배선공간등 상세한 배선 제약 조건을 만들어서 각 셀내에 net에 특정한 track을 할당한다.

1. Track 할당 알고리즘

Track 할당 알고리즘은 연결그래프의 구형삽입을 사

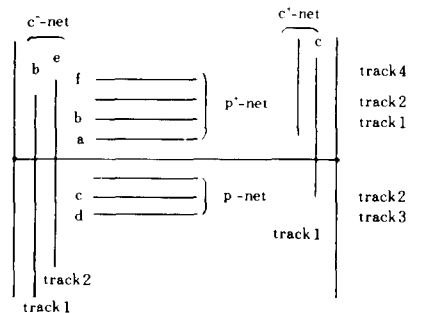


그림 2. P-net와 C-net
Fig. 2. P-nets and C-nets.

용하여 net마디에 특정한 track을 할당하는 처리과정에서 그래프의 수평과 수직 가지는 이 가지에 평행인 track인 두 set를 할당한다. 그러나 간략화 시키기 위하여 수평가지의 위와 아래만을 다룬다.

P-net: 가지와 평행인 track에 할당되며 가지 상단에 위치

P-net: 가지와 평행인 track에 할당되며 가지 하단에 위치

C-net: 가지와 교차하는 track에 할당되며 가지 오른쪽 끝에 위치

C-net: 가지와 교차하는 track에 할당되며 가지 왼쪽 끝에 위치

$$P(e)^* = N \cdot P(e) \tag{1}$$

$$C(e)^* = N \cdot C(e) \tag{2}$$

$M = \{1 \dots n\}$ n: 전체 net수

$P(e)$: 가지 e의 P*-net 또는 P-net의 set와 연관된 track 목록의 set

$P(e)^*$: Empty track을 나타내는 목록의 set

$C(e)$: 가지 e의 C*-net 또는 C-net의 set와 연관된 목록의 set

$C(e)^*$: Empty track을 나타내는 목록의 set

Track 할당알고리즘을 사용하여 위상기하학적인 배선과 모든 net의 track 연결성을 만족시키는 연결그래프에서 모든 가지에 대한 C-net와 P-net의 최소 set를 구할 수 있다. 같은 방향을 가진 가지 set인 직선 경로의 set로 net를 나눠서 track 할당을 나눠서 track 할당을 한 후에 이 net를 각 직선 경로내에 가지의 P-net와 C-net에 할당한다.

Track 알고리즘은 net를 겹치지않게 하면서 같은 track을 둘 이상의 다른 net에 할당함으로써 track의 공유능력을 높이도록 하여야 하며 track을 공유하게

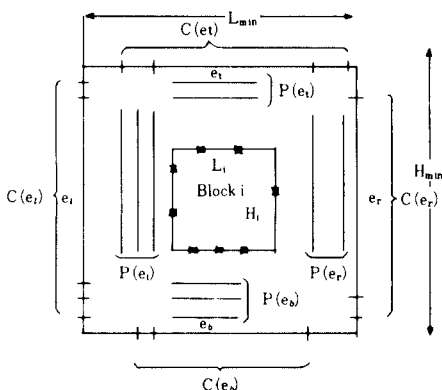


그림 3. 최소 셀면적 제한조건
Fig. 3. Minimum cell dimension constraints.

됨으로서 모든 net를 배선하는데 필요한 track수를 줄여서 배선면적도 최소화 된다.

IV. 면적최소화

최종 설계에서 셀면적은 셀과 net의 내부연결에 필요한 공간과 빌딩블럭의 면적을 합한것 보다는 크게되며 이 면적은 셀에 할당된 net부분과 track 너비로부터 계산된다.

그림 3에서 셀 가지는 위, 아래, 오른쪽, 왼쪽경계를 나타내는 e_t, e_b, e_r, e_l 로 표시하였고 $P(e)$ 는 이 셀 안쪽에 가지 e에 할당된 P-net와 연관된 track의 set를 나타낸다. Set P중에 가장 큰 수를 「P」로 표시하였을 때 track수에 있어서 셀 가지와 블럭의 인접한 가지 사이에 필요한 최소간격은 $n_p(e) = \lceil P(e) \rceil$ 이 되며 셀의 가지 e를 교차하는 C-net와 연관되므로 빈 track을 포함하고 있는 전체 track 수는 $n_c(e) = |C(e)|$ 이 된다.

그림 3에서 Lmin과 Hmin은 블럭과 배선에 필요한 폭의 합으로 표시될 수 있는데 각 net의 선분 때문에 필요한 track의 폭을 w라 하면 각 셀의 Lmin과 Hmin은 다음식으로 계산된다.

$$L_{min} = \max \{ (n_p(e_t)w + n_p(e_r)w + L), n_c(e_b)w, n_c(e_l)w \} \tag{3}$$

$$H_{min} = \max \{ (n_p(e_b)w + n_p(e_t)w + H), n_c(e_l)w, n_c(e_r)w \} \tag{4}$$

그림 4는 이상의 처리과정을 거쳐 설계한 결과이다.

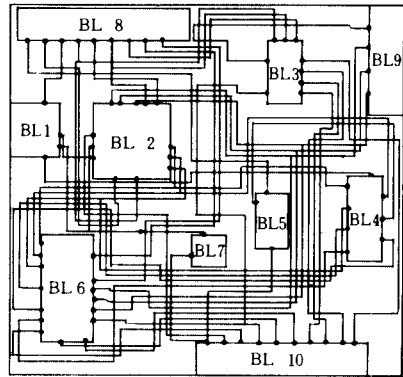


그림 4. 최종 설계결과
Fig. 4. Final result of layout.

V. 결 론

이 논문에서 설명한 방법을 사용하면 P-net와 C-net로 명칭된 모든 net를 위한 충분한 공간이 확보되

어 이 net들이 겹치지도 않게할 수 있으므로 기존의 기술과^{14,17)} 비교하여 다음점이 개선되었다 할 수 있다.

1) 최소면적설계에 그래프의 이론적인 모델을 적용시키는데 최적화된 유향그래프를 사용하여 면적을 최적화 시켰다.

2) 배선 제한 조건을 배선채널을 만들지 않고도 설계에서 독자적으로 정의한 셀에 대해서 만들었다.

앞으로 이 연구는 최종설계에 필요한 중형비와 물리적인 접촉이나 블럭사이의 공유관계 같은 제한조건을 구체화 시키는 방향으로 진전될 수 있으며 또한 좀더 효율적인 위상기하학적인 배선방법과 track 할당시에 net의 ordering 및 layer 할당등에 관한 연구가 뒤따라야 할 것이다.

參 考 文 獻

- [1] W.R. Heller, G. Sorkin, K. Maling, "The planar package planner for system designer," *Proc. 19th Design Automation Conference*, pp. 253-259, 1982.
- [2] K. Maling, S. M8eller, W.R. Heller, "On finding most optimal rectangular package plans," *Proc. 19th Design Automation Conference*, pp. 663-670, 1982.
- [3] R.H.J.M. Otten, "Automatic floor plan design," *Proc. 19th Design Automation Conference*, pp. 261-267, 1982.
- [4] _____, "Efficient floorplan optimization," *International Conference on Computer Design*, Port Chester, New York, pp. 499-502, 1983.
- [5] A.A. Szepieniec, R.H.J.M. Otten, "The genealogical approach to the layout problem," *Proc. 17th Design Automation Conference*, pp. 535-542, 1980.
- [6] A.A. Szepieniec, "SAGA: An experimental silicon assembler," *Proc. 19th Design Automation Conference*, pp. 365-370, 1982.
- [7] K. Kozminski, *Area Planning for VLSI Chip Layout*, Ph.D Dissertation, University of Rochester, 1983.
- [8] M.R. Garely, D.S. Johnson, "The rectilinear steiner tree problem is NP-complete," *SIAM. Journal of Applied Mathematics*, vol. 32, no. 4, pp. 826-834, 1977.
- [9] S. Cang, "The generation of minimal trees with steiner topology," *Journal of the Association for Computing Machinery*, vol. 19, no. 4, pp. 699-711, 1972.
- [10] F.K. Hwang, "On steiner minimal tress with rectilinear distance," *SIAM. Journal of Applied Mathematics*, vol. 30, no. 1, pp. 104-114, 1976.
- [11] _____, "The rectilinear steiner problem," *Journal of Design Automation and Fault Tolerant Computing*, vol. 2, no. 4, pp. 303-310, 1978.
- [12] Maciej J. Cieselski, Edwin Kinnen, "Digrapn relaxation for placement modification," *Proc. 13th Int. Symposium on Circuits and Systems*, pp. 1209-1212, 1983.
- [13] E. Berkean and E. Kinnen, "IC layout planning and placement by dimensional relaxation," *IEEE Int. Conference on Computer Design*, pp. 449-451, 1985.
- [14] B.T. Preas, W.M. vanCleemput, "Placement algorithms for arbitrarily shaped blocks," *Proc. 16th Design Automation Conference*, pp. 474-480, 1979.
- [15] W. Sansen, H. Beke, W. Heyns, "Design automation software towards MOS/VLSI," *Proc. 1st Int. Conference on Circuits and Computers*, pp. 98-102.
- [16] J. Soukup, J.C. Royle, "On hierachical routing," *J. of Digital systems*, vol. V, no. 3, pp. 265-289, 1981.
- [17] H. Watanabe, *IC Layout Generation and Compaction using Mathematical Optimization*, Ph. D Dissertation, University of Rochester, 1983.