

# 동기신호 분리용 집적회로의 설계 및 제작

## (Design and Fabrication of SYNC Signal Separator IC)

張 榮 旭\*, 金 永 生\*, 申 明 澈\*

(Young Wook Jang, Young Saeng Kim and Myung Chul Shin)

### 要 約

본 논문은 합성비디오 신호에 포함되어 있는 수평동기, 수직동기 및 합성동기 신호 분리용 집적회로의 설계 및 제작에 대하여 기술한다.

비교레벨 샘플링 방법을 사용하여 아주 변동이 심한 외부회로에 대해서도 안정한 동기 신호를 분리해 낼 수 있다. SST 바이폴라 표준공정을 이용하여 집적회로를 제작하였으며, 칩의 크기는  $1.5 \times 1.5 \text{mm}^2$  이다. 그 결과 DC 특성 및 동기신호 분리 기능이 만족스러운 집적회로의 제작에 성공하였다.

### Abstract

This paper describes the design and fabrication of an integrated circuit that can separate the horizontal SYNC., vertical SYNC. and composite SYNC. signal included in a composite video signal.

The circuit that is based on the comparator level sampling method can separate a stable SYNC. signal even from an external circuit with large variation.

It has been fabricated by the SST bipolar standard process. Its chip size is  $1.5 \times 1.5 \text{mm}^2$ .

As a result, we succeeded in fabrication of IC which satisfied DC characteristics and SYNC. signal separator function.

### I. 序 論

고 정보화 시대를 맞이하여 합성비디오 신호(composite video signal)를 이용한 정보처리 시스템이 급증함에 따라 각 SYNC신호를 기준신호로 사용하는 시스템 개발이 활발히 전개되고 있다.<sup>1,4,5,6</sup> 이에 본 연구에서 설계, 제작한 IC는 합성비디오 신호로부터 고품위의 수평동기 신호(horizontal sync signal)와 수직동기 신호(vertical sync signal) 및 수평·수직동기 신호가 합성되어 있는 합성동기 신호(composite sync signal)를 각각 분리해 내는 기능을 가진다.<sup>1,4</sup>

일반적으로 사용되는 동기신호 분리회로는 단입력 필터를 통해 수평 및 수직동기 신호를 같이 처리하여 합성동기 신호를 출력해 내는 방법을 사용하고 있으나, 근본적으로 수평 및 수직동기 신호의 평균 DC레벨과 주파수의 차이 때문에 입력신호가 조금만 평상시 보다 작아져도 신호를 분리해 내지 못하고, 동기신호 범위 보다 넓게 비디오 신호의 페데스탈 레벨(pedestal level)까지 분리한 출력을 내놓는 등 문제점이 있으며, 또한 정방향 비디오 신호를 그대로 분리회로에 입력해 동기신호 분리를 해 주는 간단한 회로에서는 입력에 주파수 특성이 좋지 않은 PNP 트랜지스터를 사용하므로써, 특히 수평동기 신호의 품질이 나빠지는 등의 문제점이 발생하여 고품위 모니터 컨트롤(monitor control)이나 비디오 프로세싱(video processing)을 위한 기본 동기신호로서의 사용이 불가능하다.<sup>11</sup>

따라서 본 연구에서는 상기의 문제점을 해결하기 위

\*正會員, 三星半導體通信(株) 半導體研究所  
(Samsung Semiconductor and Telecommunication Co., Ltd., R & D)

接受日字: 1986年 9月 22日

하여 각각의 수평 및 수직동기 필터를 사용하고 수평 동기 분리 입력부분을 NPN 트랜지스터로 사용할 수 있도록 인버터 회로를 구성하고, 수직동기시에 타고 나올 수 있는 등화펄스 신호(equalizing pulse signal)를 제거하기 위하여, 수직신호 비교기를 구성하였다. 또한 수평·수직동기 신호를 합친 합성동기 신호를 출력하도록 회로를 구성하여 일반적으로 필요로 하는 모든 형태의 고주파 동기신호 출력을 내보내 주어 사용자의 편의대로 동기신호를 이용할 수 있는 광범위한 특징을 가지고 있는 집적회로이다.

II. IC 설계

설계된 IC의 전체적인 block diagram은 그림 1 과 같다.

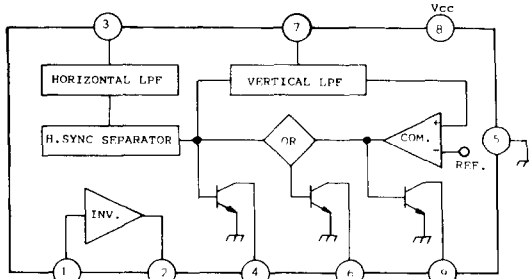


그림 1. 전체 블록 다이어그램  
Fig. 1. Whole block diagram.

합성비디오 신호는 인버터 회로를<sup>2,3</sup> 통해 역상으로 위상이 바뀌어 수평동기 필터 회로와 수직동기 필터 회로에 입력되며, 수평동기 필터 회로에서 불필요한 고주파 성분과 성분이 제거된 비디오 신호는 수평동기 분리 회로로 입력되어 수평동기 신호를 분리해 내고, 이 분리된 수평동기 신호가 수평동기 출력회로를 통해 통상의 TTL 레벨에서 사용할 수 있는 전압으로 변환되어 수평동기 출력단자인 pin 4로 출력한다. 한편 상기 분리된 수평동기 신호는 합성동기 출력회로로 입력된다. 또한 수직필터를 통해 수평동기 신호가 제거된 비디오 신호는 수직동기 분리 회로를 거쳐 수직동기 신호가 분리되어 출력되고, 이 수직동기 신호 기간중 일부 잡음으로 포함되어 있는 등화펄스 신호를 제거하기 위해 비교전압 발생회로의 비교전압 출력과 함께 잡음신호보다 높게 설정되어 있는 비교회로로 입력되어 잡음신호인 등화신호를 제거하고 수직동기 출력회로를 통해 통상 사용할 수 있는 TTL 레벨의 수직동기 신호를 수직동기 출력단자인 pin 9로 출력한다. 한편 비교회로

에서 출력하는 등화신호가 제거된 수직동기 신호는 수평동기 분리 회로에서 출력하는 수평동기 신호와 함께 합성동기 출력회로에 입력하여 합성동기 출력단자인 pin 6으로 합성동기 신호를 출력하게 된다.

그림 2 는 인버터 회로를 나타낸다.

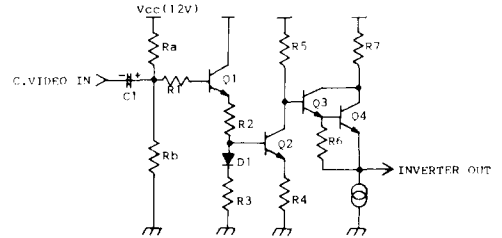


그림 2. 인버터 회로  
Fig. 2. Inverter circuit.

인버터 회로는 TV의 정방향 합성비디오 신호를<sup>11</sup> 역상으로 전환하여 동기신호 분리를 손쉽게 하기 위해 구성한다. 이때 최대 2.0V<sub>pp</sub> 비디오 신호의 DC offset이 3.5V에서 6.5V까지 변화하여도 DC coupling으로 입력신호가 변형되지 않고, 출력될 수 있도록 입력을 설계해 준다.<sup>4,5,6</sup>

그림 3 은 입력신호인 합성비디오 신호로부터 수평동기 분리에 따른 각 부분의 파형도를 도시적으로 나타내었다.

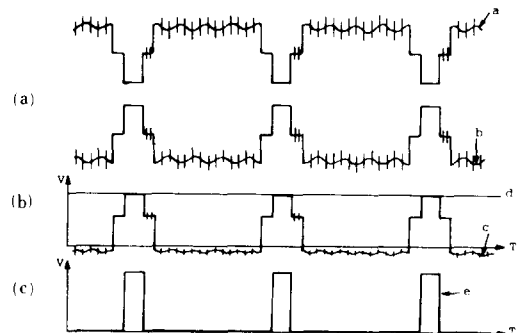


그림 3. 수평동기의 출력파형도  
Fig. 3. Output waveform Diagram of horizontal SYNC.

수평동기 신호 출력에 대해서 그림 2 의 회로 및 그림 3 의 파형도를 참조하여 설명하면 다음과 같다.

정방향 합성비디오 신호 a가 외부회로로 구성된 저항 분압회로 R<sub>a</sub>와 R<sub>b</sub>에 의해 DC offset이 걸려 저항

$R_1$ 을 통해 인버터 회로의 트랜지스터  $Q_1$ 의 베이스로 DC coupling에 의해 입력되어 저항  $R_2$ 을 통해 트랜지스터  $Q_2$ 의 베이스로 입력된다.

여기서 다이오드  $D_1$ 은 트랜지스터  $Q_2$ 의 전기적 동작 특성을 보상하기 위한 회로이며, 또한 저항  $R_2$ ,  $R_3$ 에 의한 입력신호 감쇠는 입력 직류레벨을 낮추어서 출력 트랜지스터  $Q_2$ 의 컬렉터의 동작범위를 크게 하기 위한 것이다. 따라서 트랜지스터  $Q_2$ 의 컬렉터에는 정방향 합성비디오 신호 a의 위상이 바뀌어 그림3의 (b)에 도시한 바와 같이 역방향 합성비디오 신호 b가 출력하게 된다.

한편 트랜지스터  $Q_3$ 와  $Q_4$ 는 다아링턴(darlington)접속을 하여 전력증폭 회로를 구성하며, 저항  $R_6$ 은 트랜지스터  $Q_3$ 의 에미터전류 조정용 저항이다. 따라서 역방향 합성비디오 신호 b는 트랜지스터  $Q_3$ 의 베이스로 입력하여 전력증폭되고 동상으로 다아링턴 접속된 트랜지스터  $Q_3$ 와  $Q_4$ 의 에미터로 출력된다.<sup>[2,3]</sup> 이상과 같이 그림3 (a)의 정방향 합성비디오 신호는 인버터 회로의 npn 트랜지스터  $Q_1$ 에 입력되므로 통상적으로 pnp 트랜지스터를 사용하는 것보다 펄스폭이 극히 짧은 수평동기 신호의 취급에 있어 양호한 동작특성을 갖게 된다.

그림 4는 수평동기 분리 회로를 나타낸다.

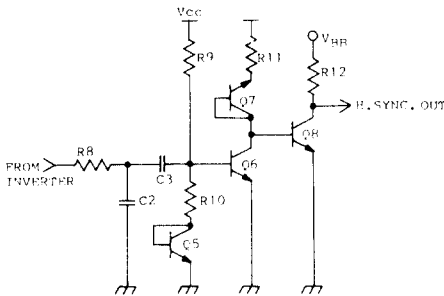


그림 4. 수평동기분리 회로  
Fig. 4. Horizontal SYNC. separator circuit.

인버터 회로로부터 전력증폭되어 출력되는 역방향 합성비디오 신호 b는 저항  $R_6$ 과 캐패시터  $C_2$ 로 구성된 수평동기 필터 회로에 입력되고, 여기서 수평동기 신호 이외의 고주파 신호를 제거한 여파된 신호가 결합캐패시터  $C_3$ 를 통해 수평동기 분리 회로에 입력된다. 여기서 저항  $R_6$ 는 집적회로 외부에서 접속해 주는 큰 값의 저항으로 무신호시 트랜지스터  $Q_6$ 의 베이스 전압을 약 0.4볼트 정도가 되도록 작은 전류를 흘리는 작용을 한다. 또한 결합콘덴서  $C_3$ 와 저항  $R_6$

및 트랜지스터  $Q_6$ 로 구성된 회로는 클램핑 회로를 구성한다.<sup>[1]</sup> 따라서 수평동기필터 회로에서 출력하는 역방향 합성비디오 신호는 클램핑 회로에 의해 그림3의 (c)와 같이 저항  $R_{10}$ 과 트랜지스터  $Q_5$ 로 이루어지는 클램프 전압 d에 의해 클램프되고, 트랜지스터  $Q_6$ 의 베이스·에미터간의 도통전압( $V_{BE}$ )으로 수평동기 신호의 크기에 관계없이 안정되게 수평동기 신호를 분리해 낼 수 있다. 그러므로 트랜지스터  $Q_6$ 의 베이스로 입력하는 클램프된 역방향 합성영상신호의 수평동기신호 (c)는 트랜지스터  $Q_6$ 의 포화 입력전압이 클램프전압 d가 될 때가 수평동기 신호일 때이므로, 수평동기 필터 회로인 저항  $R_6$  및 캐패시터  $C_2$ 를 거쳐 입력된 신호가 수평동기 신호일 때만 트랜지스터  $Q_6$ 을 “온” 시킨다. 따라서 수평동기 출력회로의 트랜지스터  $Q_6$ 은 “오프” 상태가 되어 출력단자에는  $V_{BB}$  (5볼트)의 전압이 출력하며, 반면에 트랜지스터  $Q_6$ 이 “오프” 상태가 되면 트랜지스터  $Q_4$ 은 “온” 상태가 되어 수평동기 출력단자에는 영볼트의 전압이 나타나므로 그림3의 (d)와 같이 수평동기 신호를 합성비디오 신호로부터 추출하여 출력해 낼 수 있다.<sup>[1]</sup> 한편 수평동기 분리 회로내의 트랜지스터  $Q_7$ 은 집적회로 내에서 약 7.5V의 제너 전압을 갖는 제너 다이오드로 동작하므로 저항  $R_{11}$ 의 크기를 줄이기 위해 사용한 것이다. 또한  $V_{BB}$  전압을 5V로 하여 수평동기 출력회로를 둔 것은 최대 크기가 5V인 TTL 신호 레벨의 수평동기 신호를 출력하고자 함이다.

그림 5는 수직동기분리에 따른 각 부분의 파형도를 도식적으로 나타내었다.

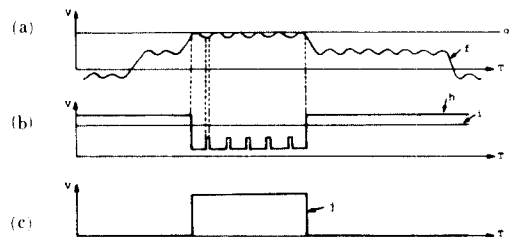


그림 5. 수직동기의 출력파형도  
Fig. 5. Output waveform diagram of vertical SYNC.

정방향 합성비디오 신호를 입력시켜 역방향 합성비디오 신호를 인버터 회로에서 출력시키는 것은 상술한 바와 동일하다. 인버터 회로에서 전력증폭되어 출력된 역방향 합성비디오 신호는 저항  $R_6$ 과 캐패시터  $C_4$ 로

구성된 수직동기필터 회로에 입력되어, 여기서 주파수가 높은 수평동기 신호가 제거된 후 수직동기 분리 회로에 입력된다.<sup>1),4),5),6)</sup>

그림 6은 수직동기 분리 회로를 나타낸다.

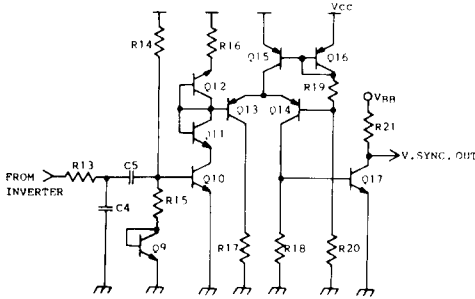


그림 6. 수직동기분리 회로  
Fig. 6. Vertical SYNC. separator circuit.

그림 5의 (a)와 같이 수직동기 필터를 거치면서 수평동기 신호가 제거된 비디오 신호 f는 트랜지스터 Q<sub>10</sub>의 베이스에 입력되며, Q<sub>10</sub>의 포화전압 및 클램프전압 g에 비디오 신호는 클램프된다. 그러나 비디오 신호 f의 첨두에는 약하게나마 등화펄스 잡음이 그대로 남아 있게 된다.

이 같이 클램프 전압에 클램프된 약한 등화펄스 잡음이 섞인 수평동기신호 부분이 Q<sub>10</sub>의 베이스에 입력되면, Q<sub>10</sub>은 도통되고, Q<sub>13</sub>의 베이스에는 Q<sub>10</sub>의 포화전압과 Q<sub>11</sub>의 다이오드 도통전압의 합에 해당하는 전압이 인가되며, 클램프가 안된 부분은 트랜지스터 Q<sub>10</sub>이 오프상태가 되므로 Q<sub>13</sub>의 베이스 전압은 Q<sub>10</sub>이 온 상태일 때의 Q<sub>13</sub> 베이스 전압보다 높은 전압을 유지하게 되므로 그림 5의 h와 같은 파형이 비교회로를 구성하는 Q<sub>13</sub>의 베이스에 등화펄스 잡음이 수직동기 신호에 실려 입력된다. 트랜지스터 Q<sub>12</sub>로 구성된 다이오드는 Q<sub>13</sub>의 베이스 전압을 안정되게 해 주는 역할을 한다. 한편 비교회로의 Q<sub>14</sub>의 베이스에는 트랜지스터 Q<sub>16</sub>으로 구성된 다이오드, 저항 R<sub>19</sub>와 R<sub>20</sub>으로 구성된 분압회로에 의해 일정한 비교전압이 그림 5의 i가 인가된다. 트랜지스터 Q<sub>14</sub>의 베이스에 인가되는 비교전압 i의 레벨을 등화펄스의 잡음레벨 보다 높게 설정시켜 준다. 따라서 트랜지스터 Q<sub>13</sub>과 Q<sub>14</sub>로 구성되는 비교기에<sup>2),3)</sup> 그림 5의 h신호가 Q<sub>13</sub>의 베이스에 입력되고, 일정비교전압 i가 Q<sub>14</sub>의 베이스에 입력되면 Q<sub>14</sub>의 콜렉터 출력은 그림 5 (c)와 반전된 파형이 출력하고, 이 출력이 수직동기 출력회로의 Q<sub>17</sub> 베이스에 입력되면 트

랜지스터 Q<sub>17</sub>의 콜렉터 전압은 그림 5의 (c)와 같이 등화펄스 잡음이 배제된 수직동기 출력신호를 TTL 레벨로 출력하게 된다.<sup>1)</sup>

그림 7은 합성동기 분리에 따른 각 부분의 파형도를 도식적으로 나타내었다.

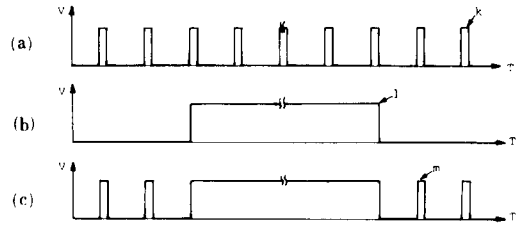


그림 7. 합성동기의 출력파형도  
Fig. 7. Output waveform diagram of composite SYNC.

수평동기 분리 회로로부터 그림 3 (d)와 반전된 파형이 합성동기 출력회로 Q<sub>18</sub>의 베이스로 입력되어, 콜렉터에는 그림 7의 (a)와 같은 수평동기 신호가 Q<sub>19</sub>의 베이스로 입력된다. 한편 트랜지스터 Q<sub>20</sub>의 베이스에는 비교회로로부터 (b)와 같은 수직동기 신호가 입력된다.

그림 8은 합성동기 분리 회로를 나타낸다.

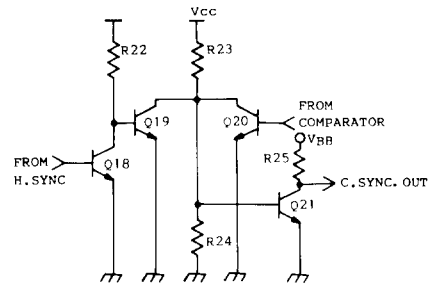


그림 8. 합성동기분리 회로  
Fig. 8. Composite SYNC. separator circuit.

트랜지스터 Q<sub>19</sub>-Q<sub>21</sub>과 저항 R<sub>23</sub>, R<sub>24</sub>로 구성된 부분은 OR gate를 형성한다. 즉, Q<sub>19</sub> 및 Q<sub>20</sub> 중에 어느 하나 또는 모두 도통이 되면, Q<sub>21</sub>은 오프상태가 되어 합성동기 출력단자에는 V<sub>BB</sub>의 전압이 나타나고, Q<sub>19</sub>·Q<sub>20</sub>이 모두 오프상태이면, Q<sub>21</sub>은 온상태이므로 출력단에는 '0' 상태의 전압이 나타난다.<sup>1)</sup> 따라서 그림 7 (a)의 파형이 트랜지스터 Q<sub>19</sub>의 베이스에 입력되고, (b)의 파형이 Q<sub>20</sub>의 베이스에 입력되면, 합성동기 출

력단자에는 (c)와 같은 수평·수직 합성동기 신호가 TTL 레벨로 출력하게 된다.

III. 측정 및 결과

설계, 제작된 IC는 그림9 와 같다.

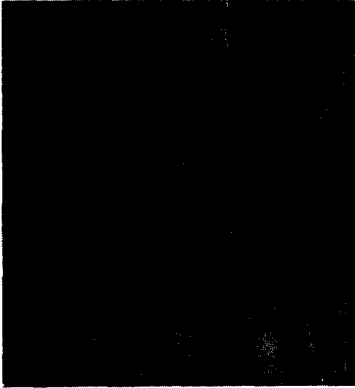


그림9. 제작된 IC  
Fig. 9. Fabricated IC.

SST bipolar standard process를 이용한 fullcustom IC로 제작하였으며, IC의 동작상태를 측정하기 위해서 그림10과 같은 test circuit을 구성하고, 수평동기신호와 수직동기신호 및 합성동기신호의 특성 파형을 측정 한 결과를 그림11의 (a), (b), (c), (d)에 각각 나타 내었다.

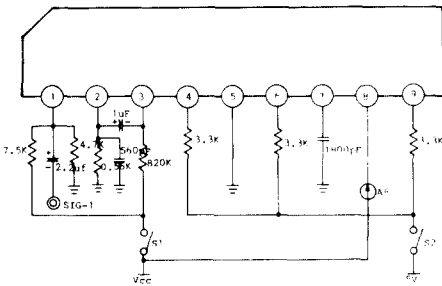
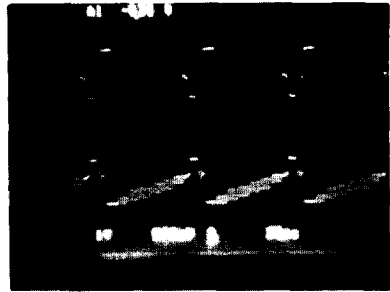


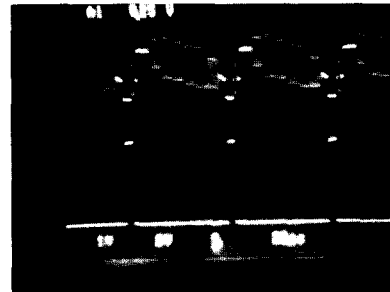
그림10. 테스트 회로  
Fig. 10. Test circuit.

여기서 (a)는 합성비디오 신호에 대한 인버터 회로의 출력파형을 나타내며 (b)는 수평동기신호의 출력파 형이고, (c)는 수직동기신호의 출력파형을 (d)는 합성 동기신호의 출력파형을 각각 나타낸다.

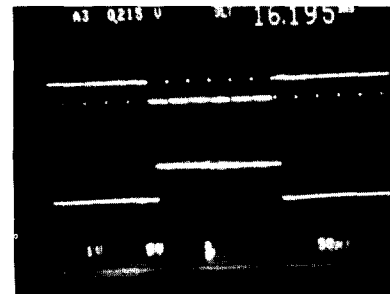
Test circuit을 구성하고 설계, 제작된 IC를 측정한



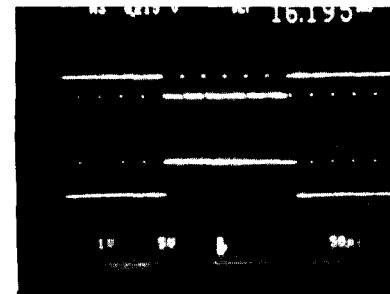
(a)



(b)



(c)



(d)

그림11. 출력파형  
Fig. 11. Output waveform.

결과 다음과 같은 원하는 특성을 얻었다.

- 1) 전원전압 margin range; 8V~15V
- 2) Composite video input margin range; 0.5V<sub>pp</sub>~4V<sub>pp</sub>
- 3) Composite video DC offset margin range; 3.5V~6.5V(정격전원전압: 12V)

#### IV. 結 論

수평·수직 및 합성동기신호 분리용 IC를 설계, 제작하였다. Test circuit을 구성하고 설계, 제작된 IC를 측정된 결과 양호한 회로특성으로 원하는 기능을 잘 수행함을 알 수 있으며, packaging하여 실제 system에 응용해 본 결과 system이 잘 동작함을 알 수 있었다. 이 본 연구를 성공적으로 수행함으로써 고품위의 모니터 컨트롤이나 비디오 프로세싱을 위한 기본 동기신호로 이용할 수 있게 되어, 보다 수월한 디지털 비디오 프로세싱의 컨트롤이 가능하게 되었다. 또한

경쟁력 있는 IC의 자체개발로 수출증대효과 및 기술축적효과를 얻을 수 있었으며, 향후 축적된 기술을 이용하여 high-technology가 요구되는 새로운 경쟁력 있는 IC의 개발에 응용할 수 있을 것으로 기대한다.

#### 參 考 文 獻

- [1] Bernard Grob, "Basic television principles and servicing", 1975.
- [2] Donald L. Schilling, Charles Belove, "Electronic circuits" McGraw-Hill, Inc., 1979.
- [3] Alan B. Grebene "Bipolar and Mos analog integrated circuit design", A Wiley-Interscience Publication, 1984.
- [4] VI85-098, "SST technical report."
- [5] VI85-112, "SST technical report."
- [6] VI85-137, "SST technical report."