

Built-In Self Test 방식에 의한 순서회로의 설계 (Design of Sequential Circuit Using Built-In Self Test Method)

魯承容*, 林寅七**

(Seung Ryong Rho and In Chil Lim)

要約

본 논문은 LSSD와 다기능 BILBO의 장점을 이용하여, Built-in self test 방식에 의한 순서회로의 설계방법을 제안한다.

Hardware의 절감을 위해, 한 개의 다기능 BILBO에서 NLFSR과 LFSR의 동작을 같이 검할 수 있으며, 검사신호에 대한 입-출력을 동일 선로에서 이용될 수 있도록 설계하였다. 제안된 다기능 BILBO을 순서논리 PLA에 적용하므로써, 검사동작시 검사패턴수와 부가회로는 감소되었으며, 정상동작시에는 신호의 전파지연을 일으키지 않도록 하였다. 또한, 검사를 위한 대규모 순서회로를 분할하는 방법도 제안하여, 검사패턴수와 부가회로가 매우 감소됨을 보였다.

Abstract

In this paper, a design method for sequential circuit which is easy to have Built-in Self Test is proposed using the functional advantages of multifunctional BILBO and LSSD.

To achieve the hardware reduction, it is designed that a multifunctional BILBO has double operational functions of NLFSR and LFSR, when necessary, and that test signal could be used as an input-output signal in the same line.

By applying the proposed multifunctional BILBO to the sequential PLA, the test patterns and the additional circuit could be reduced in test operation and the propagation delay is vanished in normal operation, as we expected.

Above them, the partitioned method for large scale sequential circuit is also suggested and it is observed that test patterns and additional circuit in them reduced by this method.

I. 서론

VLSI기술의 급격한 발전으로 집적도가 크게 증가되면서 그의 검사방식(test method) 기술도 더욱 중요시되고 있다. 종래의 검사방법들은 회로의 모든 가능한 고장들을 모델화 하여야 하며, 이러한 고장들을 검출하기 위한 검사패턴의 생성 알고리즘이 필요하고 또한 검사응답 비용이 많이 들었다. 최근 관심을 모으고 있

는 built-in self test 방식은 고장 모델화가 필요없고 검사패턴을 따로 구할 필요가 없으므로 그의 연구가 활발히 진행되고 있다.¹⁾ 그러나 순서회로(sequential logic)의 built-in self test는 입·출력과 feed back 회로의 처리 및 신호의 전송 지연(propagation delay)을 고려해야 하므로 아직까지 이 방식의 적용이 용이하지 못하였다. E. B Eichelberger과 T. W Williams²⁾은 신호의 hazard나 race등을 발생시키지 않고 순서회로를 조합회로(combinational logic)에서와 같이 검사할 수 있는 LSSD(level sensitive scan design)방식을 연구하였다. 또한 Wilfred Daehn³⁾ 등은 PLA (programmable logic array)를 built-in test 하기위해 검사패턴의 수가

*正會員, 서울시立大 電子工學科
(Dept. of Elec. Eng., Seoul City Univ.)

**正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1987年 3月 20日

적은 NLFSR(nonlinear feedback shift register)의 사용방법을 제안하였다. 그러나 이 방식은 CUT(circuit under test)가 정상동작을 할 때, 정상신호가 BILBO(built-in logic block observation)의 래치(latch)들을 통과하게 되므로 지연시간이 길어지는 단점이 있으며, BILBO에서 LFSR(linear feedback shift register)기능과 NLFSR 기능을 같이 결합 수가 없어 부가회로가 증가되며 입력 decoder를 검사할 수 없는 문제점을 갖는다.

본 논문에서는 이러한 결점을 개선하기 위해 래치들을 shift register로 구성할 수 있는 LSSD(그림1)의 장점과 새로운 다기능 BILBO를 설계하여 built-in self test 방식에 의한 순서회로의 설계를 제안한다. 즉, feedback 회로를 갖는 순서회로에 별도의 BILBO(그림 2)를 사용하지 않고 순서회로의 래치를 BILBO화 한다. 따라서 검사를 위한 부가회로는 줄일 수 있었으며, 더우기 검사패턴의 수가 적은 NLFSR 기능을 갖는 새로운 다기능 BILBO도 설계한다.

이 BILBO는 비선형적(NLFSR)으로 검사패턴을 생성하고 선형적(LFSR)으로는 signature analysis을 할 수 있게 한다. 또한 CUT가 정상동작을 할 때는 정상 신호가 BILBO를 통과하지 않게되어 신호의 전송지연을 일으키지 않고 검사시간의 감소와 hardware를 줄이는 이점을 갖게 한다. 순서논리 PLA를 검사하기 위해, 제안한 다기능 BILBO와 feedback 회로에 multiplexer를 사용하여 순서논리 PLA에 대한 built-in self test 방법을 적용한다. 그 결과, 필요한 검사패턴수는 매우 감소되며 검사시간을 단축시킬 수 있었다. 더우기 회로의 집적도가 크게 증가하면

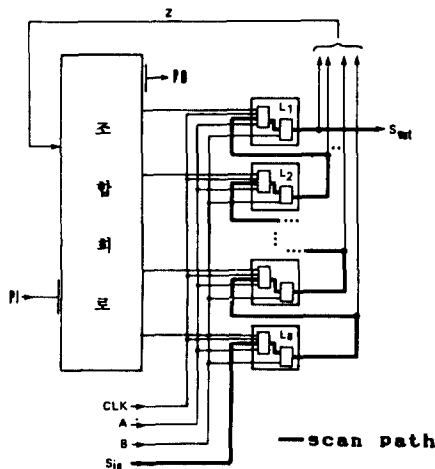


그림 1. LSSD의 기본구성
Fig. 1. Basic LSSD Configuration.

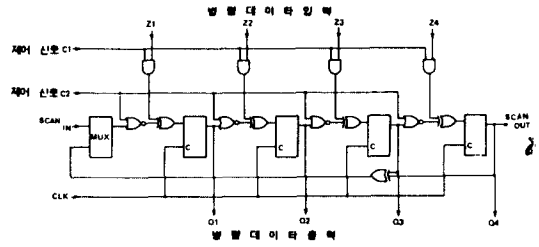


그림 2. 4-비트 BILBO
Fig. 2. 4-bit BILBO Element.

검사패턴의 수도 크게 증가되므로 multiplexer에 의한 순서회로의 분할방법도 제한한다. 즉, 다수의 입·출력을 가진 회로에 built-in self test방법을 적용하면, BILBO의 TPG(test pattern generator)에서 발생가능한 모든 검사패턴들은 $2^n - 1$ 개이므로⁶⁾ (n은 입력수) 검사패턴수가 매우 많아진다. 그러나 회로분할 후의 검사패턴 수는 $(2^{n_1+L_{12}+f_{1,1}} - 1) + (2^{n_2+L_{22}+f_{2,2}} - 1)$ 개가 생성되어 검사패턴의 수를 단축시킬 수 있다. (여기서 $n_1 > L_{12} + f_{1,1}$, $n_2 > (L_{12} + f_{1,2})$, $n = n_1 + n_2$ 이다.)

II. Built-In Self Test

Built-in self test의 기본형태는⁷⁾ 그림 3 과 같이 검사할 회로의 입력측과 출력측에 검사패턴을 생성하는 BILBO와 검사응답을 압축, 저장하는 BILBO가 첨가되어 디지털회로를 자체검사하는 형태이다.

BILBO의 기능에는 정상동작기능, reset 기능, scan path 기능과 LFSR 기능이 있고, LFSR 기능에는 pr-TPG(pseudo random-test pattern generator)기능과

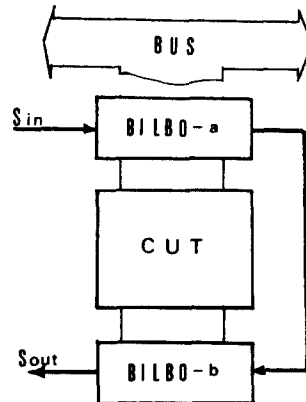


그림 3. Built-In Self Test의 기본형태
Fig. 3. Basic Form of Built-In Self Test.

CRC(cyclic redundancy check) signature generator 기능이 있다. Pr-TPG의 기능은 CUT(circuit under test)를 검사하기 위해 필요한 검사패턴을 생성하는 역할을 하며, CRC signature generator 기능은 CUT에서 나온 신호를 압축하는 역할을 한다.

그림 4 (a)의 순서논리회로를 built-in test하기 위해서는 원시입력 PI(primary input), 원시출력 PO(primary output)와 feedback 회로에 있어서 정상동작과 검사동작시 어떻게 회로를 처리할 것인가에 있다. 조합논리 회로에서는 출력단자가 모두 원시출력이다. 그러나 순서논리회로에서는 원시출력 이외에 feedback line이 있으므로 BILBO의 부착이 용이하지 못하였다.

본 연구는 순서논리회로의 기억소자(feedback latch)에 BILBO를 첨가하여 신호를 signature analysis 할 때 race 문제를 일으켜 검사를 어렵게 하므로 별도의 BILBO를 사용하지 않고, 그림 4 (b)와 같이 순서논리회로의 feedback 래치자체를 BILBO화하여 LS-SD 래치로 사용한다. 따라서 순서논리회로의 검사level sensitive와 같은 검사가 이루어지도록 설계 하였다.

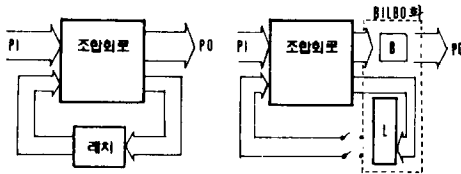


그림 4. 순서논리회로에서 래치의 BILBO화
Fig. 4. BILBO Using Latch of Sequential Circuit.

그림 5는 순서논리 회로를 built-in self test하기 위하여 BILBO내에 feedback 선택회로를 첨가한 n-비트다 다기능(multi-functional) BILBO를 나타내고 있다. 여기서 feedback 선택회로는 검사패턴 생성시에 NLFSR을 선택하고 signature analysis의 동작시에는 LFSR을 선택한다. 즉, C_1 이 '0'이면, feedback 선택회로의 출력 f는 NLFSR을 선택하고, C_1 이 '1'이면, 출력 f는 LFSR을 선택한다. 따라서 이 BILBO는 그림 6과 같이 c_1 의 제어신호에 따라 TPG, MISR(multiple input signature register)의 기능을 완전히 분리하여 수행한다. 또한 tri-state buffer을 첨가하여, TPG의 출력과 MISR의 입력을 같은 선으로 처리했다. 즉 이와같은 회로구조는 CUT가 정상동작을 실행할 때 정상적인 신호가 BILBO의 래치들을 통과하지 않게하고, PLA와 같은 CUT에 있어서는 BILBO를 회로외부에 쉽

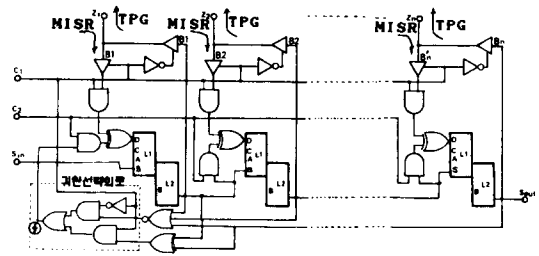
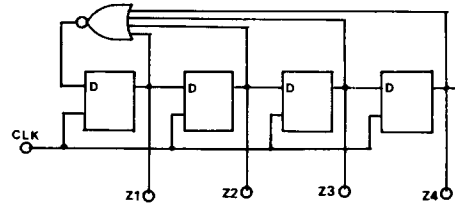
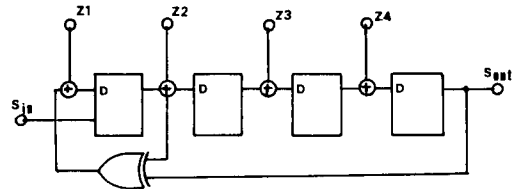


그림 5. 다기능 BILBO
Fig. 5. Multi-Functional BILBO.



(a) NLFSR ($c_1 = 0$: TPG)



(b) MISR ($c_1 = 1$: signature analysis
 \oplus : modulo-2 sum)

그림 6. 4-bit 다기능 BILBO의 동작
Fig. 6. Operation of 4-bit Multifunctional BILBO.

게 부착시킬 수 있다. Tri-state buffer의 동작은 다음과 같다. $C_1 = 0$ 이고 $C_2 = 1$ 이면 buffer B_1, B_2, \dots, B_n 은 enable 되고, B'_1, B'_2, \dots, B'_n 은 open되어 BILBO에서 생성된 검사패턴이 Z_1, Z_2, \dots, Z_n 을 통해 검사할 회로로 나가게 된다. $C_1 = 1, C_2 = 1$ 일 경우 B_1, B_2, \dots, B_n 은 open되고, B'_1, B'_2, \dots, B'_n 은 enable되어 BILBO는 Z_1, Z_2, \dots, Z_n 을 통해서 신호를 받아들여 signature analysis 동작을 수행하게 된다. 그림 5의 다기능 BILBO는 이외에도 여러 기능을 갖고 있는데 이들을 표 1에 나타내었다. 이와 같은 BILBO를 순서PLA에 사용하면 정상동작에는 아무런 영향을 미치지 않고 순서PLA를 용이하게 검사할 수 있다.

III. BILBO에 의한 순서논리 PLA의 설계

조합논리의 PLA 회로는 2level NOR array, inver-

표 1. 다기능 BILBO의 기능

Table 1. Functions of Multifunctional BILBO.

C ₁	C ₂	진송 방식	기능	클럭
-	-	Scan mode	Scan path	A, B
0	0	입력 mode	Reset	C, B
0	1	출력 mode	TPG	C, B
1	0	입력 mode	정상동작	없음
1	1	입력 mode	MISR	C, B

ter 및 decoder로 구성된 sum of products 형태이지만, 순서논리 PLA 회로는 조합논리 PLA의 구성에 feedback 회로(latch)를 부가하여 실현한다. PLA의 built-inself test에 있어서, 검사응답해석에 관한 signature analysis 기능은 만족하게 수행된다고 볼 수 있지만, 검사패턴발생에 관한 Pr 검사패턴을 사용할 경우, $2^n - 1$ (n은 입력수) 개의 패턴들이 생성되므로 규모가 큰 PLA에서는 검사패턴이 길어진다. 따라서 검사패턴의 생성은 PLA의 규칙적인 구조를 고려한 NLFSR(비선형 귀환 시프트레지스터)을 사용하면 필요한 검사패턴들의 집합만 구할 수 있어, 효과적인 검사를 수행할 수 있다. Built-in self test의 기본형태는 그림 3 과 같이 검사할 회로(CUT)의 입력측과 출력측에 각각 한 개씩의 BILBO를 첨가 하기때문에, PLA와 같이 검사할 회로의 부분이 많을 경우, 규모가 큰 BILBO가 필요하게 된다. 따라서 본 연구는 built-in self test가 용이한 순서논리 PLA의 설계를 위해, 2 개의 NOR plane과 feedback 래치를 3 개의 BILBO와 함께 구성하여 순서논리 PLA의 검사를 가능하게 하였다.

그림 7 에서와 같이 feedback 래치는 multiplexer에 의해, 정상적인 순서회로구성을 위해서는 NOR plane-1의 입력과 연결되지만, 검사시에는 차단되게 한다. 따라서 래치 자체를 BILBO화 시켜, level sensitive 하게 검사할 수 있도록 하였다. 그림 7 의 회로구성을 대략적으로 설명하면 다음과 같다.

1. NOR plane-1과 decoder의 검사를 위해 BILBO-a를 입력단 반대편에 부착한다.

2. 정상동작을 위해, feedback 회로에서는 feedback line의 수만큼 multiplexer를 사용하여 NOR plane-1의 입력으로 연결할 수 있게한다. Multiplexer는 검사동작시, BILBO-a의 출력선 일부를 NOR plane-1의 귀환 입력선과 연결하고 feedback 래치와는 차단하는 기능을 갖는다(그림 8 참조).

3. NOR plane-2의 출력단자 중에 그의 일부를 feedback 래치로 보내고, 나머지는 원시출력으로 한다. Feedback 래치는 BILBO-C와 함께 NOR plane-2의

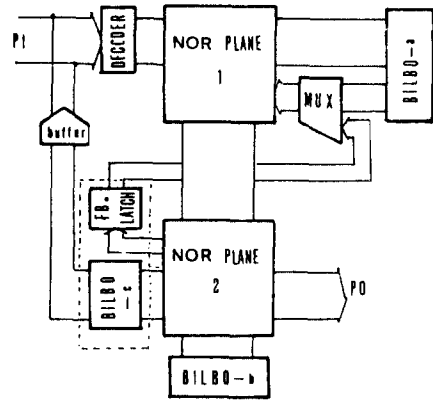
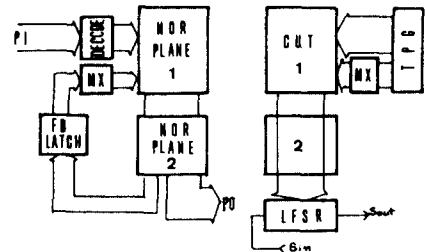


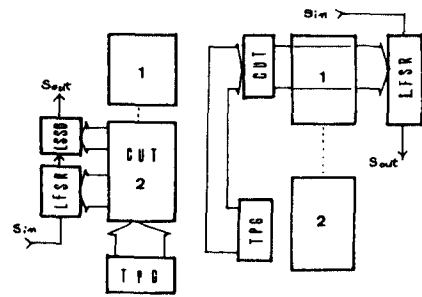
그림 7. 순서논리 PLA의 검사회로

Fig. 7. Test Circuit of Sequential PLA.



(a) 정상동작

(b) NOR Plane-1 검사



(c) NOR Plane-2 검사

(d) Decoder 검사

그림 8. 그림 7의 정상동작과 검사동작

Fig. 8. Normal and Test Operation for Fig. 7.

검사를 위해, signature analysis의 역할을 할 수 있게 한다(그림 8 참조).

4. BILBO-b는 BILBO-a의 TPG에 대한 NOR plane-1의 검사응답을 선형적으로 signature analysis 하거나, 또는 NOR plane-2에 비선형적으로 검사패턴을 인가할 수 있도록, NOR plane-2의 입력측 반대편에 부착한다. 한편 BILBO-a와 BILBO-b의 구성은 각각 한 개의 BILBO로 LFSR기능과 NLFSR 기능을 수행할 수 있도록 BILBO 내에 feedback 선택회로를 포

합시킨다. (그림 8 참조) 또한 검사 data가 동일한 선로에서 입력 또는 출력으로 이용될 수 있도록 BILBO 내에 tri-state buffer를 사용한다.

5. 입력측 decoder를 검사할 수 있도록 BILBO-C와 원시입력 사이에 tri-state buffer를 삽입하여 그림 9와 같이 구성한다. 그림 9의 입력측 decode 회로는 정상동작시 BILBO-C가 $C_1=1, C_2=0$ 일 때에, tri-state buffer는 고저항으로 되어 BILBO-C와 decoder의 입력회로를 차단한다. 또한 BILBO-C가 $C_1=0, C_2=1$ 인 검사상태에서는 BILBO-C의 검사패턴이 decoder의 입력으로 송출된다.

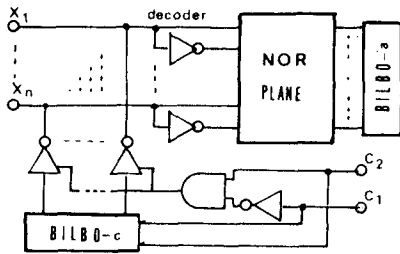


그림 9. Decoder 검사회로
Fig. 9. Decoder Test Circuit.

이렇게 구성된 순서논리 PLA의 정상동작과 검사동작은 각각 다음과 같다.

(정상동작)

○BILBO의 제어선을 $C_1=1, C_2=0$ 으로 set하고 clock pulse을 인가하지 않으면, BILBO는 PLA에서 제거되어 순서논리 PLA는 정상동작을 수행한다. 단, 이때 순서회로를 구성하도록 multiplexer는 feedback 래치와 NOR plane-1의 입력을 연결시켜 준다.

(검사동작)

○BILBO의 C_1, C_2 을 제어하여 순서논리 PLA를 검사상태로 동작시킨다. 먼저 BILBO-a(TPG)와 BILBO-b(signature analysis)를 한 쌍으로 해서 NOR plane-1을 검사하고, BILBO-b(TPG)와 BILBO-c(BILBO화 된 feedback 래치를 포함하며 signature analysis 기능을 갖는다)을 한 쌍으로 해서 NOR plane-2을 검사한다. 여기서 TPG는 NLFSR(비선형적) 형태로, signature analysis는 LFSR(선형적) 형태로 구성한다. 또한 BILBO-c(TPG)와 BILBO-a(signature analysis)를 한 쌍으로 하여 입력 decoder 회로를 검사한다. 각 검사결과는 BILBO의 scan 동작으로 Sout(scan out) 단자를 통해 외부로 출력된다. 즉, BILBO을 순서논리 PLA의 외부에 부착함으로써

서 정상동작 신호의 전송지연을 제거할 수 있게 한다. BILBO에 의한 순서논리 PLA의 검사절차는 다음과 같다.

(절차1) Feedback 래치를 검사한다. 즉, 래치의 clock 단자 A, B를 제어하여 래치를 scan path 동작으로 바꾸고, sin(scan in) 단자로 임의의 검사패턴을 인가하여, 출력의 정상 data와 비교하므로써 고장을 검출한다.

(절차2) NOR plane-1의 검사를 위해, BILBO-a의 제어선을 $C_1=0, C_2=1$ 로 set, BILBO-b의 제어선을 $C_1=1, C_2=1$ 로 set한다. 따라서 BILBO-a는 TPG(NLFSR) 동작을, BILBO-b는 signature analysis(LFSR) 동작을 수행한다. 이때 NOR plane-1의 입력 일부는 multiplexer에 의해 feedback 래치와는 차단되고, BILBO-a(TPG)의 출력 일부와 연결된다. BILBO의 TPG(NLFSR) 기능은 문헌(4)에서 잘 알려진바와 같이 규칙적인 구조를 갖는 PLA의 검사에서는 NLFSR의 형태가 거의 일정하다. 그러나 Adder, Timing Generator와 같은 CUT에서는 이들 회로의 검사패턴을 별도로 조사하여 이 패턴들을 ordering⁸ 하므로써 쉽게 NLFSR을 설계할 수 있다. 한편 BILBO의 signature analysis(LFSR) 기능은 error collection의 code 이론^{9,10}에 의해 동작되며, CUT에서 나온 검사응답들을 BILBO의 각 래치에 인가하여, 그들의 시프트 작용에 따라 최종상태를 Sout 단자로 보내므로써 정상data와 비교하여 고장을 검출한다.

(절차3) NOR plane-2을 검사한다. BILBO-b는 제어선 $C_1=0, C_2=1$ 에 따라 TPG(NLFSR) 상태로 동작시켜 NOR plane-2에 검사패턴을 인가한다. 또한 NOR plane-1과 차단된 feedback 래치는 그림 1과 같이 scan path에 의해 LSSD작용을 하고, BILBO-c는 제어선 $C_1=1, C_2=1$ 에 의해 LFSR 상태로 되어 signature analysis를 수행한다. 따라서 (절차2)와 같이 최종상태는 Sout 단자로 보내 정상 data와 비교하므로써 고장을 검출한다.

(절차4) 입력측 decoder 회로를 검사한다. BILBO-c는 제어선 $C_1=0, C_2=1$ 에 의해 TPG(NLFSR) 상태로 되고, BILBO-a는 $C_1=1, C_2=1$ 에 의해 signature analysis(LFSR) 상태로 되어 self 검사를 한다. 이때 검사패턴은 tri-state buffer를 통해 입력측 decoder 회로에 인가한다. 따라서 검사응답은 BILBO의 래치에 남은 최종상태를 관찰하므로써 고장을 검출한다.

PLA에서 일어날 수 있는 논리적고장 모델은 stuck 고장, 단락고장 및 접점고장이 있다.¹¹ Stuck 고장은

PLA의 입·출력 적항선에서 s-a-1(stuck-at-1)과 s-a-0(stuck-at-0) 고장을 말한다. PLA의 각 적항선이 NOR의 논리함수라고 하면, PLA의 s-a-1 입력고장은 검사패턴을 모두 '0'으로 인가하여 검출하고, s-a-0 입력고장은 검사대상의 입력선을 '1'로, 나머지는 '0'으로 하여 검출한다. 또한 s-a-0 출력고장은 s-a-1 입력고장을 검사하는 검사패턴으로, s-a-1 출력고장은 s-a-0 입력고장을 검사하는 검사패턴으로 검출된다. 따라서 k개의 입력을 갖는 NOR gate에서는 stuck 고장검출에 필요한 검사패턴이 (k+1)개⁴⁾이다. 이러한 검사패턴은 모든 단락고장과 대부분의 다중고장도 검출할 수 있다. 단락된 2선의 단락고장은 NMOS에서 잘 알려진 것처럼 논리적으로 AND gate화 할 수 있다. 단락고장의 검사는 같은 gate로 입력되는 입력선 간의 단락 뿐만 아니라 다른 gate로 입력되는 입력선 간의 단락에 대해서도 그림10과 같은 검사패턴으로 검출할 수 있다. NOR plane의 출력선 간의 단락고장은 입력이 최소한 1개 이상 다르다면 같은 검사패턴으로 고장검출이 가능하다.⁴⁾ 따라서 단락고장의 검사패턴은 stuck 고장의 검사패턴과 동일함을 알 수 있다.

접점고장은 PLA의 특정한 접점에서서의 extra device나 missing device에 의해 나타난다. 접점고장은 NOR plane에서 한 개의 입력이 '1'이면 출력이 '0'이 되므로 MOS 소자가 더 생성되었거나 소멸되었을 때 그림 8과 같은 검사패턴으로 고장을 검출할 수 있다. 이상의 stuck 고장, 단락고장 및 접점고장은 모두 동일한 검사패턴으로 검출된다.

한편 검사패턴의 수에 관해서 원시입력이 n개 이고 feedback이 m개인 순서논리 PLA를 검사하려면, 종래

표 2. 그림10에서 PLA의 정상출력과 고장출력
Table 2. Normal and Fault Output of PLA at Fig. 10.

정 상	고 장 (고장종류)
1 1 1 1 1	- - - - -
0 1 1 0 1	1 1 1 1 1 a의 s-a-0
1 0 0 1 0	1 0 1 1 0 c의 missing
0 1 1 1 0	1 1 1 1 0 b의 s-a-0
1 1 0 1 1	1 1 1 1 1 f의 short
1 1 0 1 1	1 1 1 1 1 f의 short
1 0 0 1 1	1 1 0 1 1 d의 missing
0 1 1 1 0	1 0 0 0 1 e의 extra
	- - - - -

의 방식으로는 검사패턴이 $(2^{n+m}-1)$ 개가 필요하여 이들 검사패턴은 2개의 NOR plane과 decoder를 갖는 순서논리 PLA에서는 비효율적이다. 본 설계방식의 검사패턴 수는 NOR plane-1이 $(2n+m+1)$ 개, NOR plane-2는 $(\ell+1)$ 개(여기서 ℓ 은 적항선의 수이다.)이고, decoder 검사에는 $(n+1)$ 개가 필요하여 검사패턴이 모두 $(3n+m+\ell+3)$ 개이다. 따라서 검사패턴의 수가 매우 감소됨을 알 수 있다.

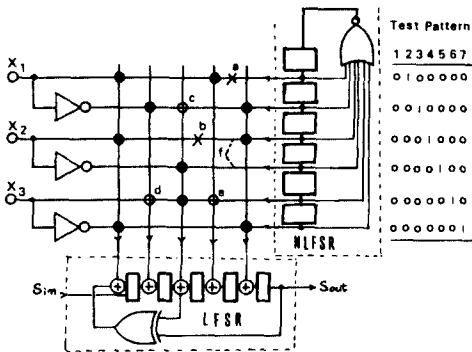
PLA의 built-in self test 설계는 대부분 조합논리 PLA에서 고장검출능력, 검사패턴 길이 및 부가회로 삽입방법 등에 관해 최근 많은 연구가^{2,4,6)} 계속 진행되고 있다.

본 설계방법은 다기능 BILBO에 의한 순서논리 PLA의 built-in self test 방식으로써 종래의 PLA의 고장 검사 방식보다 다음과 같은 잇점을 갖는다.

첫째, 검사패턴 발생과 인가가 용이하다. 즉, 순서논리 회로의 feedback 회로를 차단하고 feedback 래지를 LSSD 설계방식으로 사용하여 고장검사가 어려운 순서논리 PLA를 조합논리 PLA의 검사처럼 검사패턴을 발생할 수 있다.

둘째, 검사패턴 생성을 위한 알고리즘이 필요없다. 입력변수에 따라 검사패턴을 발생하는 종래의 방법에 비해서 검사패턴이 출력함수에 무관하게 자동적으로 생성되므로 특별한 알고리즘이 필요없다. 따라서 검사비용이 절약된다.

셋째, 검사패턴의 수가 감소한다. 순서논리 PLA를 검사하기 위해 종래의 방법으로는 $(2^{n+m}-1)$ 개의 검사패턴이 필요하였지만 여기서는 그 수가 $(3n+m+\ell+3)$ 개로 감소되어 검사패턴 발생에 필요한 비용과 시간이 감소한다. 그러나 그밖의 특별한 CUT에 따라서는 미리 주어진 검사패턴의 ordering 과정에 의해 link vector 가 많이 발생할 수 있으므로 검사패턴이 증가할 수도 있다. 따라서 앞으로 이 문제가 NLFSR의 과제가 되겠다. 그렇지만 종래의 (2^n-1) 개 보다는 매우 적다.



- a : (s-a-0) 고장
- b : (s-a-0) 고장
- c : missing 고장
- d : missing 고장
- e : extra 고장
- f : short 고장

그림10. PLA의 고장모델
Fig. 10. PLA Fault model.

넷째, 검사평가(test evaluation)가 용이하다. BILBO를 이용하지 않은 종래의 방법으로는 각 검사패턴수에 따라 대응되는 출력을 모두 평가하므로써 많은 시간 낭비가 초래되었지만 여기서는 signature analysis의 최종 출력으로 모든 검사패턴의 결과가 압축, 저장되므로 평가가 용이하다.

다섯째, 검사패턴을 저장하기 위한 기억소자(memory device)가 필요없다. BILBO를 사용하지 않은 종래의 방법으로는 검사평가를 위해 각 검사패턴수의 입력과 응답에 대한 많은 기억소자가 필요하였다. 여기서는 검사패턴생성이 NFLSR에 의해 자동적으로 발생되고 LFSR 자체가 최종결과를 저장하므로 최종응답을 저장하는 기억소자만 필요하다. 또한 built-in test 방식의 부가회로는 입, 출력 수와 적항수에 따라 증가하겠지만 VLSI 설계에 있어서 PLA 면적을 F라 할때 부가되는 회로의 면적은 근사적으로 \sqrt{F} 에 비례한다.⁴⁾ 따라서 입, 출력 수와 적항수가 점차 증가되고 있는 PLA는 그의 검사비용이 크게 증가되지 않을 것으로 기대한다.

IV. 순서회로의 분할

대규모 VLSI의 등장에 따라 검사를 위한 회로분할도 근래에 많은 연구를 하고 있다. 최근 검사를 위한 조합회로에서의 회로분할은, pipeline 방식 및 multiplexer에 의한 분할방식 등이 보고되고 있지만,^{16,17)} 순서회로에 대한 분할방식은 그리 많지 않다. 따라서 본 연구는 순서회로의 feedback 래치를 BILBO화하여 built-in self test가 용이한 순서회로의 분할방식을 제안한다. 집적도가 높은 회로를 검사할 경우, 입·출력 수 증가에 따라 pr검사패턴의 수가 크게 증가하여 검사시간이 매우 길어진다.¹⁸⁾ 따라서 큰 회로는 적당한 입력수를 갖는 모듈(module)로 나누어 검사할 필요가 있다. 회로의 입력수가 $(n=n_1+n_2)$ 개로 되어 있다면 각각 두개의 모듈로 나눌 수 있다. 순서논리회로에서는 원시입력과 feedback line과 모듈 사이의 신호선으로 검사패턴을 인가해야 하므로 충분히 pr검사패턴의 수를 줄일 수 있도록 $(n+fL) \geq \max\{(n_1+L_{21}+fL_2), (n_2+L_{12}+fL_1)\}$ 의 조건을 만족해야 효과적으로 분할되었다고 할 수 있다. 여기서 L_{12} , L_{21} 는 각 모듈사이의 내부연결선의 수이며, BILBO의 검사패턴의 수가 많지 않도록 모듈 사이의 내부연결선의 수가 최소인 곳에서 나누어야 한다. 또한 $fL=fL_1+fL_2$ 의 관계로서 fL_1 은 모듈 1로 입력되는 feedback line의 수이고 fL_2 는 모듈 2로 입력되는 feedback line의 수이다. 순서논리회로의 분할을 그림11에 나타냈다. 원시입력은 BI-

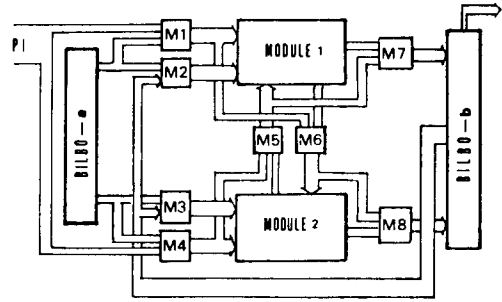
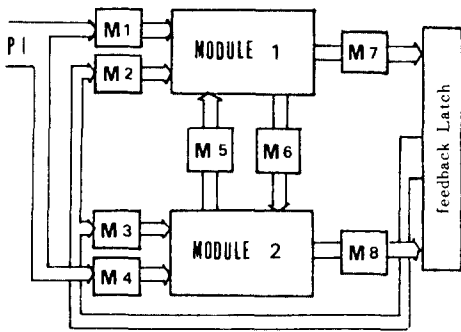


그림11. 순서논리회로의 분할방법
Fig. 11. Sequential Circuit Partitioning Scheme.

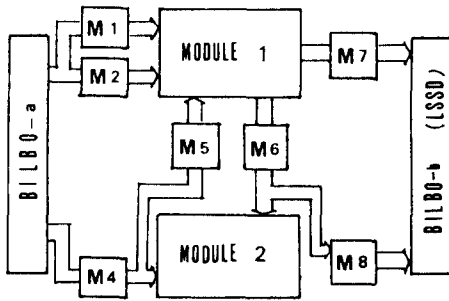
LBO-a의 출력과 함께 multiplexer M1과 M4에 의해 제어되어 정상동작시에는 원시입력이 선택되고, 검사동작시에는 BILBO-a의 출력이 선택된다. M2와 M3의 역할은 정상동작시 feedback line이 선택되고, 검사동작시 BILBO-a의 출력이 선택되도록 제어한다. BILBO-b는 순서회로의 feedback 래치에 한개의 다른 래치를 첨가하여 그림 1과 같은 LSSD 기능을 갖도록 했다. 따라서 BILBO-b는 순서회로의 feedback 래치를 BILBO화 하여 signature analysis를 할 수 있게 했다. 정상동작시 M5와 M6은 모듈 1과 모듈 2 사이의 내부신호만을 제어하고, 검사동작시 M1과 M4에서 검사패턴을 받아들이거나, 모듈의 출력을 통과시키게 한다. M7과 M8은 각 모듈의 출력을 통과시키거나, M5 또는 M6을 통과한 모듈의 출력을 통과시키게 한다. 순서회로의 feedback 래치를 갖는 BILBO-b는 병렬입력이 가능한 MISR로 설계하여, 한 개의 BILBO 로도 모든 CUT의 출력을 받아서 충분히 signature analysis 할 수 있게 한다. 또한 회로분할시, multiplexer의 증가로 hardware의 복잡도가 예상되지만 BILBO 또는 규모가 큰 CUT와 비교하여 상대적으로 매우 적은 범위를 차지하므로 큰 문제는 없다. BILBO-a의 pr-TPG는 검사대상의 모듈에 따라 clock pulse에 의해 모듈 1에는 $2^{(n_1+L_{12}+fL_1)}-1$ 개, 모듈 2에는 $2^{(n_2+L_{21}+fL_2)}-1$ 개의 pr검사패턴을 생성한다. 예를 들어 n(입력수) = 16, fL(feedback line 수) = 4인 회로에서 분할후의 두 모듈은 각각 $n_1=8$, $n_2=8$, $fL_1=2$, $fL_2=2$, $L_{21}=2$, $L_{12}=2$ 라고 하면, 분할전의 검사패턴은 $2^{(16+4)}-1 = 1,048,575$ 개가 필요하지만 분할후의 검사패턴은 $(2^{(8+2+2)}-1) + (2^{(8+2+2)}-1) = 8,190$ 개가 필요하게 되어, 회로 분할후의 검사패턴 수는 매우 감소됨을 알 수 있다.

BILBO-b는 제어선 $C_1=1$, $C_2=1$ 에 의해 CRC signature generator로 동작하며, 그림 5의 clock C, B

를 제어하여 $(2^{n_1+n_2+...+n_k}-1)$ 번의 signature analysis 를 수행한다. 이와같은 MISR이 n비트(bit)로 신호를 압축하는 검사과정에서 오차가 존재할 수 있는 확률은 문헌(13)에서 알려진 바와 같이 $1/2^n$ 이므로 검사하려는 회로의 고장검출율은 $(1-1/2^n) \times 100$ (%)이다. 따라서 입력수 n(register의 비트 수)이 증가함에 따라 더욱 높은 고장 검출율을 얻을 수 있다. 회로분할 후의 검사 절차는 모듈 1 과 모듈 2 를 순서대로 각각 검사하며, 두 모듈의 검사방법은 동일하다. 정상동작과 모듈 1 의 검사동작을 그림12에 각각 나타내었다.



(a) 정상동작



(b) 모듈 1 의 검사동작

그림12. 분할회로의 동작

Fig. 12. Operation of Partitioned Circuit.

V. 결 론

본 논문은 built-in self test 방식에 의한 순서회로 설계방법을 제안했다. 제안한 설계방법의 특징을 요약하면 다음과 같다.

1. 순서회로에 대한 built-in self test가 효과적으로 수행할 수 있도록 feedback 래치 자체를 LSSD 기능을 갖는 BILBO로 설계했다.

2. BILBO를 비선형적(NLFSR)으로는 검사패턴을 생성하고, 선형적(LFSR)으로는 signature analysis 할 수 있게 하여 검사패턴 수와 부가 hardware를 감소시켰다.

3. 이 방식을 순서논리 PLA에 적용한 결과, BILBO를 PLA 외부에 부착함으로써, 정상동작시 종래의 긴점인 신호의 전송지연을 제거시켰다.

4. 규모가 큰 순서회로를 multiplexer에 의해 분할 검사하였다. 따라서 검사패턴수 많이 감소되었다.

즉, 종래의 built-in self test 방법에서 구체적으로 다루지 않던 순서논리 회로의 검사를 가능케 했다. 본 검사 방식의 이용으로 순서제어와 data manipulator에 많이 사용되는 순서논리 PLA에 검사시간과 검사비용의 절감효과가 크게 기대된다. 앞으로의 과제는 NLFSR을 일반적인 CUT에 적용할 때, 그들 검사패턴의 ordering 과정에서 발생하는 link vector를 어떻게 감소시키느냐가 문제이다. 이 문제가 해결되면 CMOS 검사에 매우 유용할 것으로 예상된다.

參 考 文 獻

- [1] Patrick P. Fassang, "BIDCO, built-in digital circuit observer," *IEEE Test Conf.*, pp. 261-266, Oct. 1980
- [2] Edward J. McCluskey, "Built-in self test techniques," *IEEE, Design, and Test*, pp. 21-28, Apr. 1985.
- [3] E.B. Eichelberger, T.W. Willaims, "A logic design structure for LSI testability," *J. Design Automat, Fault-Tolerant Computer.*, vol. 2, pp. 165-178, May 1978.
- [4] Wilfred Daehn, et al., "A hardware approach to self-testing of large programmable logic arrays," *IEEE Trans. on Computers*, vol. C-30, no. 11, pp. 829-833, nov. 1981.
- [5] K.K. Saluja, "An enhancement of LSSD to reduce test pattern generation effort and increase fault coverage," *In Proc. 19th Des. Automat Conf.*, pp. 489-494, June 1982.
- [6] Saied Bozorgui-Nesbat, Edward J. McCluskey, "Structured design for testability to eliminate test pattern generation," *FTCS-10*, pp 158-163, Oct. 1980.
- [7] Edward J. McCluskey, "Built-in self test structures," *IEEE Design and Test*, pp. 29-36, Apr. 1985.
- [8] Wilfred Daehn, et al., "Hardware test pattern generation for built-in testing," *IEEE Test Conf.*, pp. 110-113, 1981.
- [9] P.H. Bardell and W.H. McAnney, "Parallel pseudorandom sequences for built-in

- test," *IEEE Test Conf.*, pp. 302-308, 1984.
- [10] Syed Zahoor Hassan, et al., "Parallel signature analyzers detection capability and extensions," *IEEE Test Conf.*, pp. 440-445, 1983.
- [11] K.K. Saluja, et al., "An easily testable design of programmable logic array for multiple faults," *IEEE Trans. on Computers*, vol. C-32, no. 11, pp. 1038-1046, nov. 1983.
- [12] Bernd Könemann, et al., "Built-in logic block observation techniques," *IEEE Test Conf.*, pp. 37-41, Oct. 1979.
- [13] 노승용, 임인철, "고장검출이 용이한 Built-in test 방식의 설계", 전자공학회 논문집, vol. 24, No. 3, pp. 166 - 171, 1987. 5.
-