

# Small-Geometry MOSFET에서 Bias에 따른 게이트 Capacitance 측정

## (Gate Capacitance Measurement on the Small-Geometry MOSFET's with Bias)

金 千 洙\*, 金 光 洙\*, 金 如 煥\*, 李 振 孝\*

(Cheon Soo Kim, Kwang Soo Kim, Yeo Hwan Kim and Jin Hyo Lee)

### 要 約

Small-Geometry MOSFET 에서 게이트 capacitance를 드레인 전압을 변수로 하여 직접 측정하고, 여러가지 channel length 및 p와 n형 channel에 대해서 그 특성을 비교하였다. 그리고 short channel에서 나타나는 'hot carrier effect'가 게이트 capacitance에 미치는 영향을 long channel 소자와 비교 설명하였다. 그 결과 short channel 소자의 게이트 capacitance 특성은 long channel 소자의 특성에서 상당히 벗어남을 알았다. 본 실험에 사용된 측정 시스템의 정확도는 수 femto Farad( $10^{-15}$ F) 이하로서, 산화막 두께가 250Å이고 channel width/length가 6/3인 소자의 드레인 전압에 따른 게이트 capacitance 특성을 안정되게 측정할 수 있었다.

### Abstract

Gate capacitances have been measured directly on small-geometry MOSFET's with the drain voltage as a parameter for various channel lengths and for p and n channel types and the characteristics have been compared with each other. The influence of 'hot carrier effect' of short channel devices on capacitance has been compared with long channel devices. The results show that gate capacitance characteristics of short channel device deviate from those of long channel device. The accuracy of the measurement system is less than a few femto Farad, and the minimum geometry (W/L) of device for which reliable measurement can be obtained is 6/3.

### I. 서 론

MOSFET에서 게이트 capacitance 성분은 소자특성을 결정하는 중요한 요소이다. 최근 MOS 기술은 고집적화가 가속되어 sub-micron 소자의 개발로 향하는 추세로 소자의 크기가 작아지고 있다. MOS 소자의 크기가 작아짐에 따라, 게이트 capacitance 값도 비례적으로

작아지므로, 그만큼 측정이 힘들게 된다. 과거에는 이러한 작은 양의 capacitance 값을 측정하기 위해서는 특별한 회로를 chip 내에 내장하여 측정하거나,<sup>1,2</sup> 크기가 작은 소자를 수 백개 연결하여 측정할 결과로서 하나의 소자에 대한 특성을 간접적으로 측정하였다. 그러나 최근에는 capacitance 측정기술의 발달로 직접 측정이 가능하게 되었다.<sup>3,4</sup> 또한 short channel 소자에서 드레인 전압에 따른 게이트 capacitance의 특성은, long channel 소자의 게이트 capacitance 특성과 차이를 가진다. 그래서 최근 이러한 현상을 설명하기 위한 새로운 model 정립에 관한 연구가 활발히 진행되고 있

\*正會員, 韓國電子通信研究所 通信素子開發室  
(Electronics and Telecommunication Research  
Institute)

接受日字: 1987年 5月 13日

다.<sup>5)</sup>

따라서 본 논문에서는 channel width/length가 각각 100/100, 30/3, 30/2인 n-, p-channel 소자로서, 드레인 전압을 변수로 하고 게이트 전압에 따라 게이트 capacitance를 측정하여, 실제 small-geometry 소자의 동작시 나타나는 게이트 capacitance 특성을 직접 측정하였고, short channel 소자의 게이트 capacitance 특성을 long channel 소자특성과 비교 설명하였다. 또 같은 channel length(2 $\mu$ m)이고, 같은 구조의 p-channel과 n-channel 소자의 특성을 비교하였다. 본 측정 시스템으로 측정 가능한 최소의 소자의 크기를 알기 위해 channel width/length가 6/3, 6/1.5인 소자에 대해서도 측정을 하였다.

II. 측 정

본 실험에 사용된 소자는 게이트 산화막의 두께가 250Å이고 channel implant를 한 CMOS 공정을 사용하였고, n-MOSFET는 LDD (lightly doped drain) 구조와, conventional한 구조의 소자이며, p-MOSFET는 conventional한 구조의 소자이었다. 또 소자의 크기는 channel width/length가 각각 100/100, 30/3, 30/2, 6/3, 6/1.5인 소자를 사용하였다.

그림 1은 측정장치 구성도를 개략적으로 나타낸 것이다. Capacitance 측정을 위해서 HP4275A LCR meter를 사용하여, 주파수가 1MHz이고 약 50mV의 신호를 bias 전압과 같이 소자에 가하여 측정 하였으며, HP 9000/series 320 computer로서 bias control, 데이터 저장 및 분석을 하여 plot 하였다. 이렇게 구성된 측정 시스템에서 capacitance 값의 정확도는 수 femto Farad (10<sup>-15</sup>F) 이하이었다.

그림 2는 측정 회로도를 나타낸 것이다. 게이트 capacitance의 측정시 외부의 영향을 줄이기 위해서 sig-

nal을 반드시 source나 substrate로 가해야 하며, probe tip은 coaxial 구조의 probe tip을 사용해야 한다. 또한 line capacitance의 영향을 줄이기 위해 회로구성 line을 최대한 줄이고, 측정전 zero off-set으로 보상한 후 측정을 해야한다.

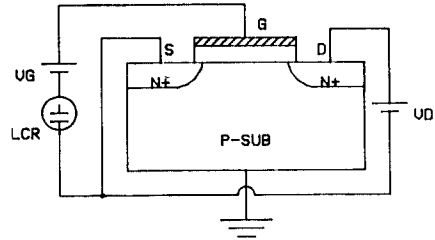


그림 2. MOSFET의 게이트 Capacitance 측정회로  
Fig. 2. Gate Capacitance Measurement Circuit of MOSFET.

III. 측정결과 및 검토

1. Long Channel에서 드레인 전압에 따른 게이트 Capacitance 특성

그림 3은 100/100의 long channel n-MOSFET에서 드레인 bias를 인가하지 않았을 때 게이트/소오스, 게이트/기판, 게이트/(소오스+기판), 게이트/(소오스+드레인+기판) 사이의 여러가지 capacitance를 게이트 전압에 따라서 측정한 값이다. 게이트/소오스 사이의 capacitance 측정시 드레인과 기판은 floating시켰으며, 게이트/기판 사이 측정시는 소오스와 드레인을 floating 시켜서 측정하였다. 또한 게이트/(소오스+드레인+기판) 사이의 capacitance 측정시는 소오스와 드레인과 기판을 공통으로 하여 게이트와 측정하

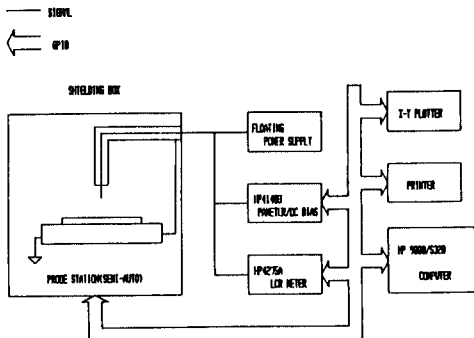


그림 1. 측정장치의 개략도  
Fig. 1. Block Diagram of Measurement System.

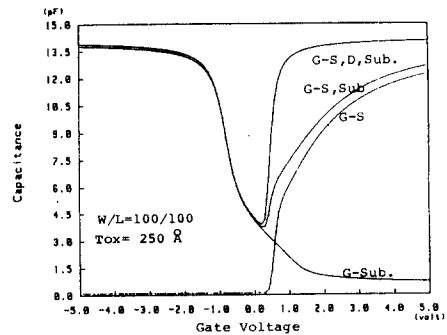


그림 3. n-MOSFET에서 여러가지 Capacitance 성분의 특성  
Fig. 3. Several Capacitance Characteristics of n-MOSFET.

였다. 게이트와 기판과의 capacitance 특성은 일반적인 MOS capacitor 구조의 C-V특성을 나타내지만, 게이트와 소오스와의 특성은 다음과 같이 설명할 수 있다. 게이트 bias가 (-)전압 (accumulation 영역)에서는, 게이트와 소오스가 overlap된 부분의 overlap capacitance만 나타나다가, threshold전압 이상에서는 채널에 inversion층이 형성되고, 또 이 inversion층은 소오스와 연결되어 전극을 형성하므로, 게이트 capacitance ( $C_0$ )가 나타나게 된다. 따라서 소오스, 드레인, 기판을 같이 연결하여 게이트와의 capacitance 특성을 측정하면, 위 두가지 성분이 같이 나타나게 된다. 그러나 이러한 측정시 드레인을 floating 시켰을 때는 inversion층의 channel resistanc의 영향으로 게이트 capacitance ( $C_0$ ) 값보다 떨어지는 특성을 나타내지만, 드레인과 소오스를 같이 연결하면 이러한 영향이 없어진다.

그림 4와 그림5는 드레인 전압이 각각 0, 1, 2, 3, 4V일때 게이트/(소오스+기판), 게이트/소오스 사이의 capacitance를 게이트 bias에 따라서 측정한 값을 나타낸 것이다. Long channel MOSFET에서 드레인 전압에 따른 게이트 capacitance의 특성은 그림 4와 같이 게이트와 드레인 전압에 따라 세 영역으로 구분할 수 있다. 게이트 전압이 threshold 전압 이하에서는 드레인 전압에 관계없이 (소오스+기판)과 게이트간의 capacitance만이 나타나는데, 이러한 영역을 cut-off 영역(그림 4의 a영역)이라 한다. 게이트 전압이 threshold 전압 이상으로 걸리면 channel length 전체에 inversion layer가 형성되므로 드레인 전압이 인가되지 않았을 때는, 게이트와 소오스간의 capacitance는 oxide capacitance ( $C_0$ ) 값을 나타내게 된다. 이때 드레인 전압이 0이 되면, 게이트 전압이 드레인 전압에 비해 아주 클 때는 channel length 전체에 전자 농도가 큰 inversion layer로 인해서 inversion capacitance ( $C_{inv}$ )가 산화막 capacitance ( $C_0$ )에 비해 아주 크므로 ( $C_{inv} \gg C_0$ ), 게이트와 소오스간의 capacitance는  $C_0$ 와  $C_{inv}$ 가 직렬로 연결되어  $C_0$  값을 나타내지만, 게이트 전압이 점차 낮아지면, inversion layer 전자 농도가 감소하여 inversion capacitance가 oxide capacitance에 영향을 줄 정도로 감소하게 되므로, 게이트 capacitance가 감소하게 된다. 이러한 영역을 불포화 영역(그림 4의 c영역)이라 한다. 게이트 전압이 더욱더 감소하여 게이트 전압이 드레인 전압보다 적을 때, 드레인 junction 부근에는 channel이 pinch-off 되고 채널의 전자의 농도가 드레인 전압에 관계없이 일정할 때는, 게이트 capacitance는  $2/3 \cdot C_0$  정도에서 일정한 값을 나타내는데 이 영역을 포화영역(그림 3의 b영역)이라 한다. 이러한 결과들은  $S_{an}$ ,  $P_{ao}$ <sup>[6]</sup>에 의한 결과들과 잘 일치하고 있다.

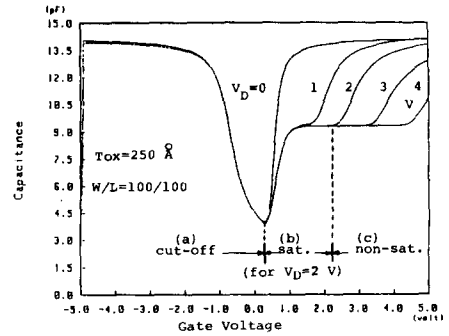


그림 4. 드레인 전압에 따른 게이트와 (소오스+기판) 사이의 용량특성 (n-MOSFET)  
 Fig. 4. Gate/(source+sub) Capacitance Characteristics with Drain Voltage.

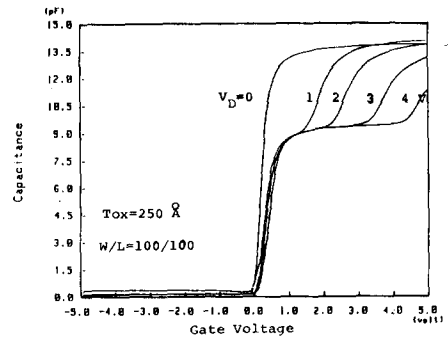


그림 5. 드레인 전압에 따른 게이트 소오스 사이의 용량특성 (n-MOSFET)  
 Fig. 5. Gate-Source Capacitance Characteristics with Drain Voltage (n-MOSFET).

영역)이라 한다. 이러한 결과들은  $S_{an}$ ,  $P_{ao}$ <sup>[6]</sup>에 의한 결과들과 잘 일치하고 있다.

2) Short Channel에서 드레인 전압에 따른 게이트 Capacitance 특성

$3\mu\text{m}$  이하의 short channel 소자에서, 게이트 산화막 두께가  $250\text{\AA}$ 이고 channel width가  $30\mu\text{m}$ 이면, 게이트 capacitance는  $120\text{fF}$  정도 이하의 값을 가지므로, 아주 적은 양의 capacitance 값을 측정하는 기술이 필수적이다.

그림 6과 그림 7은 W/L가 30/3, 30/2인 소자에서 드레인 전압을 변수로 하여 게이트 전압에 따른 게이트 capacitance 특성을 측정한 것이다. Channel length가  $3\mu\text{m}$  이하가 되면 long channel에서 나타나는 특성에서 많이 벗어남을 알 수 있다. 즉 long channel에서는 포화영역과 불포화 영역의 경계가 분명히 나타나지만, short channel에서는 이러한 영역의 경계가 불분

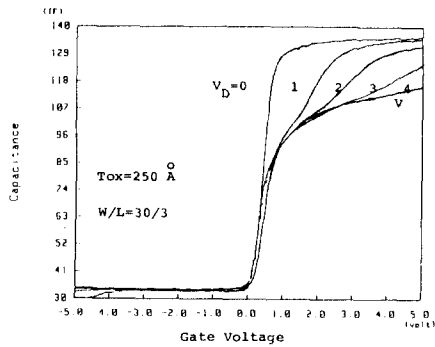


그림 6. 짧은 채널(3 $\mu\text{m}$ ) n-MOSFET에서의 게이트 용량특성  
 Fig. 6. Gate-Source Capacitance Characteristics in Short Channel(3 $\mu\text{m}$ ) n-MOSFET.

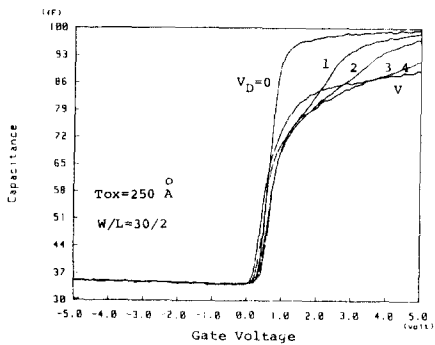


그림 7. 짧은 채널(2 $\mu\text{m}$ ) n-MOSFET에서의 게이트의 용량특성  
 Fig. 7. Gate-Source Capacitance Characteristics in Short Channel(2 $\mu\text{m}$ ) n-MOSFET.

명함을 알 수 있으며, 드레인 전압이 클수록 그 효과가 크게 나타남을 알 수 있다. 이는 소오스와 드레인 사이의 높은 전장으로 인하여, 드레인 junction부근의 전자들이 높은 에너지를 가짐으로서 나타나는 "hot carrier effect"의 영향으로 생각된다. Sheu, Ko<sup>[3]</sup> 등은 기존의 long channel 소자의 charge-capacitance 모델에 short channel에서 나타나는 mobility degradation 현상 및 channel length modulation, velocity saturation, 드레인과 게이트 사이의 fringing field, 소오스와 드레인의 series resistance 영향등을 고려함으로써 설명하고, Landsiedel, Dorda<sup>[7]</sup> 등은 short channel에서의 게이트 capacitance 특성을 관찰하여 전자의 에너지(온도)로서 설명하고 있다.

그림 8 과 그림 9 는 channel length가 같고(2 $\mu\text{m}$ ), LDD 공정을 하지않은 구조인 n-channel과 p-channel

소자의 게이트 capacitance를 비교하였다. P-channel 소자특성에서는 포화 영역과 불포화 영역의 경계가 조금 나타나지만, n-channel소자에서는 그 경계가 나타나지 않음을 알 수 있다. 이는 p-channel 소자의 캐리어 이동도가 n-channel의 캐리어 이동도 보다 적기 때문에 'hot carrier effect'가 적게 나타나는 것과 같은 경향을 보여준다.

본 측정 시스템으로 측정 가능한 최소의 소자크기를 알기위해, W/L이 6/3, 6/1.5인 소자에 대해서 측정하였다. 그림10은 W/L이 6/3인 소자의 게이트 capacitance 특성으로, 게이트 capacitance가 21fF 정도로서 overlap 성분 5fF 정도를 빼면 유효 게이트 capacitance 값은 16fF 정도로 예상할 수 있다. 그리고 채널폭이 같고 길이가 다른 소자들과, 채널길이가 같고 폭이 다른 소자를 이용하여 일정한  $V_D$ ,  $V_G$  전압(선형 영역)에서 드레인 전류량을 측정하여 구한 유효채널길이 ( $L_{eff}$ )와 넓이( $W_{eff}$ )는  $L_{eff}=2.5\sim 2.7\mu\text{m}$ 이고,

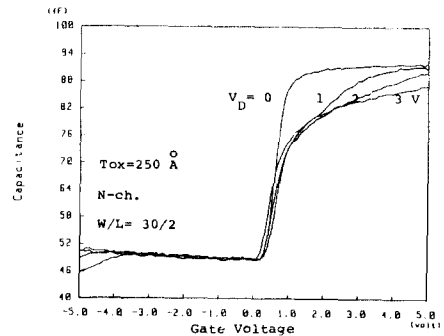


그림 8. 짧은 n-채널 MOSFET에서의 게이트의 용량 특성  
 Fig. 8. Gate-source Capacitance Characteristics in n-channel MOSFET.

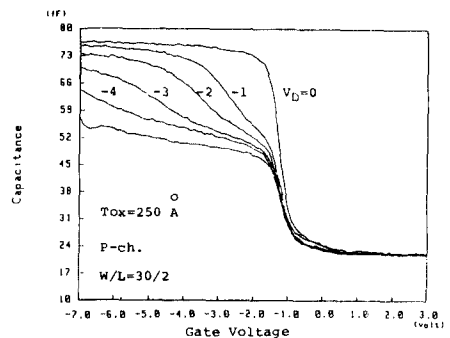


그림 9. 짧은 p-채널 MOSFET에서의 게이트 용량 특성  
 Fig. 9. Gate-Source Capacitance Characteristics in p-channel MOSFET.

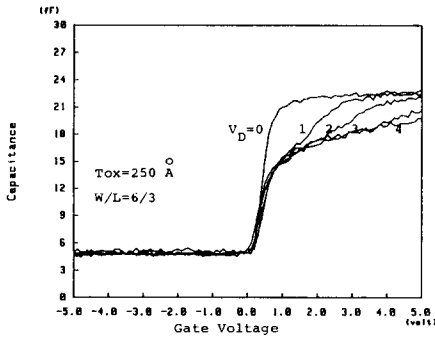


그림10. 드레인 전압에 따른 게이트와 소오스 사이의 용량특성

Fig. 10. Gate-Source Capacitance Characteristics with Drain Voltage.

$W_{eff}=4.4\mu\text{m}$ 이었다. 게이트 산화막 두께가  $250\text{\AA}$ 이므로 계산한 유효게이트 capacitance의 값은  $14.5\sim 15.6\text{fF}$ 으로, 측정값과 5% 이내로 일치함을 보여 준다.  $W/L$ 이  $6/1.5\mu\text{m}$ 이하인 소자에 대해서도 측정은 가능하지만, 측정장비의 분해능이  $0.1\text{fF}$ 이므로 측정 error가 커서 데이터를 average 해야만 사용 가능함을 알았다. 또 HP16380A Standard Air Capacitor ( $1\text{pF} \pm 0.1\%$  at  $1\text{MHz}$ )로서 LCR meter를 보정 및 확인 하였다.

#### IV. 결 론

Small geometry MOSFET에서 드레인 전압을 변수로 하여, 게이트 전압에 따른 게이트 capacitance를 직접 측정하였다. 본 실험에서 구성한 측정 시스템의 정확도는 수 femto Farad로서  $W/L$ 이  $6/3$ 인 소자의 드레인 전압의 변화에 따른 게이트 capacitance 특성을 안정되게 측정할 수 있었다.

Short channel에서 나타나는 'hot carrier effect'가 게이트 capacitance에 미치는 영향을 long channel 소자와 비교설명 하였으며, 같은 channel length이

고 같은 구조의 p-channel 소자와 n-channel 소자의 게이트 capacitance 특성을 비교하였다. 이러한 결과를 기초로 short channel에서 드레인 전압에 따른 게이트 capacitance 특성의 model에 대한 연구가 요구된다.

#### 참 고 문 헌

- [1] H. Iwai and S. Kohyama, "On-Chip Capacitance Measurement Circuits in VLSI Structure," *IEEE Trans. Electron Devices*, vol. ED-29, pp.1622-1626, Oct. 1982.
- [2] H. Iwai, J.E. Oristian et al., "A Scaleable Technique for the Measurement of Intrinsic MOS Capacitance with Atto-Farad Resolution," *IEEE Trans. Electron Devices*, vol. ED-32, Feb. 1985.
- [3] Bing. J. Sheu and Ping. K. Ko, "Analytical Model for Intrinsic Capacitances of Short-Channel MOSFETs," *IEEE IEDM Tech. Dig.*, pp.300-303, 1984.
- [4] J.J. Paulos and D.A. Antoniadis, "Measurement of Minimum-Geometry MOS Transistor Capacitances," *IEEE Trans. Electron Devices*, vol. ED-32, Feb. 1985.
- [5] Hong June Park, Ping Keung Ko and Chenming Hu, "A Measurement-Based Charge Sheet Capacitance Model of Short-channel MOSFET's for SPICE," *IEEE IEDM Tech. Dig.*, pp.40-43, 1986.
- [6] C.T. Sah and H.C. Pao, "The Effects of Fixed Bulk Charge on the Characteristics of Metal-Oxide-Semiconductor Transistors," *IEEE Trans. Electron Devices*, vol. ED-13, pp.393-409, 1966.
- [7] D.S. Landsiedel and G. Dorda, "Novel Hot-Electron Effects in the Channel of MOSFET's Observed by Capacitance Measurement," *IEEE Trans. Electron Devices*, vol. ED-32, pp.1294-1301, 1985.