

# 1 $\mu$ m 게이트 GaAs MESFET의 제조 및 DC특성과 채널 파라미터들 사이의 상호관계 분석

## (Fabrication of 1 $\mu$ m Gate GaAs MESFET and Analysis of Correlation Between DC Characteristics and Channel Parameters)

嚴慶淑\*, 李裕鐘\*\*, 姜光男\*\*

(Kyung Sook Eom, Yoo Jong Lee and Kwang Nham Kang)

### 要 約

MOCVD와 VPE방법으로 활성층을 성장시킨 GaAs 웨이퍼로 1 $\mu$ m 게이트 길이의 MESFET을 제작하였다. 주된 공정은 photolithography, 화학적 wet에칭 그리고 lift-off기술을 이용하였다. 제작된 MESFET에서 문턱전압( $V_t$ ), 전달 컨덕턴스( $g_m$ ), 소오스 저항( $R_s$ ) 등 제반 DC특성을 정확히 측정하고 이 정보로부터 채널두께, 길이, 캐리어농도, 전자 이동도와 같은 채널 파라미터를 추출하는 방법을 제시하였다. 또한 DC특성과 채널 파라미터사이의 관계를 분석하여  $g_m$ 의 향상과 공정의 재평가를 가능하게 하였다. 제작된 1 $\mu$ m 게이트 MESFET의  $g_m$ 은 MOCVD와 VPE 웨이퍼에서 각각 67mS/mm, 68mS/mm이었고 MOCVD 웨이퍼로 만든 MESFET으로 부터 측정된 채널내에서의 low-field 전자 이동도는 2980cm<sup>2</sup>/Vsec이었다.

### Abstract

1 $\mu$ m gate MESFETs are fabricated on MOCVD and VPE grown GaAs wafers using photolithography, chemical wet etching and lift-off techniques. DC characteristics such as  $V_t$ ,  $g_m$ ,  $R_s$ , etc. are studied and active channel parameters of MESFET ( $a$ ,  $n$ ,  $L_{eff}$ ,  $\mu_0$ ) are analyzed for 1-4 $\mu$ m gate FETs and 100 $\mu$ m FAT FET. The correlation between DC data and active channel parameters are experimentally analyzed. The measured transconductance and low-field mobility in the active channel for the 1 $\mu$ m gate MESFET made on MOCVD wafer are 67mS/mm and 2980cm<sup>2</sup>/V s respectively.

### I. 서 론

대표적인 III-V 화합물 반도체인 GaAs는 실리콘에 비해 5배이상의 전자 이동도를 갖고 두배의 peak

drift velocity 값을 갖는다. 또한 GaAs는 10<sup>8</sup> $\Omega$ cm 이상의 비저항을 갖는 반절연 기관이 존재하므로, 30 $\Omega$ cm의 진성 실리콘 기관을 이용할 때보다 stray capacitance를 감소시킬 수 있다.

MESFET (metal-semiconductor field effect transistor)은 GaAs 반도체의 기본 능동 소자로 실리콘 소자보다 뛰어난 고주파 특성을 보이며, 빠른 동작속도, 높은 증폭도, 저잡음 특성의 장점을 지닌다. 따라서 초고속 논리소자 및 초고주파 증폭기, MMIC등의 응용에 활발한 연

\*正會員, 韓國科學技術院 研究部 半導體 材料 研究室 (Semiconductor Materials Lab., KAIST)

\*\*正會員, 韓國科學技術院 研究部 光電子工學 研究室 (Optoelectronics Eng. Lab., KAIST)

接受日字: 1987年 4月 2日

구가 진행중이다. 그러나 GaAs는 실리콘과 같은 안정된 산화물이 없고 600°C 이상에서는 표면의 화합물 구성비가 변화되므로 확산 및 산화등의 고온 공정을 할 수 없어 소자제작의 분체점이 되고 있다. 따라서 GaAs 소자 제작에는 에피택셜 성장에 의한 활성층과 ohmic 층 형성이 필수적이다.

본 연구에서는 GaAs MESFET을 설계하여 mask를 제작하고 반절연 기판에 MOCVD와 VPE 방법으로 활성층 또는 ohmic층까지 성장시킨 웨이퍼로, 각 단위 공정 실험을 통해 얻은 최적 공정 조건을 따라 1μm길이의 게이트를 갖는 MESFET 제작에 성공하였다. 또한 정확한 DC특성뿐만 아니라 채널내의 몇가지 중요 파라미터들을 추출하여 에피층과 제작 공정을 재분석하였다. 이로 인하여 GaAs소자 제작에 필요한 기본 공정을 확립하였고, 단위 소자 제작에 성공하여 MMIC 개발의 기초를 마련하였다.

## II. 설 계

소자 제작과 분석을 위해서는 소자 자체 뿐만 아니라 여러 test pattern들이 필요하다. 따라서 본 연구에서는 1칩 안에 주된 FET와 참고용 FET를 비롯하여 schottky 다이오드, 저항 측정용 bar, TLM(transmission line model) pattern 그리고 gated Hall bar가 포함되도록 설계하였다.

주된 FET는 소오스와 드레인사이의 간격이 20μm이고 그 사이에 300μm폭의 게이트가 위치하게 되는데 게이트 길이는 1μm간격으로 1μm에서 4μm까지 있다. 참고용 FET는 2~100μm 길이의 게이트를 갖고 주된 FET의 특성 분석에 이용된다. Schottky 다이오드는 게이트 특성의 분석에, TLM pattern은 ohmic contact 저항의 측정에 각각 이용된다. 칩내에서 각 소자의 배치와 주된 FET의 구조는 그림 5의 (a)와 (b)에서 볼 수 있다. MESFET을 제작하기 위해서는 mesa 에칭, ohmic 전극, 게이트 전극 형성과 passivation의 4단계 photolithography를 포함한 공정이 필요하므로 mask도 4장으로 제작되었다.

## III. MESFET의 제작

GaAs MESFET의 개략적인 공정 순서는 그림 1과 같다.

웨이퍼는 10<sup>14</sup>cm<sup>-3</sup>의 버퍼(buffer)층이 반절연 기판에 성장된 것을 구입하여 그 위에 MOCVD로 활성층을 형성시켰다. 또한 버퍼, 활성, ohmic층까지 형성시킨 일본 SUMITOMO회사의 VPE웨이퍼도 사용하였다. 두 경우 모두 활성층의 캐리어 농도(n)를 2×10<sup>17</sup>cm<sup>-3</sup>이 되게 하였다. 이는 FET의 최소 잡음지수(NF<sub>min</sub>)는

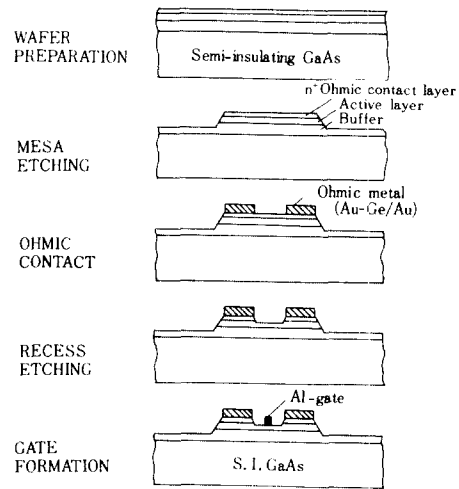


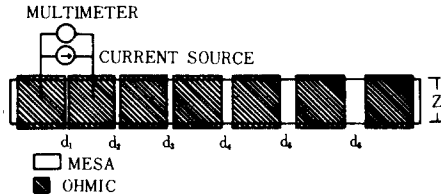
그림 1. MESFET의 제작 공정순서  
Fig. 1. Fabrication Process Procedure of MESFET.

$n=2.5 \times 10^{17} \text{cm}^{-3}$ 에서 최소값을 보이고 associated gain은  $3 \times 10^{17} \text{cm}^{-3}$ 까지 증가하다가 그 이상에서 포화된다는 실험결과<sup>1)</sup>와 recess에칭에 의한 활성층 두께 조절의 용이성을 고려한 것이다.

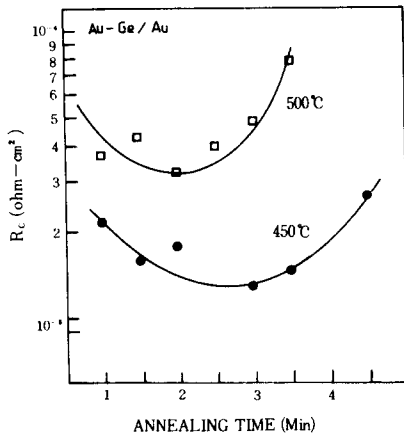
GaAs MESFET은 다음과 같은 공정을 거쳐 제작하였다. TCE, 아세톤, 메탄올에 의한 표준세척공정 후 칩내의 각 단위 소자들을 전기적으로 고립시키기 위하여 mesa 에칭을 한다. 포토티브 PR(photoresist)에 의한 photolithography기술로 pattern을 형성시켜 소자가 위치하지 않는 부분만 버퍼층 일부까지 에칭하여 제거한다. 에칭 용액은 상온에서 3500A/min의 에칭 속도를 갖는 1NH<sub>4</sub>OH : 1H<sub>2</sub>O<sub>2</sub> : 50H<sub>2</sub>O용액을 사용하였다. (100)GaAs웨이퍼는 이 용액에서 unisotropic에칭 특성을 갖는다. 서로 직각인 [011]과 [011] 방향에서 각각 trapezoidal과 dove-tailed 에칭 profile을 나타내므로<sup>2)</sup> 게이트와 게이트 pad의 연결부분이 [011] 방향에 놓이도록 mesa 에칭 공정부터 방향을 잡는 것이 중요하다(그림 5의 (c)).

Mesa 에칭후 드레인과 소오스에 전극을 형성시키는 ohmic contact 공정을 하는데 공정조건은 별도의 단위 공정 실험결과에 준하였다. Ohmic금속은 공정조성의 Au-Ce합금을 사용하는데 이는 화학약품에 안정된 금속이므로 lift-off 기술로 금속 pattern을 형성시킨다. Lift-off 방법이란 웨이퍼에 PR을 도포한 후 MCB(mono-chlorobenzene)에 10~15분간 담겨 표면을 경화시킨후 photolithography작업을 하여 "T" 모양의 PR overhang을 만들어 그 위에 금속 박막을 진공증

착한 후 아세톤에서 PR을 제거하여 필요한 금속 pattern을 만드는 것이다.<sup>13)</sup> 그후 450 $^{\circ}$ C 질소 분위기에서 3분간 annealing하여 ohmic contact을 시킨다. 이 공정 조건은 그림 2의 실험결과에서 얻은 것이다.



(a)



(b)

그림 2. (a) TLM Pattern과 Ohmic Contact 저항 측정 방법  
(b) Annealing 온도와 시간에 따른 고유 contact 저항의 변화

Fig. 2. (a) TLM Pattern and Measurement of Ohmic Contact Resistance  
(b) Dependency of Specific contact Resistance on Annealing Temperature and Time.

그림 2의 (a)는 TLM pattern에서 contact 저항을 측정하는 방법을 도시한 것으로 간격이 다른 각 contact pad사이에 정전류( $i_0 = 1\text{mA}$ )를 흐르게 하고 그 사이의 전압강하를 측정한다. 측정된 전압 강하량을 각 contact pad간 거리에 대해 plotting하면 직선이 나오는데 이 직선의 기울기를 S, 횡축(거리) 절편을  $2L_T$  라 하면 다음식(1)에 의해 고유 contact 저항( $R_c$ )을 얻는다.<sup>14)</sup>

$$2L_T = \sqrt{\frac{R_c}{R_s}}, \quad S = \frac{i_0 R_s}{Z} \quad (1)$$

여기서  $R_c$ 와  $R_s$ 는 고유 contact 저항과 박막저항을, Z는 폭을 나타낸다.

다음은 원하는 소자특성( $V_r, I_{ass}$ )을 얻기 위한 활성층 두께 조절, 즉 recess 에칭 공정이 따른다. Recess 에칭의 가장 중요한 요소는 적당한 에칭속도와 에칭후 웨이퍼의 표면 상태가 좋은 용액을 선택하는 것과 활성층 두께를 정확히 조절하는 것이다. 먼저 적당한 에칭 용액을 얻기 위해 몇가지 조성의 황산과 암모니아수 용액에서 (100)GaAs 에피 웨이퍼의 에칭속도를 측정한 결과 그림 3과 같았다.

$\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=3:1:1$  4500  $\text{\AA}/\text{min}$  at 0 $^{\circ}$ C  
 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:50$  350  $\text{\AA}/\text{min}$  at 0 $^{\circ}$ C  
 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:x$

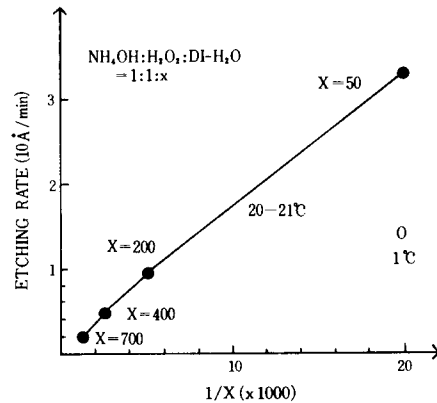


그림 3. 각 조성의 암모니아수 용액과 황산 용액에서 GaAs의 에칭속도

Fig. 3. Etching Rate of GaAs in  $\text{NH}_4\text{OH}$  base Solution and  $\text{H}_2\text{SO}_4$  Base Solution.

황산 용액은 에칭속도가 빠르고 0 $^{\circ}$ C로 유지해야 하므로 사용에 어려움이 많고, 특히 희석된 1:1:50용액은 웨이퍼 표면에 다갈색의 자국을 남기는 경우가 많았다. 이는 이 용액의 산화력이 지나치게 크기 때문에 나타나는 현상으로 생각된다. 이에 반하여 암모니아수 용액은 넓은 조성 범위에서 모두 깨끗한 에칭 표면을 보이며 특히 1:1:700용액은 상온에서 220 $\text{\AA}/\text{min}$ 의 느린 에칭속도로 recess 에칭에 가장 적합하다. 암모니아수 용액은 웨이퍼 표면의 잔류PR인 탄소를 제거하며, 염산 용액사용시 나타나는 염소이온과 같은 불필요한 이온의 흡착이 없음이 알려져 있다. 다음 원하는  $V_r(V_p)$ 를 얻기 위해서 식(2)와 같이 게이트 아래의 활성층 즉 채널두께를 조절해야 하는데 활성층의 도핑 정도가 클수록 채널 두께가 감소해야 하므로 recess 에칭의 조절이 어렵다.

$$V_p = \frac{qN_D a^2}{2\epsilon_s} \quad (2)$$

$N_D$ 와  $a$ 는 각각 채널의 도판트 농도(또는 캐리어 농도)와 두께를 나타낸다. 그런데 에칭 용액은 실험 조건의 작은 변화에도 그 에칭속도가 민감히 변화하여 미리 측정해둔 결과만을 믿을 수는 없다. 따라서 test pattern중의 저항bar를 이용하여 recess 에칭 공정중 계속 활성층 두께를 추적할 수 있게 하였다. 저항bar에서 측정되는 저항은  $n^+$ -ohmic층과  $n$ -활성층 그리고  $n^-$ -버퍼층이 병렬로 연결된 형태로 다음 식(3)과 같다.

$$R = \frac{\ell}{qw} \frac{1}{n_1\mu_1a_1 + n_2\mu_2a_2 + n_3\mu_3a_3} \quad (3)$$

(첨자) 1 = ohmic층, 2 = 활성층, 3 = 버퍼층

여기서  $\ell$ 과  $w$ 는 저항bar의 길이와 폭이고  $n, \mu, a$ 는 각 층의 캐리어 농도, 이동도, 두께를 나타낸다. 에칭시간에 따라 저항bar의 저항을 측정하여 plotting하면 그림 4와 비슷한 모양으로, 중간의 변곡점이 각 층간의 경계가 된다. 이 점을 기준으로 하여 에칭시간을 남아 있는 층 에피층 두께로 환산하면 그림 4를 얻게 된다. 따라서 이 그림에서 필요한 활성층 두께에 해당하는 저항값을 얻어 그 값이 측정될 때를 recess 에칭의 "end point"로 한다. 그러나 이때의 에피층 두께는 실제 동작하는 MESFET의 활성채널 두께와는 다르며, 이 방법을 효과적으로 이용하려면 몇차례의 반복실험으로 에피층 두께와 소자에서의 활성채널 두께사이의 관계를 알아내야 한다.

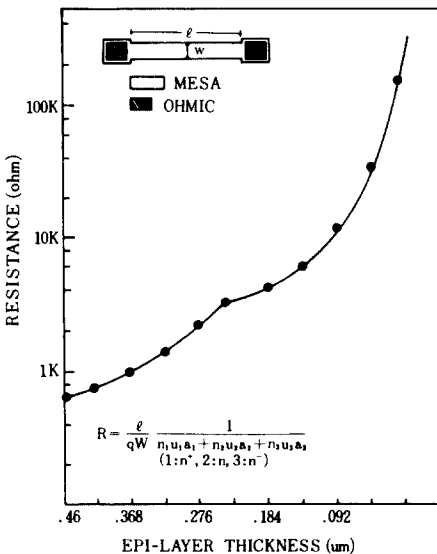


그림 4. 에피층 두께에 따른 저항Bar의 저항값의 변화  
 Fig. 4. Dependency of Resistance on Epitaxial Layer Thickness in Bar.

Recess 에칭으로 적당한 활성층 두께를 얻은 후 소오스와 드레인사이에 게이트를 형성시킨다. 게이트 저항은 소오스 저항과 함께 FET의 전달 컨덕턴스 저항의 원인이 되는데, 게이트는 가늘고 긴 형태와 lift-off 기술로 얻을 수 있는 금속박막 두께의 한계로 매우 큰 저항을 갖는다. 따라서 복수 게이트 finger나 복수 게이트 pad의 형태로, 또는 "mushroom" 게이트로 그 두께를 증가시키는 방향으로의 개선이 필요하다. 게이트 금속으로는 처음 Al을 사용하였는데 진공증착시 진공도가  $2 \sim 3 \times 10^{-5}$  torr였을 때 Al박막의 고유저항이  $130 \times 10^{-6} \Omega\text{cm}$ 로 bulk Al의 30배에 달하였다. 게이트 저항은 다음 식(4)와 같이 그 형태와  $\rho_g$ (고유저항)에 의존한다.<sup>15)</sup>

$$R_g = \frac{\rho_g z^2}{3L_g h z} \quad (4)$$

$L_g, h, z$  = 게이트의 길이, 높이와 폭

$Z$ : 게이트의 단위 폭

따라서 게이트 금속을 Au로 바꾸었으며 게이트 두께를 3000 Å (Al)에서 1500 Å으로 감소시켰는데 게이트 저항이 114 Ω (Al)에서 5.2 Ω (Au)으로 감소하였다.

이러한 공정에 의해 MESFET이 제작되었으며 그림 5 (a)에 완성된 1 칩의 사진이 있다. (b)는 1 μm 게이트 MESFET 사진이며 (c)는 게이트 중심부분을 확대한 것으로 mesa 에칭에 의해 [011] 방향에서 trapezoidal 에칭 profile을 보이고 있다.

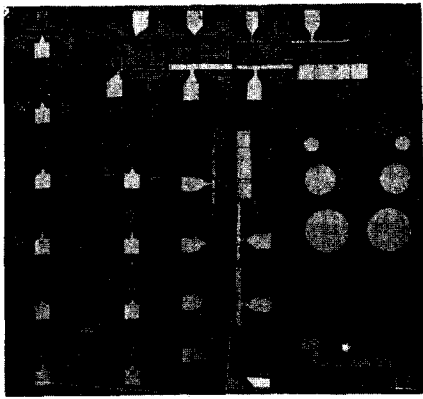
#### IV. DC특성 측정 및 분석

MESFET은 schottky 접합으로 형성된 게이트에 역방향 또는 순방향 전압( $V_{gs}$ )를 가하면 게이트 아래쪽에 형성되는 공핍층의 두께가 변화하고, 이에 따라 채널 두께가 증감하여 같은 드레인 전압( $V_{ds}$ )에서도 소오스와 드레인사이의 전류량, 즉 드레인 전류( $I_{ds}$ )가 변화한다. 이러한 MESFET의 동작특성은 활성 채널 두께, 캐리어 농도, 게이트 길이, 전자 이동도 및 저항 성분과, 버퍼층과 활성층 경계면의 특성에 많은 영향을 받는다. 여기서는 MESFET의 DC동작특성에 대한 이론과 식의 유도는 생략하고, DC특성의 정확한 측정 방법과 측정된 자료로부터 각 요소들의 상과 관계를 분석하였다.

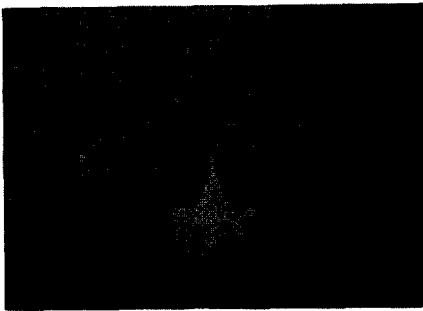
다음은 1 μm 게이트 MESFET의 전류-전압 특성이며 (a)는 MOCVD, (b)는 VPE로 활성층을 성장시킨 웨이퍼로 제작한 것이다.

##### 1. 문턱 전압( $V_T$ )

문턱전압,  $V_T$ 는 일반적으로 curve tracer에서 드레



(a)



(b)

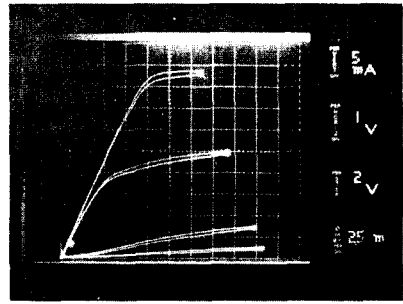


(c)

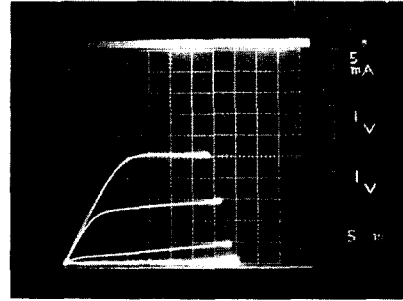
그림 5. (a) 1 칩의 사진  
(b) 1 $\mu$ m 게이트 MESFET의 사진(x300)  
(c) 게이트와 게이트 pad의 연결 부분(x1500)

Fig. 5. (a) Photograph of 1Chip  
(b) MESFET of 1 $\mu$ m Gate Length(x300)  
(c) Connection of Gate and Gate Pad (x1500).

인 전류,  $I_{ds}$ 가 0인 게이트 전압으로 보나, 활성층이 얇고 특히 버퍼층이 있는 경우에는 측정오차가 100%에 이를 수 있다.<sup>16)</sup> 따라서 본 연구에서는 다소 복잡하나 정확한 값을 얻을 수 있는 방법으로  $V_b$ 를 결정하였다.



(a)



(b)

그림 6. (a) MOCVD,  
(b) VPE로 활성층을 성장시킨 웨이퍼로 제작된 1 $\mu$ m 게이트 MESFET의 전류전압특성

Fig. 6. I-V Characteristics of 1 $\mu$ m Gate MESFETs of which Active Layers were Grown by.

- (a) MOCVD.
- (b) VPE Methods.

드레인 전압,  $V_{ds}$ 가 0.05~0.2V로 작은 초기 선형 영역에서 각  $V_{gs}$ 에 대한  $I_{ds}$ 를 측정하여 그림 7 과 같이 X에 대한 드레인 소오스간 저항( $R_{ds}$ )으로 plotting한다.  $R_{ds}$ 와 X는 식(5)와 같이 직선 관계를 갖는다.<sup>16)</sup>

$$R_{ds} = R_o \left( 1 - \sqrt{\frac{V_b - V_{gs}}{V_b + V_b}} \right)^{-1} + R_s + R_d$$

$$= R_o X + (R_s + R_d) \tag{5}$$

따라서 각 측정 점들이 직선상에 오면 이때의 X에 대입했던 임시값  $V_b$ 를 실제  $V_b$ 로 취한다. 여기서  $R_o$ 와  $R_s$ ,  $R_d$ 는 각각 오픈(open) 채널 저항, 소오스, 드레인 저항이며  $V_b$ 는 schottky 게이트의 built-in 전압이다.

### 2. 각종 식별 저항

Schottky 게이트의 순방향 전류-전압 특성을 측정 하되 다음 그림 8 과 같이 (1) 소오스와 드레인을 병렬 연결하고 이와 게이트 사이에서, (2) 게이트와 소오스, (3) 게이트와 드레인 사이에서 각각 측정한다.

$$R_s - R_d = \frac{\Delta V}{I_{\kappa}} \tag{6}$$

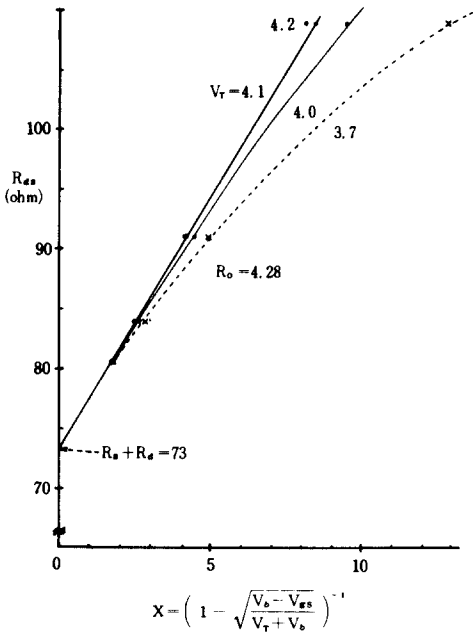


그림 7.  $V_t$ 를 구하기 위한  $X$ 에 대한  $R_{ds}$ 값의 plotting  
Fig. 7. Plotting of  $R_{ds}$  v.s.  $X$  for  $V_t$ .

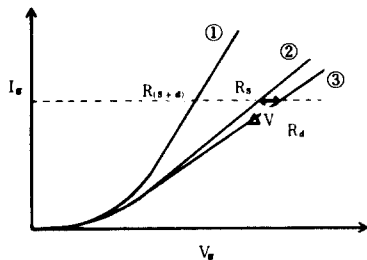


그림 8. Schottky 게이트의 순방향 전류 전압특성  
Fig. 8. Forward Biased  $I-V$  Characteristics of Schottky Gate.

식(5)와 그림 7로 직선의  $y$ 축 절편인  $(R_s + R_d)$ 를 구하고 식(6)으로  $R_s$ 와  $R_d$ 를 분리하여 얻는다. 또한 게이트 저항은 식(7)과 같이 구해지고, 식(4)로부터 게이트 금속의  $\rho_g$ 값도 구할 수 있어 게이트 형성 공정을 재평가할 수 있다.

$$R_g = R_{s,d} - \frac{R_s \cdot R_d}{R_s + R_d} \quad (7)$$

3. 전달 컨덕턴스 ( $g_m$ )

전달 컨덕턴스는 외부 전극에서 측정하는 외부 전달 컨덕턴스 ( $g'_m$ )와 실제 채널에서의 내부 전달 컨덕턴스 ( $g_m$ )가 있다.  $g'_m$ 는 식(8)로 정의되며  $g'_m$ 와  $g_m$ 은 식(9)와 같은 관계를 갖는다.

$$g'_m \equiv \left| \frac{dI_{ds}}{dV_{gs}} \right|_{V_{ds} = \text{const.}} \quad (8)$$

$$g_m = \frac{g'_m}{1 - R_s g'_m} \quad (9)$$

$g'_m$ 는 포화 영역의  $V_{ds}$ 에서,  $V_{gs}$ 에 대한  $I_{ds}$  곡선을 그리고  $V_{gs} = 0$ 에서의 접선의 기울기로 정하며,  $g_m$ 은 식(9)로부터 계산하여 얻는다.

이와 같은 방법으로 측정된 각 DC특성을 표(1)에 기록하였다. 이 값은 본 연구실에서 MOCVD기술로 성장시킨 웨이퍼로 제작한 MESFET에서 측정된 것이다.

4.  $g_m$ 와  $V_t$ 에 대한 게이트 길이의 영향

위의 그림 9에 나타난 게이트 길이에 따른 DC특성의 변화를 보면 게이트 길이가 감소함에 따라  $V_t$ ,  $I_{dss}$ 와  $g_m$ 값이 증가하며, 특히 게이트 길이가  $1\mu m$ 인 경우  $2 \sim 4\mu m$  게이트 FET보다 그 증가량이 현저히 크다는 것을 알 수 있다. 즉 게이트 길이가  $1\mu m$ 이하로 감소하면 "2-dimensional effect"가 크게 증가하여  $V_t$ 가 증가하게 된다.<sup>17)</sup> 또한 고전적인 gradual 모델<sup>18)</sup>에 의하면 드레인 전류는 게이트 길이에 반비례하는데 특히 게이

표 1. GaAs MESFET에서 측정된 DC특성  
Table 1. DC Characteristics Measured on GaAs MESFETs.

DC characteristics	Gate length ( $\mu m$ )	1	2	3	4	100
Threshold voltage, $V_t$ (V)		4.1	3.5	3.4	3.1	3.45
Pinch-off voltage, $V_p$ (V)		5.1	4.5	4.4	4.1	4.45
Saturation current, $I_{dss}$ (mA)		44	28	27	19.5	3.2
Source resistance, $R_s$ ( $\Omega$ )		35.5	48	48	48	115
External transconductance, $g'_m$ (mS)		11	8.5	9	7	1.5
Internal transconductance, $g_m$ (mS/mm)		67	51	57	40	6
Contact resistance, $R_c$ ( $\Omega$ )		4.6 ( $\rho_c = 5 \times 10^{-5} \Omega cm^2$ )				
Gate resistance, $R_g$ ( $\Omega$ )		5.19 ( $\rho_g = 2.9 \times 10^{-6} \Omega cm^2$ )				
Open channel resistance, $R_o$ ( $\Omega$ )		4.3	6.0	8.1	11	1.96

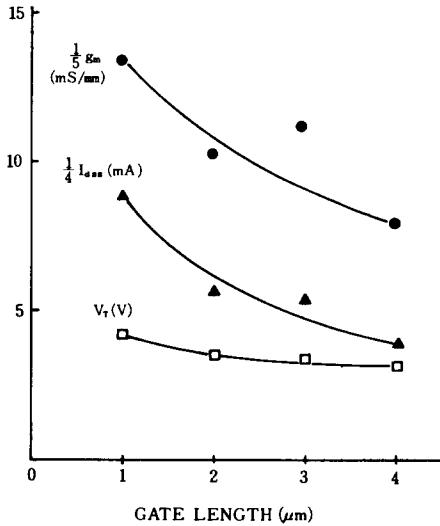


그림 9. 게이트 길이에 따른  $g_m$ ,  $V_r$ 와  $I_{dss}$ 의 변화 ( $I_{dss}=I_{ds}$  at  $V_{gs}=0$ )  
 Fig. 9. Dependency of  $g_m$ ,  $V_r$  and  $I_{dss}$  on the Gate Length.

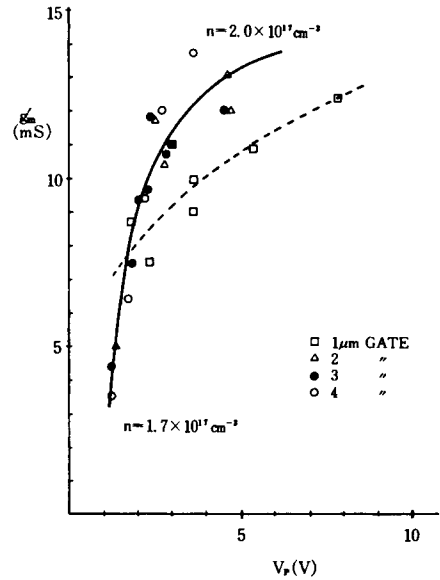


그림 10.  $V_r$ 에 따른  $g_m$ 의 변화  
 Fig. 10. Dependency of  $g_m$  on  $V_r$ .

트 길이가 1 $\mu$ m이하가 되면 고속도의 전자 over shoot가 가능하므로<sup>12)</sup>이 효과에 의한 특성으로 해석할 수 있다. 또한  $g_m$ 은  $V_r$ 에 반비례하고  $I_{dss}$ 에 비례하므로 게이트 길이의 감소에 의한  $V_r$ 증가 효과보다  $I_{dss}$  증가 효과가 더 크므로 결과적으로 게이트 길이 감소에 따라  $g_m$ 이 증가하였다.

5. 핀치 오프(pinch-off) 전압에 따른  $g_m$ 의 변화  
 다음 그림10은 VPE웨이퍼로 제작한 MESFET의 활성층의 두께를 1000 $\text{\AA}$ ~1700 $\text{\AA}$ 까지 조절하여 넓은 범위의  $V_p$ 를 갖는 다수의 FET를 제작하여  $V_p$ 와  $g_m$ 와의 관계를 본 것이다.

$V_p$ 가 감소하면, 즉 활성층의 두께가 감소하면 채널이 대부분 활성층과 버퍼층 사이의 전이 영역에 형성되므로 캐리어 농도가 작아진다. 그림10에 의하면 캐리어 농도가 0.85배 감소하였을 때  $g_m$ 은 0.27배로 감소한다. 이는  $g_m$  값의 감소에 캐리어 농도의 영향이외에 다른 효과가 있음을 시사한다. 두 경우 전자 이동도를 구해보니 3450 $\text{cm}^2/\text{V}\cdot\text{s}$ 에서 2300 $\text{cm}^2/\text{V}\cdot\text{s}$ 로 줄었다. 즉 활성층이 얇으면 앞에서 말한 바와 같이 채널이 전이영역에 형성되고 이 부분에서의 전자 이동도가 활성층보다 낮음을 알 수 있다.<sup>6)</sup>

V. 활성 채널 파라미터의 추출

제조된 소자의 전기적 특성의 해석이나 공정의 향상을 위해서는 활성 채널의 크기나 물성에 대한 정보가

필요하다. MESFET에서 중요한 채널 파라미터로는 채널 두께, 캐리어 농도, 전자 이동도와 게이트 길이가 있다. 이는 공정전의 웨이퍼에서의 물성이나 공정에 의해 걸으로 드러나는 크기와는 다르므로 소자내에서의 "effective"값으로 칭한다.

1. Effective 채널 두께(a)

활성층에서 캐리어 농도가 균일하다는 가정하에 III장의 식(2)와 식(10)로부터 식(11)과 같은 관계식이 성립된다.

$$V_b = \frac{qN_bW^2}{2\epsilon_s} \tag{10}$$

$$a = W(V_p/V_b)^{1/2} \tag{11}$$

즉  $V_p$ 와 C-V측정으로 얻은  $V_b$ 와 W값( $V_b$ 에 의해 형성된 공핍 영역의 두께)으로부터 effective채널 두께 a를 구한다. 이 방법으로 MOCVD FET에서 구한 a값이 뒤의 표 2에 있다. 여기서 2~4 $\mu$ m 게이트 FET는 게이트 길이가 감소하면 a값이 다소 증가하는 경향을 보이나 그 차이가 50 $\text{\AA}$ 이내에 존재한다. 그러나 1 $\mu$ m 게이트의 경우는 2 $\mu$ m 게이트 FET보다 100 $\text{\AA}$  이상 큰값을 보인다. 이는 앞절에서 설명하였듯이 2-D 효과의 영향으로  $V_p$ 가 크게 증가한 때문이다.<sup>17)</sup>

2. Effective 캐리어 농도(n)

$n=N_b$ 의 가정과 식(2)에 의해  $V_p$ 와 a값을 대입하여 effective 캐리어 농도를 구할 수 있다. 측정된 n값은 MOCVD웨이퍼에서 게이트 길이에 관계없이 2.2 $\times$

$10^{17} \text{cm}^{-3}$ 이었는데 앞에서 구한  $a$  값과 C-V 측정으로 부터 얻은 캐리어 profile을 보면 채널이  $10^{16} \text{cm}^{-3}$ 의 캐리어 농도를 갖는 부분까지 확장되어 있다. 또한 C-V 측정으로 구한 웨이퍼 표면 부근의 캐리어 농도는  $2.5 \sim 2.6 \times 10^{17} \text{cm}^{-3}$ 이므로 effective 캐리어 농도는 채널의 확장효과까지 포함한 평균값임을 알 수 있다.

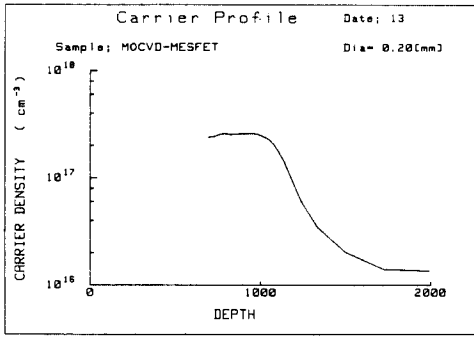


그림11. Schottky Contact Test Pattern에서 측정된 캐리어 농도 Profile

Fig.11. Carrier Concentration Profile Measured on the Schottky Contact Test Pattern.

3. Effective 게이트 길이( $L_{eff}$ )와 low field 이동도( $\mu_0$ )

MESFET의 활성 채널내에서의 전자 이동도는 아래 식과 같이 주어진다.

$$\mu_0 = \frac{L}{R_0 q N_D a Z} \quad (12)$$

이 식에서  $R_0$ ,  $N_D$ ,  $a$ ,  $Z$ 는 각각 채널 저항, 캐리어 농도, 채널 두께와 폭의 측정된 값이고  $q$ 는 기지의 상수이다. 따라서  $\mu_0$  값은 게이트 길이( $L$ ) 값으로 부터 구해진다. 그러나 실제 소자내에서의 채널 길이( $L_{eff}$ )는 mask상의 게이트 길이( $L_M$ ) 이나 금속 게이트 pattern상의 길이( $L_m$ )와는 다르다. 이유는 schottky 게이트에 의해 생기는 공핍층이 contact 바로 아래에만 형성되지 않고 양 옆쪽 특히 드레인쪽으로 상당히 확장되어 있기 때문이다.<sup>10)</sup>

따라서  $L_{eff}$ 는  $L_M$  이나  $L_m$  보다 크게 된다. 한편 FAT ( $L_m = 100 \mu\text{m}$ )에서는  $L_m$ 에 비해 활성 채널 두께가 매우 작고 양 옆으로 생긴 공핍층의 확장은 총  $L_m$ 에 비해 매우 작으므로 이때는  $L_{eff} \approx L_m \approx L_M$ 으로 볼 수 있다. 그러므로 FAT FET에서 측정된  $R_0$  값을 기준으로 하여 각 MESFET의 effective 게이트 길이를 구할 수 있다.

$$L_{eff} = L_M \frac{R_0 / L_M}{R_0 / L_M \text{ (at FAT)}} \quad (13)$$

식(13)에서 구한  $L_{eff}$  값을 앞 식(12)에 대입하여  $\mu_0$ 도 구한다. 표 2에 계산으로 얻은  $L_{eff}$ 와  $\mu_0$ 도 기록하였다. 이로서 채널내에서 전자는  $3000 \text{cm}^2 / \text{V} \cdot \text{s}$ 의 이동도를 가짐을 알았다. 이 값은

$$\mu_0 \approx 5.7 \times N^{-0.18} \quad (14)$$

$$N \approx 10^{16} \text{cm}^{-3}$$

의 식<sup>6)</sup>으로 예측되는 값인  $3190 \text{cm}^2 / \text{V} \cdot \text{s}$  보다 약간 작은 값이다.

표 2. 계산으로 얻은 활성 채널 파라미터  
Table 2. Calculated Value of Active Channel Parameters.

Gate length( $\mu\text{m}$ )	1	2	3	4
Effective paramters				
Channel thickness, $a_{eff}$ ( $\text{\AA}$ )	1788	1679	1660	1623
Carrier concentration, $n_{eff}$ ( $10^{17} \text{cm}^{-3}$ )	2.2	2.2	2.2	2.2
Gate length, $L_{eff}$ ( $\mu\text{m}$ )	2.18	3.08	4.13	5.5
Low-field mobility, $\mu_0$ ( $\text{cm}^2 / \text{Vsec}$ )	2700	2900	2910	2980

VI. 결 론

GaAs의 ohmic contact, 화학적 wet 에칭, lift-off에 의한  $1 \mu\text{m}$  게이트 형성등의 단위 공정 실험을 통하여 공정 조건을 결정하였고, 이 결과를 이용하여 MOCVD와 VPE방법으로 활성층을 성장시킨 웨이퍼로 최소  $1 \mu\text{m}$  게이트 길이의 MESFET을 제작하였다. 측정된  $1 \mu\text{m}$  게이트 MESFET의  $g_m$ 은 MOCVD와 VPE 웨이퍼에서 각각  $67 \text{mS/mm}$ 와  $68 \text{mS/mm}$ 이다. 또한 정확한 DC특성의 측정, 주요 활성채널 파라미터의 추출과 상호관계의 분석결과, 다음 몇가지 부분에서의 개선으로 상당한  $g_m$ 의 향상을 기대할 수 있다. 게이트 길이를  $1 \mu\text{m}$  이하로 감소시키려는 drift 속도의 over shoot 효과를 유도하고, 소오스와 게이트 간격을 현재의  $10 \mu\text{m}$ 에서  $1 \sim 2 \mu\text{m}$ 로 줄여 직렬저항에 의한 전달 컨덕턴스 감소를 최소화 한다. 게이트 저항을 감소시키기 위해서는 우선 lift-off 기술의 향상으로 게이트 금속 박막의 두께를 증가시킨다. 또 재료적인 측면에서 비퍼와 활성층 사이의 전이층에 의한 전자 이동도 감소 현상에 대한 연구가 더 진행되어야 하며 이로 인한 에피성장 기술의 개선이 필요하다.

參 考 文 獻

[1] Ogawa, M., K. Ohata, T. Furutsuka and N. Kawamura, "Submicron single-gate and dual-gate GaAs MESFET's with improved low noise and high gain performance,"



- IEEE Trans. Microwave Theory and Techniques*, vol. MTT-24, no.6, pp.300, Jun. 1976.
- [2] J.J. Gannon and C.J. Nuese, "A Chemical etchant for the selective removal of GaAs through SiO<sub>2</sub> mask," *J. Electrochem. Soc.*, vol.121, no.9, pp.1215, Sept. 1974.
- [3] M. Hatzakis, B.J. Canavello and J.M. Shaw, "Single-step optical Lift-Off process," *IBM J. Res. Develop.*, vol.24, no.4, pp.452, July 1980.
- [4] G.S. Marlow and M.B. Das, "The effects of contact size and non-zero metal resistance on the determination of specific contact resistance," *Solid-state Electronics*, vol.25, no.2, pp.91, Feb. 1982.
- [5] P. Wolf, "Microwave properties of schottky barrier field effect transistor," *IBM J. Res. Develop.*, vol.14, no.2, pp.125, Mar. 1970.
- [6] H. Fukui, "Determination of basic device parameters of a GaAs MESFET," *Bell syst. tech. J.*, vol.58, no.3, pp.771, Mar. 1979.
- [7] W.R. Curtice, "The performance of sub-micrometer gate length GaAs MESFET's," *IEEE Trans, Electron Devices*, vol.ED-30, no.12, pp.1693, Dec. 1983.
- [8] S.M. Sze, *Physics of Semiconductor Devices*, Wiley New York pp.324-333, 1981.
- [9] J.G. Ruch, "Electron dynamics in short channel field effect transistors," *IEEE Trans. Electron Devices*, vol.ED-19, no.5, pp.652, May 1972.
- [10] L.F. Eastman, S. Tiwari and M.R. Shur, "Design criteria for GaAs MESFETS related to stationary high field domains," *Solid-state Electronics* vol.23, p.383, 1980.
-