

GaAs D-Mode 와 E-Mode MESFET 모델의 SPICE 삽입 (SPICE Implementation of GaAs D-Mode and E-Mode MESFET Model)

孫 尚 熙*, 郭 桂 達*

(Sang Hee Son and Kae Dal Kwack)

要 約

GaAs MESFET IC를 위한 회로 시뮬레이터로서 사용하기 위하여 SPICE 2.G6 JFET 서브루틴과 이와 관련된 서브루틴을 GaAs MESFET 특성에 맞게끔 수정하였다. 사용된 GaAs MESFET의 드레인 전류-전압모델로는 hyperbolic-tangent 모델을 사용하였고, 이 전류모델로부터 유도한 채널-컨덕턴스, 드레인-컨덕턴스를 소신호모델에 삽입하여 사용하였다. 또한, pinch-off가 발생한 후의 상태까지 고려한 디바이스 커패시턴스모델과 SPICE 2G.6에 삽입하기 위한 변형된 디바이스 전하량모델을 제안하였다. 수정한 결과는 실험결과와 비교하여 보았을 때 GaAs 회로 시뮬레이터로서 사용하기에 유용하였으며, DC convergence도 종래의 SPICE 2G.6 JFET 서브루틴에 의한 결과보다 좋았다. 본 논문에서 제시한 모델은 depletion-mode GaAs MESFET뿐만 아니라 enhancement-mode GaAs MESFET에도 폭넓게 적용할 수 있다.

Abstract

In this paper, the SPICE 2G6 JFET subroutine and other related subroutines are modified for circuit simulation of GaAs MESFET IC's. The hyperbolic tangent model is used for the drain current-voltage characteristics of GaAs MESFET's and derived channel-conductance and drain-conductance model from the above current model are implemented into small-signal model of GaAs MESFET's. And, device capacitance model which consider after-pinch-off state are modified, and device charge model for SPICE 2G.6 are proposed. The result of modification is shown to be suitable for GaAs circuit simulator, showing good agreement with experimental results. Furthermore the DC convergence of this paper is better than that of SPICE 2.G JFET subroutine. GaAs MESFET model in this paper is applied for both depletion-mode GaAs MESFET and enhancement-mode GaAs MESFET without difficulty.

I. 서 론

쇼트키 장벽 게이트 구조를 갖는 GaAs MESFET는 고주파에서 높은 전압이득, 저소음 특성 때문에 마이크로웨이브 소자에 많이 사용되고 있으며,^{1,2} GaAs내의 전도전자의 큰 이동도와 드리프트 속도에 의한 고속스

위칭이 가능하기 때문에 고속디지털 집적회로에 최근 사용이 급증하고 있다.^{3,4}

이러한 GaAs MESFET를 사용한 회로설계를 함에 있어서 종래는 SPICE 2G 내에 탑재되어 있는 JFET 서브루틴을 이용하였다. 그러나 SPICE 2G가 사용하기가 편리한 반면에 수정하기가 용이하지 않은 점때문에 그 안에 삽입된 JFET의 각종모델(전류-전압, 커패시턴스, 전하량모델등)이 GaAs MESFET 모델로 쓰기에는 많은 오차를 내재하고 있음에도 불구하고, 널

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1987年 3月 19日

리 사용되어 왔다. 이 때문에 최근 GaAs MESFET의 드레인 전류-전압특성 및 캐패시턴스, 채널-컨덕턴스, 드레인-컨덕턴스 등에 대한 개선된 모델이 많이 등장하고 있고,^{6,7,8,9} 또 이를 SPICE 2G에 삽입시키려는 작업이 많이 행해지고 있다.^{10,11,12}

그러나 이와같은 모델들을 SPICE 2G에 삽입시키기 위해서는 많은 노력과 시간을 필요로 하며, 수정하기가 그리 쉽지 않다. 또한 그 결과도 완전한 GaAs 회로 시뮬레이터라고 하기에는 많은 문제점을 안고 있다. 따라서 본 논문에서는 수정의 편리함과 정확성을 동시에 도모하기 위하여 가능한한 SPICE 2G.6 JFET 서브루틴과 그와 관계된 서브루틴들의 기본구조를 해치지 않으면서 SPICE 2G.6에 쉽게 삽입시킬 수 있는 hyperbolic tangent 드레인 전류-전압모델, 이를 이용한 소신호모델 그리고 pinch-off가 발생한 후의 상태까지 고려한 디바이스 캐패시턴스모델과 이를 이용한 디바이스 전하량 모델들을 제시하고자 한다.

II. 본 론

본 논문에서는 SPICE 2G.6에 삽입하기 위한 GaAs MESFET 모델을 드레인 전류-전압 모델, 소신호모델, 디바이스 캐패시턴스 모델, 디바이스 전하량 모델로 나누어 크게 4 가지로 취급하였다.

1) 드레인 전류-전압 모델

A) 드레인 전류-전압 모델설정

종래 GaAs MESFET의 회로 시뮬레이션은 SPICE 2G JFET 서브루틴내의 각종모델에 바탕을 두고서 시작해 왔는데, 여기서의 드레인전류-전압식은 Shichman & Hodge에 의해 제안한 모델일⁵⁾ 사용하고 있다. 이 전류-전압 모델에서는 FET의 드레인 전류 I_{drain}을 드레인 전압 V_{ds}의 영역에 따라 3 개 영역으로 나누어 구분하였다.

a) 차단영역 (V_{gs} - V_T < 0)

$$I_{drain} = 0 \tag{1}$$

b) 포화영역 (V_{ds} > V_{gs} - V_T > 0)

$$I_{drain} = W \cdot \beta \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda V_{ds}) \tag{2}$$

c) 선형영역 (V_{gs} - V_T > V_{ds})

$$I_{drain} = W \cdot \beta \cdot V_{ds} [2(V_{gs} - V_T) - V_{ds}] \cdot (1 + \lambda V_{ds}) \tag{3}$$

단, V_{gs} = V_{g'} - V_{s'}, V_{ds} = V_{d'} - V_{s'}이며, V_{g'}, V_{d'}, V_{s'}는 각각 intrinsic FET에 걸어준 게이트, 드레인, 소오스 전압을 의미한다.

여기서, W = Device Width [μm]

β = Transconductance factor [A/V² - μm]

V_T = Threshold 전압 [V]

λ = Channel length modulation 파라메타 [V⁻¹]

을 각각 의미한다.

위의 드레인 전류모델식 (1), (2), (3)과 그림 1의 GaAs D-mode MESFET, 그림 2의 GaAs E-mode MESFET의 전류-전압 측정치를 사용하여 파라메타를 추출해 보았다. 그림 1, 그림 2에서 실선으로 표현된 부분은 추출한 디바이스 파라메타(V_T, β, λ)를 역으로 대입한 경우에 해당되는 곡선이다. 이 경우의 파라메타들은 포화영역에서는 비교적 잘 적용되고 있으나, 선형영역에서의 드레인 전류 계산치는 D-MESFET인 경우는 측정치보다 낮고(그림 1), E-MESFET인 경우는 측정치보다 높았다(그림 2). 만약 GaAs MESFET의 파라메타를 선형영역에 초점을 맞추어 추출한다면 선형영역에서의 드레인 전류계산치는 잘 맞으나, 포화영역에서의 드레인 전류계산치는 측정치와 비교해서 D-MESFET인 경우는 너무 크고 E-MESFET인 경우는 너무 낮은 결과를 초래한다. 결국 위의 Shichman-Hodge의 드레인 전류식은 GaAs MESFET의 특성을 나타내기에는 부적합하다는 것을 알 수 있다.

그러나 식(2)에 hyperbolic tangent함수⁶⁾를 곱한 hyperbolic tangent 드레인 전류식은 드레인 전압의 전 영역에 대해서 잘 맞는다.

$$I_{drain} = W \cdot \beta \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \tag{4}$$

이 방정식은 V_{ds}의 전 영역에 대하여 전류-전압 특성을 묘사하기 위하여 식(2)의 "square-law" 모델을 변형시킨 것이다. 사용된 fitting 파라메타 α는 V_{ds}의 낮은 영역을 맞추기 위하여 사용된 것으로 만약 V_{ds}가 큰 값으로 되면 tanh(αV_{ds}) ≈ 1로 되기 때문에 이 경우의 식(4)는 식(2)와 같아지게 됨을 알 수 있다.

식(4)와 그림 1, 그림 2의 실험치를 사용하여 파라메

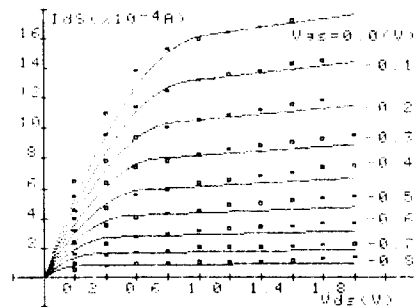


그림 1. GaAs D-MESFET의 드레인 전류의 측정값 (□)¹⁰⁾과 계산값의 비교 [식(2)] (β=68μA/V² - μm, λ=0.1V⁻¹, V_T=-1.04V, R_D=55Ω, R_S=55Ω, R_G=0Ω, W=20μm)

Fig. 1. Comparison of Measured (□)¹⁰⁾ and Calculated Drain Current Value in GaAs D-MESFET [Eq. (2)].

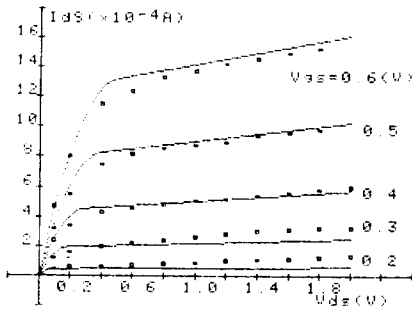


그림 2. GaAs E-MESFET의 드레인 전류의 측정값 (□)^[30]과 계산값의 비교 [식(2)] ($\beta=125\mu A/V^2-\mu m$, $\lambda=0.16V^{-1}$, $V_T=0.106V$, $R_D=28\Omega$, $R_S=38\Omega$, $R_G=0\Omega$, $W=40\mu m$)

Fig. 2. Comparison of Measured (□)^[30] and Calculated Drain Current Value in GaAs E-MESFET [Eq.(2)].

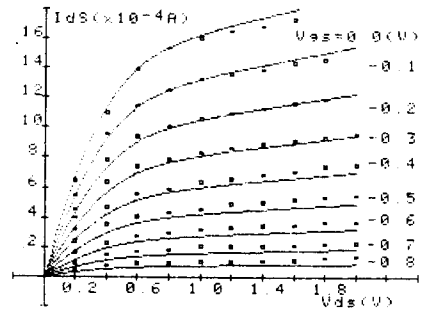


그림 3. GaAs D-MESFET의 드레인 전류의 측정값 (□)^[30]과 계산값의 비교 [식(4)] ($\beta=67\mu A/V^2-\mu m$, $\lambda=0.18V^{-1}$, $V_T=-1.02V$, $\alpha=2.5V^{-1}$, $R_D=55\Omega$, $R_S=55\Omega$, $R_G=0\Omega$, $W=20\mu m$)

Fig. 3. Comparison of Measured (□)^[30] and Calculated Drain Current Value in GaAs D-MESFET [Eq.(4)].

타를 추출하였고 그 결과를 그림 3 (D-MESFET), 그림 4 (E-MESFET)에 나타내었다. 그림 3, 그림 4에서의 추출된 파라메타($V_T, \beta, \alpha, \lambda$)를 사용하여 계산된 전류값은 측정된 전류치와 V_{DS} 의 전 범위에서 비교적 잘 일치하였다. 따라서 본 논문에서는 GaAs MESFET의 대신호 모델로서 그림 5를 사용하였고, 그림 5의 전류원으로서 식(4)를 사용하였다. 그림 5에서의 최종적인 DC 전류식관계는 다음과 같다.

$$I_g = I_{gs} + I_{gd}$$

$$\text{단, } I_{gs} = I_{so} [\exp(V_{gs}/V_t) - 1]$$

$$I_{gd} = I_{so} [\exp(V_{gd}/V_t) - 1]$$

(V_t = Thermal Voltage, I_{so} = Gate p-n junction sat. current)

$$I_d = I_{drain} - I_{gd}$$

$$I_s = -I_{drain} - I_{gs} \tag{5}$$

I_{drain} 전류는 다음과 같이 2개 영역으로 나누어진다.

$I_{drain} = 0$ ($V_{gs} - V_T < 0$: 차단영역)

$$I_{drain} = \beta \cdot (V_{gs} - V_T)^2 (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \tag{6}$$

($V_{gs} - V_T \geq 0$: 선형과 포화영역)

이때 식(6)는 식(4)를 W 로 표준화시킨 것이며, 식(5)에서 V_t 는 열전압을 나타낸다.

B) 파라메타 추출

그림 1, 그림 2, 그림 3, 그림 4에서의 파라메타는 최적화방법을 사용하여 추출한 것이다. 이 경우 채널 길이 L 등의 변화에 의하여 $I - V$ 특성이 변하게 될 경우에 α 를 비롯하여 추출되는 여러 파라메타들의 값도 마찬가지로 변하게 된다. 이러한 방법으로 파라메타를

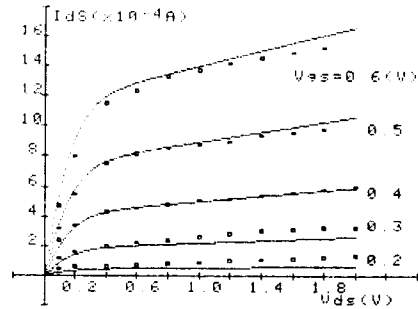


그림 4. GaAs E-MESFET의 드레인 전류의 측정값 (□)^[30]과 계산값의 비교 [식(4)] ($\beta=115\mu A/V^2-\mu m$, $\lambda=0.23V^{-1}$, $V_T=0.103V$, $\alpha=5.0V^{-1}$, $R_D=28\Omega$, $R_S=38\Omega$, $R_G=0\Omega$, $W=40\mu m$)

Fig. 4. Comparison of Measured (□)^[30] and Calculated Drain Current Value in GaAs E-MESFET [Eq.(4)].

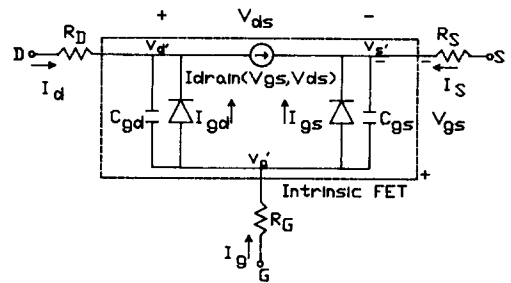


그림 5. 본 논문에서 사용된 GaAs MESFET의 대신호 모델

Fig. 5. GaAs MESFET Large Signal Model Used in This Paper.

추출하는 것은 MOSFET 파라메타 추출에 널리 이용된 방법이다.^{13,14}

P_i 를 i 번째의 모델 파라메타, I_j^M 을 j 번째의 측정전류값, $I_j(P_i)$ 를 모델 방정식에 파라메타를 대입했을시의 j 번째 계산전류 값이라고 정의하면 Error function은 다음과 같이 된다.

$$f(\alpha, \beta, \lambda, VT) = \sum (1 - I_j(P_i)/I_j^M)^2 \quad (6)'$$

이때 식(6)'의 함수 $f(\alpha, \beta, \lambda, VT)$ 를 최소화 시켰을 경우의 최적 파라메타값 $\alpha, \beta, \lambda, VT$ 가 우리가 구하고자 하는 값이 된다. 이 경우의 최소화 알고리즘으로 DFP (Davidon Fletcher Powell) 알고리즘,¹⁵ Levenberg-Marquardt 알고리즘,^{16,17} Rosenbrock 알고리즘등이¹⁸ 사용되어지고 있으나, 여기서는 DFP 알고리즘을 채택했다.

2) 소신호 모델

선형화한 GaAs MESFET의 소신호모델을 그림 6에 나타내었다. 이 형태는 JFET의 소신호 모델과 유사하다. 이때 그림 6에서 사용한 채널-컨덕턴스 g_m 과 드레인-컨덕턴스 g_{ds} 의 값은 새로 채택한 드레인 전류 모델식(4)를 이용하여 유도하였으며, 삽입된 값은 다음과 같다.

$$g_m = \partial I_{drain} / \partial V_{gs} = 2 \cdot \beta \cdot (V_{gs} - VT) (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (7)$$

$$g_{ds} = \partial I_{drain} / \partial V_{ds} = \beta \cdot (V_{gs} - VT)^2 \cdot [\lambda \cdot \tanh(\alpha V_{ds}) + (1 + \lambda V_{ds}) \cdot \alpha \cdot \text{sech}^2(\alpha \cdot V_{ds})] \quad (8)$$

이 경우 위의 식(7), (8)과 컨덕턴스의 미분계수 ($\partial g / \partial V$)가 주어진 전압 범위내에서 연속이기 때문에 Shichman & Hodge의 전류-모델식을 이용하여 컨덕턴스를 구하는 경우보다 DC convergence가 좋음을 알 수 있다.

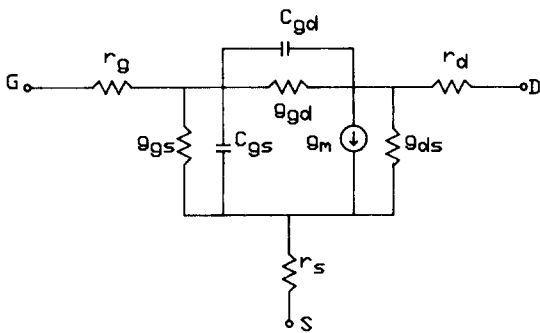


그림 6. 선형화한 GaAs MESFET의 소신호 모델
Fig. 6. Linearized GaAs MESFET Small Signal Model.

3) 디바이스 커패시턴스 모델

회로의 과도 응답 및 주파수 응답의 예측을 위해서는 내부 디바이스 커패시턴스의 정확한 모델이 중요하다. 보통 GaAs MESFET의 디바이스 커패시턴스 모델로서 SPICE 2G JFET 서브루틴내에서 사용되어 왔던 디바이스 커패시턴스 모델을 많이 사용하는데, 이는 게이트와 소스, 게이트와 드레인사이를 연결하는 Schottky diode의 커패시턴스 모델로서 그것은 다음과 같다.

$$C_{gs} = C_{gso} / \sqrt{(1 - V_{gs}/V_{bi})} \quad (9)$$

$$C_{gd} = C_{gdo} / \sqrt{(1 - V_{gd}/V_{bi})} \quad (10)$$

이중 식(9)의 게이트-소스 커패시턴스 모델은 GaAs MESFET의 게이트-소스 특성을 비교적 잘 나타내고 있다. 그러나 식(10)의 게이트-드레인 커패시턴스 C_{gd} 의 경우는, 실제로 게이트와 드레인 사이의 정전커패시턴스(electrostatic coupling capacitance)와 edge fringing capacitance의 양이 바이어스에 의해서 형성되는 공핍커패시턴스 양보다 훨씬 크기때문에 약간의 변형을 요한다. 참고문헌[19, 20]에 의하면, C_{gd} 의 경우 정전커패시턴스와 edge fringing 커패시턴스 양은 보통 두단자 사이에 0.1~0.2 fF/ μ m 정도의 값으로 되나, 공핍커패시턴스는 그보다 훨씬 작은 값을 취한다. 따라서 C_{gd} 의 경우 식(10)과 같이 외부전압의 변화에 의한 커패시턴스 값보다 기생 커패시턴스 값이 크기 때문에 전체적으로 보아 일정한 상수값의 커패시턴스 값을 취하게 된다. 이 이유는 게이트 단자의 드레인 쪽에서 상당히 높은 전계가 형성되기 때문에, 속도포화 현상에 의하여 electric-dipole이 형성되면서 게이트의 소스쪽에서 전하의 축적이 일어나는 반면에, 게이트의 드레인쪽에서는 전하의 공핍이 생기기 때문이다.

결국 변형된 디바이스 커패시턴스 모델은 다음과 같이 표현할 수 있다.

$$C_{gs} = \begin{cases} C_{gso} / \sqrt{(1 - V_{gs}/V_{bi})} & (V_{gs} < 0) \\ C_{gso} & (V_{gs} \geq 0) \end{cases} \quad (11)$$

$$C_{gd} = C_{gdo} \quad (12)$$

위 식에서 C_{gso} , C_{gdo} 는 외부 바이어스가 0인 경우에 측정된 게이트-소스, 게이트-드레인 사이의 커패시턴스값이고, V_{bi} 는 전위장벽이다. 식(4), (7), (8), (11), (12)의 모델을 SPICE 2G.6에 삽입시킨 후에 그림 7의 GaAs MESFET 인버터(전부 D-MESFET로 구성되었음)와 그림 8의 2-입력 NOR회로(E-MESFET와 D-MESFET의 조합으로 J1이 D-MESFET, J2와 J3가 E-MESFET 임)에 대하여 시뮬레이션하여 보았다. 입력으로는 각각 그림 9, 그림 10에 실선으로 나타낸 펄스를 사용하였다.

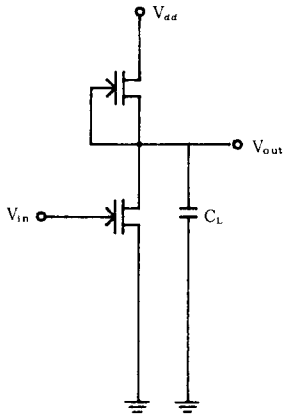


그림 7. D-MESFET로 구성된 GaAs 인버터⁶⁾
 Fig. 7. GaAs Inverter Using D-GaAs MESFET⁶⁾.

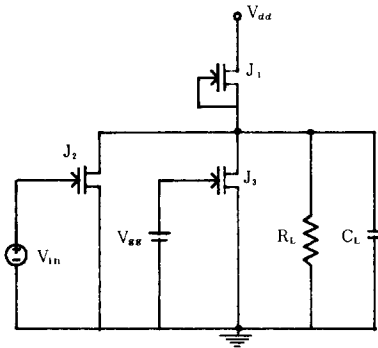


그림 8. D-MESFET와 E-MESFET로 구성된 2-입력 NOR 회로²¹⁾
 Fig. 8. 2-Input GaAs NOR Circuit Using Both D-MESFET and E-MESFET²¹⁾.

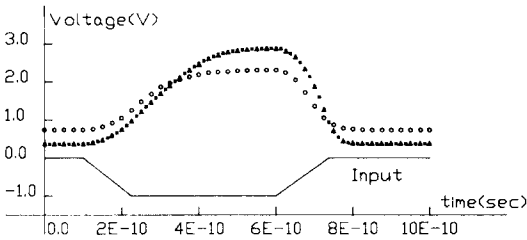


그림 9. 그림 7의 GaAs 인버터의 과도해석결과
 □ : 식(4), (7), (8), (11), (12)를 이용한 본 논문의 해석결과
 ○ : SPICE 2G.6 JFET 서브루틴에 의한 결과
 ▲ : Curtice의 R-CAP 프로그램에 의한 결과⁶⁾
 Fig. 9. The Transient Analysis of GaAs MESFET Inverter of Fig.7.
 □ : Result of this Paper Using Eq.(4), (7), (8), (11), (12)
 ○ : Result of SPICE 2G.6 JFET Subroutine
 ▲ : Result of R-CAP Program of Curtice's⁶⁾.

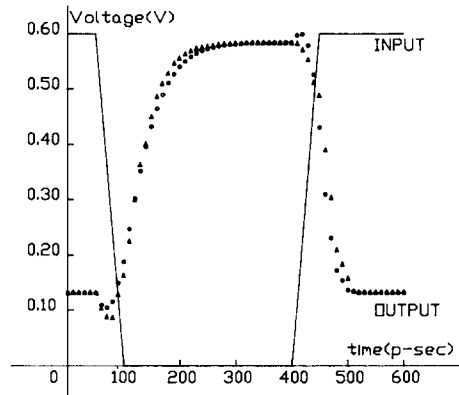


그림 10. 그림 8의 2-입력 NOR 회로의 과도해석결과
 ○ : 식(4), (7), (8), (11), (12)을 이용한 본 논문의 해석결과
 ▲ : 참고문헌[21]의 실험결과
 Fig. 10. The Transient Analysis of 2-Input NOR Circuit of Fig.8.
 ○ : Result of This Paper Using Eq.(4),(7), (8), (11), (12)
 ▲ : Experimental Result of Reference[21].

그림 9에서 (○)는 SPICE 2G.6 JFET 모델에 의한 해석이고, (▲)는 Curtice의 R-CAP 프로그램에 의한 해석결과로서 이를 비교대상으로 삼았다. 그림 10에서는 참고문헌[21]의 실험결과를 비교대상으로 삼았다.

그림 9, 그림 10의 각각의 해석결과에서 볼 수 있듯이 그림 7의 D-MESFET로 구성된 회로의 경우에는 계산치가 실험치와 잘 일치하였으나, 그림 8의 D-MESFET와 E-MESFET로 구성된 2-입력 NOR-게이트 회로의 경우에는 상승시간과 하강시간시에 계산치에서 일종의 진동이 발생함과 더불어 실험치에 비해 오차가 많이 남을 볼 수 있다. 결국 이 커패시턴스모델은 D-GaAs MESFET에는 잘 적용되나, E-MESFET에는 적용될 수 없음을 뜻한다. 그 이유는 이 모델이 pinch-off 상태 전까지는 비교적 그런대로 쓸만하지만, pinch-off 상태 후의 오차가 그림 10에서의 오차의 발생원인으로 귀결되기 때문이다. 좀더 자세히 설명하자면, GaAs MESFET의 게이트에 바이어스가 가해지면 게이트 밑의 채널이 점점 공핍되어지며, 게이트 밑의 채널영역의 전하량은 게이트전압에 따라 점점 증가되는 형태로 되어진다(pinch-off 전의 상태).

그러나 채널이 pinch-off됨에 따라 채널의 공핍층이 더 이상 기관 밑으로 침투하지 못하며, 따라서 소스와드레인영역의 측면으로 침투해 들어간다(pinch-off 후의 상태). 따라서 pinch-off 후의 상태에서는 게이트 영

역밀의 전체 전하량은 변함이 없으며, 다만 게이트 영역을 벗어나 드레인, 소스 영역으로 확장되어 나간 전하량의 변이에 의하여 커패시턴스가 결정된다. 최근 이러한 현상을 고려하여 M. S. Shur와^[21] Takada et al. 등이^[22] D-MESFET와 E-MESFET에 동시에 적용할 수 있는 커패시턴스 모델을 제안한 바있다.

이 중 Shur의 모델은 잘 맞으나, 식 중에 수치해석적으로 풀어야 할 부분이 너무 많아 SPICE 2G와 같은 회로시뮬레이터에 적용하기에는 적절치 않기때문에 본 논문에서는 해석적인 Takada의 모델을 채택하여 SPICE 2G.6에 맞게끔 수정하였다.

이 모델은 다음과 같다.

A) 게이트-소스 커패시턴스(Cgs)

a) $V_{gs} \leq V_T - 0.15$ (pinch-off 후의 상태)

$$C_{gs} = \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / (V_T - V_{gs})) \quad (13 a)$$

b) $V_T - 0.15 < V_{gs} < V_T + 0.08$ (과도상태)

$$C_{gs2} = (1/0.23) (V_{gs} - (V_T - 0.15)) \{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + 1/2\pi\epsilon W - \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / 0.15) \} + \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / 0.15) \quad (13 b)$$

c) $V_{gs} \geq V_T + 0.08$ (pinch-off 전의 상태)

$$C_{gs3} = CGSO / \sqrt{1 - V_{gs} / V_{bi}} + 1/2\pi\epsilon W \quad (13 c)$$

B) 게이트-드레인 커패시턴스(Cgd)

a) $V_{gd} \leq V_T - 0.15$ (pinch-off 후의 상태)

$$C_{gd1} = \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / (V_T - V_{gd})) \quad (14 a)$$

b) $V_T - 0.15 < V_{gd} < V_T + 0.08$ (과도상태)

$$C_{gd2} = (1/0.23) (V_{gd} - (V_T - 0.15)) \{ CGDO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + 1/2\pi\epsilon W - \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / 0.15) \} + \epsilon W \cdot \tan^{-1} (\sqrt{(V_{bi} - V_T)} / 0.15) \quad (14 b)$$

c) $V_{gd} \geq V_T + 0.08$ (pinch-off 전의 상태)

$$C_{gd3} = CGDO / \sqrt{1 - V_{gd} / V_{bi}} + 1/2\pi\epsilon W \quad (14 c)$$

식(13), (14)에서 CGSO, CGDO는 각각 바이어스가 0인 경우의 게이트-소스, 게이트-드레인 사이의 커패시턴스이고, ϵ 는 GaAs의 유전율, W는 GaAs MESFET의 게이트 width를 뜻한다. 식(9)의 모델과 식(13)의 모델을 참고문헌[22]와 참고문헌[24]의 디바이스에 적용시켜 비교한 그림을 각각 그림11과 그림12에 나타내었다.

그림11, 그림12에서 볼 수 있듯이 pinch-off가 발생하기 전까지는 비교적 서로 일치되는 커패시턴스 값을 보이고 있으나, pinch-off가 발생하면서 부터는 심한 차이를 보임을 알 수 있다.

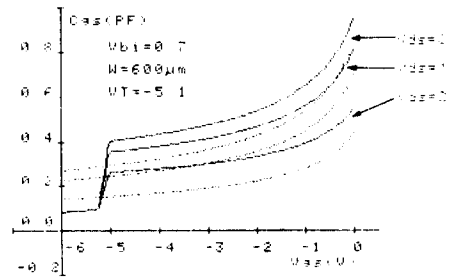


그림11. 게이트-소스 전압의 함수인 게이트-소스 커패시턴스 값 (디바이스A)
 : 식(9)에 의한 결과
 —— : 식(13)에 의한 결과

Fig. 11. Gate-Source Capacitance Value as a Function of Gate-Source Voltage.
 : Result of Eq. (9).
 —— : Result of Eq. (13).

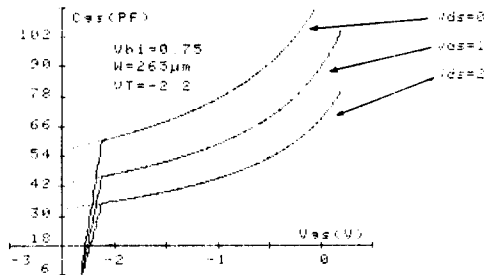


그림12. 게이트-소스 전압의 함수인 게이트-소스 커패시턴스 값 (디바이스B)
 : 식(9)에 의한 결과
 —— : 식(13)에 의한 결과

Fig. 12. Gate-Source Capacitance Value as a Function of Gate-Source Voltage.
 : Result of Eq. (9).
 —— : Result of Eq. (13).

4) 디바이스 전하량모델

식(13), (14)를 SPICE 2G.6에 적용시킬때 우선적으로 해야 할 일이 전하량 Qgs (Qgd)를 구해야한다. SPICE 2G.6내에서 취급하고 있는 전하량 Qgs (Qgd)는 바이어스에 의해서 영향받는 공핍전하만을 고려하고, 그 외 디바이스 구조형태등으로 부터 발생하는 부수적인 전하는 전혀 고려하지 않아야만 하나, Takada 모델의 경우 전하량 Qgs (Qgd)는 바이어스에 의존하는 전하뿐만 아니라 바이어스에 의존하지 않는 전하까지도 포함하기 때문에 이 전하량 모델은 사용할 수 없게된다. 따라서 본 논문에서는 식(13), (14)의 커패시턴스를 정적분 한 후에 Vgs (혹은 Vgd) = 0인 경우의 전하량이 0이 되어야 하는 조건과 경계점에서의 전하량이 연속해야 한

다는 조건을 이용하여 다음과 같이 전하량 모델 Q_{gs} (Q_{gd})를 구했다(Q_{gs} 의 경우와 Q_{gd} 의 경우는 CGSO와 CGDO 그리고 V_{gs} 와 V_{gd} 만을 바꾸면 되므로 이하 Q_{gs} 경우만을 설명하겠다).

먼저 게이트-소스 전압 V_{gs} 와 Threshold 전압 V_T 사이의 대소관계에 따라 다음과 같이 분류되어 진다.

a) $V_{gs} \leq V_T - 0.15$ (pinch-off 후의 상태)

$$C_{gs1} = \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{(V_T - V_{gs})} \right) \quad (13a)$$

$$\begin{aligned} Q_{gs1} &= \int C_{gs1} \cdot dV_{gs} \\ &= \epsilon W \left\{ -\sqrt{(V_{bi} - V_T)} \frac{(V_T - V_{gs})}{(\sqrt{(V_{bi} - V_T)} / (V_T - V_{gs}))} - \right. \\ &\quad \left. (V_{bi} - V_{gs}) \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{(V_T - V_{gs})} \right) \right\} \\ &\quad + A \quad (A : \text{constant}) \quad (15a) \end{aligned}$$

b) $V_T - 0.15 < V_{gs} < V_T + 0.08$ (과도상태)

$$\begin{aligned} C_{gs2} &= (1/0.23) (V_{gs} - (V_T - 0.15)) \\ &\quad \left\{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + 1/2\pi\epsilon W \right. \\ &\quad \left. - \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) + \right. \\ &\quad \left. + \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} \quad (13b) \end{aligned}$$

$$\begin{aligned} Q_{gs2} &= \int C_{gs2} \cdot dV_{gs} \\ &= (1/0.23) \left\{ 1/2 V_{gs}^2 - (V_T - 0.15) V_{gs} \right\} \\ &\quad \left\{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + \right. \\ &\quad \left. 1/2\pi\epsilon W - \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} + \\ &\quad \epsilon W \cdot V_{gs} \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) + B \\ &\quad (B : \text{constant}) \quad (15b) \end{aligned}$$

c) $V_{gs} \geq V_T + 0.08$ (pinch-off 전의 상태)

$$C_{gs3} = CGSO / \sqrt{1 - V_{gs} / V_{bi}} + 1/2\pi\epsilon W \quad (13c)$$

$$\begin{aligned} Q_{gs3} &= \int C_{gs3} \cdot dV_{gs} \\ &= 2(-V_{bi}) CGSO \sqrt{1 - V_{gs} / V_{bi}} + \\ &\quad 1/2\pi\epsilon W V_{gs} + C \quad (C : \text{constant}) \quad (15c) \end{aligned}$$

식(15)의 상수 A, B, C 값을 구하기 위하여 앞에서 언급한 경계조건을 적용시킨다. 이 경우에 Threshold 전압값의 범위에 따라 경계조건은 3 가지 경우로 나누어지게 되며, 이에 따라 상수 A, B, C 값도 각각 달라지게 된다.

a) CASE I : $-0.08 < V_T < 0.15$ 인 경우

경계조건 :

- i) $Q_{gs2}(V_{gs} = 0) = 0$
- ii) $Q_{gs1}(V_T - 0.15) = Q_{gs2}(V_{gs} = V_T - 0.15)$
- iii) $Q_{gs2}(V_{gs} = V_T + 0.08) =$
 $Q_{gs3}(V_{gs} = V_T + 0.08)$

의 조건으로 부터 상수 A, B, C 값은 다음과 같게 된다.

$$B = 0$$

$$\begin{aligned} A &= \epsilon W \left\{ \sqrt{0.15(V_{bi} - V_T)} + \right. \\ &\quad \left. V_{bi} \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} - \\ &\quad (1/0.46) (V_T - 0.15)^2 \left\{ CGSO / \right. \\ &\quad \left. \sqrt{1 - (V_T + 0.08) / V_{bi}} + 1/2\pi\epsilon W - \right. \\ &\quad \left. \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} \\ C &= 2 \cdot CGSO \cdot V_{bi} \sqrt{1 - (V_T + 0.08) / V_{bi}} - \\ &\quad 1/2\pi\epsilon W (V_T + 0.08) + \\ &\quad (V_T + 0.08) \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) + \\ &\quad (1/0.23) \left\{ 1/2 (V_T + 0.08)^2 - \right. \\ &\quad \left. (V_T - 0.15) (V_T + 0.08) \right\} \\ &\quad + \left\{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + \right. \\ &\quad \left. 1/2\pi\epsilon W - \epsilon W \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} \quad (16) \end{aligned}$$

b) CASE II : $V_T > 0.15$ 인 경우

경계조건 :

- i) $Q_{gs1}(V_{gs} = 0) = 0$
- ii) $Q_{gs1}(V_{gs} = V_T - 0.15) = Q_{gs2}(V_{gs} = V_T - 0.15)$
- iii) $Q_{gs2}(V_{gs} = V_T + 0.08) = Q_{gs3}(V_{gs} = V_T + 0.08)$

의 조건으로 부터 상수 A, B, C 값은 다음과 같게 된다.

$$\begin{aligned} A &= \epsilon W \left\{ \sqrt{(V_{bi} - V_T)} V_T + \right. \\ &\quad \left. V_{bi} \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{V_T} \right) \right\} \\ B &= A + \epsilon W \left\{ -\sqrt{(V_{bi} - V_T)} 0.15 - \right. \\ &\quad \left. V_{bi} \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} + \\ &\quad (1/0.46) (V_T - 0.15)^2 \\ &\quad \left\{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + 1/2\pi\epsilon W - \right. \\ &\quad \left. \epsilon W \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} \\ C &= B + (V_T + 0.08) \epsilon W \cdot \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \\ &\quad + (1/0.23) \left\{ 1/2 (V_T + 0.08)^2 - \right. \\ &\quad \left. (V_T - 0.15) (V_T + 0.08) \right\} \\ &\quad \left\{ CGSO / \sqrt{1 - (V_T + 0.08) / V_{bi}} + \right. \\ &\quad \left. 1/2\pi\epsilon W - \epsilon W \tan^{-1} \left(\frac{\sqrt{(V_{bi} - V_T)}}{0.15} \right) \right\} + \\ &\quad 2CGSO V_{bi} \sqrt{1 - (V_T + 0.08) / V_{bi}} - \\ &\quad 1/2\pi\epsilon W (V_T + 0.08) \quad (17) \end{aligned}$$

c) CASE III : $V_T < -0.08$ 인 경우

경계조건 :

- i) $Q_{gs3}(V_{gs} = 0) = 0$
- ii) $Q_{gs3}(V_{gs} = V_T + 0.08) = Q_{gs2}(V_{gs} =$
 $V_T + 0.08)$
- iii) $Q_{gs1}(V_{gs} = V_T - 0.15) = Q_{gs2}(V_{gs} =$
 $V_T - 0.15)$

의 조건으로 부터 상수 A, B, C 값은 다음과 같게 된다.

$$C = 2 \cdot CGSO \cdot V_{bi}$$

$$\begin{aligned}
 B = & C + 2CGSO(-Vbi) \sqrt{1 - (VT+0.08)/Vbi} + \\
 & 1/2\pi \epsilon W (VT + 0.08) - \\
 & (VT+0.08) \epsilon W \tan^{-1}(\sqrt{(Vbi-VT)/0.15}) - \\
 & (1/0.23) \{1/2(VT+0.08)^2 - \\
 & (VT-0.15)(VT+0.08)\} \\
 & \{CGSO/\sqrt{1 - (VT+0.08)/Vbi} + \\
 & 1/2\pi \epsilon W - \epsilon W \tan^{-1}(\sqrt{(Vbi-VT)/0.15})\} \\
 A = & B + \epsilon W \{ \sqrt{(Vbi-VT)/0.15} + \\
 & Vbi \cdot \tan^{-1}(\sqrt{(Vbi-VT)/0.15}) \} - \\
 & (1/0.46) (VT - 0.15)^2 \\
 & \{CGSO/\sqrt{1 - (VT+0.08)/Vbi} + 1/2\pi \epsilon W - \\
 & \epsilon W \cdot \tan^{-1}(\sqrt{(Vbi-VT)/0.15}) \}
 \end{aligned}$$

(18)

이상과 같이 각각의 경우에 따른 상수 A, B, C 값을 식(16), (17), (18)로 부터 구하여 식(15)에 대입하게 되면 우리가 원하는 전압에 의존하는 전하량 값을 구할 수 있게 된다(Qgd의 경우도 마찬가지로 방법으로 구할 수 있다.).

이상과 같이 SPICE 2G.6에 탑재될 GaAs MESFET를 위한 전류-전압 모델, 소신호모델, 커패시턴스 모델, 전하량 모델을 언급하였다.

본 논문에서는 SPICE 2G.6를 수정하는 과정에서 JFET 서브루틴과는 별도의 GaAs MESFET를 위한 별개의 서브루틴을 만들지 않았다. 이와 같은 과정은 상당히 복잡하기 때문에 본 논문에서는 JFET 서브루틴의 이름을 그대로 사용하면서 기존의 JFET 모델과 새로이 삽입한 GaAs MESFET 모델을 각각 LEVEL1과 LEVEL2로 나누어 구분하여 사용하였다. 따라서 GaAs MESFET의 디바이스 카드와 모델이름의 사용 방법은 JFET의 경우와 같은 대신에^[15] 사용되는 파라메타로서 fitting 파라메타 α 와 게이트 오믹저항RG 그리고 LEVEL 2(JFET의 경우에는 LEVEL 1)가 더 추가되었다. Input Deck의 작성방법은 다음과 같다.

```

JXXX Drain-Node Gate-Node Source-Node Device-
Name [Area-Factor]
• MODEL Model-Name NJF(... 파라메타...,
LEVEL=2, ... 파라메타...)
    
```

이때 Area-Factor는 게이트의 width를 나타내는 값으로서 1 μ m로서 표준화시킨 값을 SPICE Input Deck에 기입한다. 따라서 식(16), (17), (18)등의 W값의 계산을 위한 프로그램 작성시에는 원래의 값으로 환원시키는 과정이 필요하다.

III. 수정된 SPICE의 결과 고찰

앞에서 언급한 GaAs MESFET 모델을 탑재한 SPICE 2G.6가 제대로 동작하는지의 여부를 알아보기 위하여

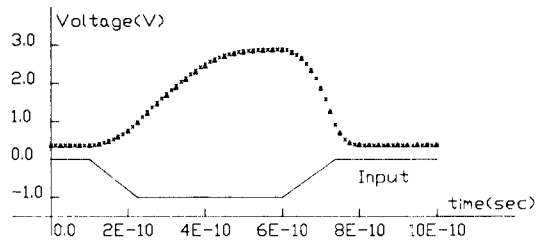


그림13. 그림 7의 GaAs 인버터의 과도해석결과
 × : 식(4), (7), (8), (16), (17), (18)을 이용한 본 논문의 해석결과
 ▲ : Curtice의 R-CAP 프로그램에 의한 결과^[6]

Fig. 13. The Transient Analysis of GaAs MESFET Inverter of Fig. 7.
 × : Result of This Paper Using Eq. (4), (7), (8), (16), (17), (18)
 ▲ : Result of R-CAP Program of Curtice's^[6]

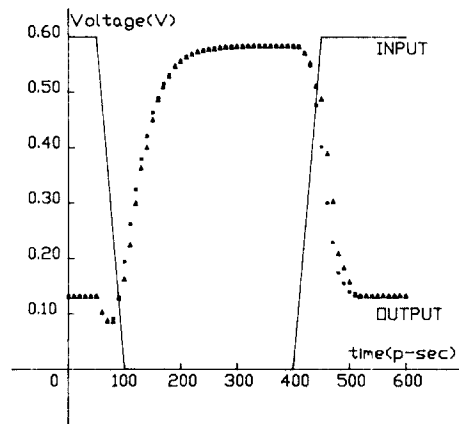


그림14. 그림 8의 2-입력 NOR 회로의 과도해석결과
 □ : 식(4), (7), (8), (16), (17), (18)을 이용한 본 논문의 해석결과
 ▲ : 참고문헌[21]의 실험결과

Fig. 14. The Transient Analysis of 2-Input NOR Circuit of Fig. 8.
 □ : Result of This Paper Using Eq. (4), (7), (8), (16), (17), (18)
 ▲ : Experimental Result of Reference[21].

그림 7, 그림 8에 나타난 GaAs 인버터와 2-입력 NOR 회로에 대하여 과도해석을 하였고 그 결과를 각각 그림 13, 그림 14에 나타내었다.

그림 13, 그림 14에서 볼 수 있듯이 본 논문에서 제시한 모델을 사용한 경우의 회로 해석결과가, D-MESFET로 구성된 회로(그림 7)의 경우에는 실험치와 거

의 일치 하였으며, D-MESFET와 E-MESFET의 조합으로 구성된 회로(그림 8)의 경우에는 상승시간과 하강시간에서의 약간의 오차를 제외하고는 비교적 정확히 일치함을 확인할 수 있었다.

이는 본 논문에서 제시한 모델이 D-MESFET와 E-MESFET 양쪽에 사용할 수 있다는 것을 의미하며, 최근 많이 사용되어 오던 Curtice의 모델이⁶⁾ D-MESFET로 구성된 BFL(buffered FET Logic)과²⁶⁾ SDFL(schottky diode FET Logic)의²⁷⁾ 설계에 적용되고, DCFL(direct coupled FET Logic)이나²⁸⁾ SCFL(source coupled FET logic)과²⁹⁾ 같은 D-MESFET와 E-MESFET가 혼합된 회로의 시뮬레이션에 적절치 못하다는 단점을 뛰어넘을 수 있었다.

그림 7의 회로해석시의 실행 CPU시간면에서 봤을때(기준: VAX 11-750, OS: UNIX) 종래의 SPICE 2G.6 JFET 서브루틴에 의한 실행시간이 12.38(sec) 이고, 본 논문에서 제시한 드레인 전류-전압 모델, 소신호 모델, 식(11), (12)의 커패시턴스 모델을 넣어서 실행시킨 경우의 실행시간이 16.42(sec), 식(13), (14), (15)의 커패시턴스와 전하량 모델을 넣었을 경우의 실행시간이 21.68(sec)였다. 수정된 GaAs MESFET 모델에 의한 해석 시간이 기존 모델보다 조금 느린데 그 이유는 hyperbolic tangent 함수가 드레인 전류식에, hyperbolic secant 함수가 채널-컨덕턴스와 드레인-컨덕턴스 모델에 포함되고, 커패시턴스 모델과 전하량모델이 복잡해진 결과라고 사료된다.

아울러 본 논문에서 제시한 모델은 JFET와 유사한 등가모델을 그대로 사용하면서 GaAs MESFET 특성에 맞게끔 앞에서 언급한 몇몇 부분을 고치면 되기때문에 단시일내에 작업을 끝마칠 수 있는 장점이 있다. 또한, 본 논문에서는 SPICE 2G.6를 대상으로 하여 모델을 삽입했으나, SPICE 2G.1부터 SPICE 2G.6까지의 어떤 버전에도 삽입하여 사용할 수 있다.

IV. 결 론

본 논문에서는 보다 개선된 GaAs MESFET 모델을 SPICE 2G.6에 삽입했다. 기존의 SPICE 2G.6 JFET 서브루틴과 그와 관계되는 서브루틴의 골격을 크게 해치지 않으면서 보다 개선된 드레인 전류-전압 모델, 소신호 모델, 더바이스 커패시턴스 모델 및 전하량 모델을 수정, 삽입하였다. 실제 회로에 대하여 해석한 결과 기존의 어떤 모델보다도 결과가 좋았으며, D-GaAs MESFET뿐만 아니라 E-GaAs MESFET에도 동등하게 적용시킬 수 있어 GaAs 아날로그 및 디지털 회로 시뮬레이터로서 유용하게 사용할 수 있을 것이다.

參 考 文 獻

- [1] C.A. Liechti, "Microwave field-effect transistors-1976," *IEEE Trans. Microwave Theory & Tech.*, vol. MTT-24, no.6, pp. 279-299, June 1976.
- [2] H.M. Hobgood, G.W. Eldridge, D.L. Barrett and R.N. Thomas, "High purity semi-insulating GaAs materials for monolithic microwave integrated circuits," *IEEE Trans Electron Devices*, vol. ED-28, pp.140-149, Feb. 1981.
- [3] S.I. Long et al., "High speed GaAs integrated circuits," *Proceeding of the IEEE*, vol. 70, no.1, pp.35-45, Jan. 1982.
- [4] S.I. Long et al., "MSI high-speed low-power GaAs integrated circuits using schottky diode FET logic," *IEEE Trans. Microwave Theory & Tech.*, vol.MTT-28, no.5, pp.466-472, May 1980.
- [5] H. Shichman and D.A. Hodges, "Modeling and simulation of insulated-gate field-effect transistors switching circuits," *IEEE J. Solid-State Circuits*, vol. SC-3, pp.285-289, Sept. 1968.
- [6] W.R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits," *IEEE Trans. Microwave Theory & Tech.*, vol.MTT-28, pp.448-456, May 1980.
- [7] M.S. Shur, "Analytical models of GaAs FET's," *IEEE Trans. Electron Devices*, vol.ED-32, no.1, pp.70-72, Jan. 1985.
- [8] T. Chen and M.S. Shur, "Analytical models of ion-implanted GaAs FET's," *IEEE Trans. Electron Devices*, vol.ED-30, no.7, July 1983.
- [9] L.O. Chua and Y.W. Sing, "Nonlinear Lumped circuits model of GaAs MESFET," *IEEE Trans. Microwave Theory Tech.*, vol.32, no. 4, pp.471-473, April 1984.
- [10] Stephen E. Sussman-Fort, S. Narasimhan and K. Mayaram, "A complet GaAs MESFET Computer model for SPICE," *IEEE Trans. Microwave Theory Tech.*, vol. 32, no.4, pp.471-473, April 1984.
- [11] C.I. Huang and A.R. Thorbjornsen, "A SPICE modeling technique for GaAs MESFET IC's," *IEEE Trans. Electron Devices*, vol.ED-32, no.5, pp.996-998, May 1985.
- [12] J.M. Golio, J.R. Hauser and P.A. Blakey,

- “A large-signal GaAs MESFET model implemented on SPICE,” *IEEE Circuits and Devices*, vol.1, no.4, pp.21-30, Sept. 1985.
- [13] K.Doganis and D.L. Scharfetter, “General optimization and extration of IC device model parameter,” *IEEE Trans. Electron Devices*, vol.ED-30, no.9, pp.1219-1228, Sept. 1983.
- [14] P. Yang and P. Chatterjee, “An optimal parameter extration program for MOSFET models,” *IEEE Trans. Electron Devices*, vol.ED-30, no.9, pp.1214-1219, Sept. 1983.
- [15] R. Fletcher and M.J.D. Powell, “A rapidly convergent descent method for minimization,” *The Computer Journal*, vol.6, pp. 163-168, 1944.
- [16] K. Levenberg, “A method for the solution of certain nonlinear problem in least squares,” *Quart. Appl. Maths.*, vol.2, pp. 164-168, 1944.
- [17] D. W. Marquardt, “An algorithm for least-square estimation of nonlinear parameters,” *J. Soc. Indust. Appl. Maths.*, vol.11, pp. 431-441, 1963.
- [18] H.H. Rosenbrock, “An automatic method for finding the greatest or least value of a function,” *Computer J.*, 3, pp. 175-184, 1960.
- [19] E. Lekakis and S.I. Long, “Dynamic performance studies of GaAs IC’s,” *IEEE Trans. Electron Devices*, vol.ED-30, no.11, pp.1185-1186, Nov. 1983. (Abstract of Ref. 20)
- [20] E. Lekakis and S.I. Long, “Dynamic performance studies of GaAs IC’s,” Device Research Conference, Burlington, VT, 1983.
- [21] S.E. Sussman-Port, J.C. Hangtan and F.L. Huang, “A SPICE model for enhancement- and depletion-mode GaAs FET’s,” *IEEE Trans. Microwave Theory Tech.*, vol. MTT-34, no.11, pp.1115-1119, Nov. 1986.
- [22] T.H. Chen and M.S. Shur, “A capacitance model for GaAs MESFET’s,” *IEEE Trans. Electron Devices*, vol.ED-12, no.5, pp.883-891, May 1985.
- [23] T. Takada, K. Yokoyama, M. Ida and T. Sudo, “A MESFET variable-capacitance model for GaAs integrated circuit simulation,” *IEEE Trans. Microwave Theory Tech.*, vol. MTT-30, no.5, pp.719-723, May 1982.
- [24] G.W. Taylor, H.M. Darely, R.C. Frye and P.K. Chatterjee, “A device model for an ion-implanted MESFET” *IEEE Trans. Electron Devices*, vol. ED-26, no. 5, pp. 719-723, May 1982.
- [25] L.W. Nagel, “SPICE 2: A computer program to simulate semiconductor circuits,” Electronics Research Lab., col. Eng., univ. California, Berkeley, Memo. ERL-M520, May 1975.
- [26] R.L. Van Tuyl, C. Liechti, R.E. Lee and E. Gowen, “GaAs MESFET logic with 4-GHz clock rate,” *IEEE J. Solid-State Circuits*, vol.SC-12, pp.485-496, Oct. 1977.
- [27] S.I. Long, F.S. Lee, R. Zucca, B.M. Welch and R.C. Eden, “MSI high-speed lowpower GaAs integrated circuits using Schottky Diode FET Logic,” *IEEE Trans. Microwave Theory Tech.*, vol.MTT-28, no.5, 466-472, May 1980.
- [28] M. Fukuta, K. Suyama, and H. Kusakawe, “Low power GaAs digital integrated circuits with normally off MESFET’s,” *IEEE Trans. Electron Devices*, vol.ED-25, pp.1340, Nov. 1978.
- [29] S. Katsu, S. Nambu, A. Shimano and G. Kano, “A Source Coupled FET Logic-a new current mode approach to GaAs Logic,” *IEEE Trans. Electron Devices*, vol. ED-32, no.6, pp.1114-1118, June 1985.
- [30] W.V. McLevigo, C.T.M. Chang and S.K. Tiku, “GaAs Memory Technology Development”, *Technical Report AFWAL-TR-84-1024*, March 1984.