

自己整列된 고속 바이폴라 트랜지스터의 전기적 특성

(The Electrical Properties of Self-Aligned High Speed Bipolar Transistor)

具用書*, 蔡相勳*, 具珍根*, 李振孝*

(Yong Seo Koo, Sang Hoon Chai, Jin Gun Koo and Jin Hyo Lee)

要 約

본 논문에서는 $1.6\mu\text{m}$ 의 얇은 에피층 성장기술과 산화막 격리기술을 사용한 다결정 실리콘 자기정렬 바이폴라 트랜지스터의 설계 및 제작에 대해 기술한다.

이 구조는 이중의 다결정 실리콘을 형성하여 에미터 및 베이스 접점이 하나의 마스크로서 정의되며 에미터 면적은 $2 \times 4\mu\text{m}^2$ 이다. 제작된 트랜지스터의 DC 특성은 SPICE 입력변수로 사용될 수 있도록 측정 분석하였다. 또한 41단 CML 링 발진기를 제작하여 측정된 결과 게이트당 전력소모가 1mW일때 최소 전달 지연시간이 330ps의 우수한 속도 특성을 얻을 수 있었다.

Abstract

This paper describes the design and fabrication of the polysilicon selfaligned bipolar transistor with $1.6\mu\text{m}$ epitaxy and SWAMI isolation technologies. This transistor has two levels of polysilicon. Also emitter and adjacent edge of polysilicon base contact of this PSA device are defined by the same mask, and emitter feature size is $2 \times 4\mu\text{m}$. DC characteristic of the fabricated transistor was evaluated and analyzed for the SPICE input parameters. The minimum propagation delay time per gate of 330 ps at 1mW was obtained with 41 stage CML ring oscillator.

I. 서 론

최근 고성능 바이폴라 소자의 제작을 위하여 PSA (polysilicon self align)라 명명된 이름의 기술들이 1980년 이래 계속 연구 발표되고 있다. 이러한 기술들은 주로 chip 집적도와 최소 전달 지연시간의 개선 및 높은 차단 주파수 등을 목적으로 하고 있으며¹⁾ 이를 위하여 기존 바이폴라 공정과는 다른 새로운 기술을 사용하고 있다. 즉, LOCOS, SWAMI, TRENCH 등에 의한 산화막 격리 기술 및 다결정 실리콘 성장기술, 미세패턴 형성 기술, 다결정 실리콘 내로의 이중 이온

주입 공정에 의한 얇은 접합 깊이 형성, 보다 침예화된 농도분포 기술 등을 사용하여 베이스와 에미터 영역을 한개의 마스크로써 이루어지게 하며 베이스와 에미터 접점 사이를 $0.4\mu\text{m}$ 이하로 형성시킨다.²⁾ 본 연구에서는, 자기정렬된(self-aligned) butted 형태의 다결정 실리콘 바이폴라 트랜지스터를 제작하여 DC 전기적 특성인 전류이득, Knee 전류, Early 전압 및 각종 저항 등을 측정하였다. 또한 제작된 PSA 트랜지스터의 스위칭 특성을 조사하기 위하여 $2 \times 4\mu\text{m}^2$ 의 에미터 면적을 가지는 41단 CML 링 발진기를 설계 제작하였다.

특히 이 기술은, n^+ 다결정 실리콘을 사용한 에미터 영역이 p^+ 다결정 실리콘 베이스 영역보다 먼저 정의되는 방법(전자공학회 논문지 제23권 6호 참조)과는 달리, 에미터 영역을 우선 정의하여 좁으므로써 에미터

*正會員, 韓國電子通信研究所

(Electronics and Telecommunications Research Institute)

接受日字: 1987年 3月 3日

면적을 최소화시킬 수 있으며 따라서 고속 스위칭 특성을 요하는 바이폴라 소자에 널리 응용될 수 있다. 즉, 증착된 p⁺ 다결정 실리콘 층과 그 위에 도포된 산화막 층을 건식 식각법을 통하여 에미터 부분을 정의하고(그림 2 (b) 참조), 그 위에 n⁺ 다결정 실리콘을 형성하여 에미터 전극으로 사용하기 때문에(그림 2 (e) 참조) 다른 PSA 구조에 비해 에미터 폭을 1μm 이하로 조절하기가 비교적 용이하다고 볼 수 있다. 그러므로 에미터 면적의 감소에 따른 접합 용량, 확산 용량 및 베이스 직렬 저항 등이 줄어들게 되어 매우 빠른 속도 특성을 얻을 수 있을 것으로 기대된다.

또한, 회로 설계시 바이어스 조정 등에 중요한 역할을 하는 에미터 저항은 n⁺ 다결정 실리콘과 에미터 영역 사이의 자연 산화막 및 다결정 실리콘을 연결 도선으로 사용함으로써 매우 큰 값을 나타내게 된다. (본 논문의 PSA 구조에서는 Re 값이 289Ω으로 측정되었다.)

따라서 이 값을 감소시키기 위하여 일반적으로 실리사이드(silicide) 공정을 사용하며 본 논문의 PSA구조에서는 n⁺ polycide 에미터 형성이 공정 후반 즉, 측면 산화막 공정 및 베이스 에미터 접합 형성이후에 이루어지므로 저온 공정에서만 응용 범위를 갖는 Pt 등 여러가지 silicide 재질(Pt, Ti, W, Ta...)을 사용하여 소자를 제작할 수 있는 장점을 지니고 있다.

II. Butted 형태의 PSA 트랜지스터 구조 및 특성

일반적으로 바이폴라 회로의 전달 지연시간은 1 차 charge control 개념으로 해석하여 볼때

$$t_d = \frac{\sum(C_j + C_w) \cdot \Delta V}{I} + \frac{C_d \cdot \Delta V}{I} + R_b C_d$$

(C_j: 접합용량, C_w: 선간용량, C_d: 확산용량, R_b: 베이스 직렬 저항)

으로 나타낼 수 있다.³⁾

즉 낮은 전류 수준에서는 접합용량 및 선간용량이 속도 특성에 주된 역할을 하나 전류가 증가함에 따라 소수 캐리어의 축적에 기인한 확산용량의 영향이 더 지배적으로 나타나게 된다.

그러나 보다 많은 전류가 유입될 경우(high level injection)에는 축적된 소수 반송자들이 베이스 및 콜렉터 직렬 저항 등을 통해 방전되어야 하므로, 전달 지연시간은 늦어지게 되며, Kirk 효과 등에 의해 차단 주파수의 감소를 초래한다. 따라서 소자의 스위칭 특성을 좋게 하기 위하여는 접합용량, 확산용량, 직렬저항의 감소가 필연적으로 이루어져야 한다.

기존의 바이폴라 SBC(standard buried collector)

공정 기술은 측면 확산, 깊은 접합 깊이, 측면 공핍층 존재, 넓은 에미터 면적 등으로 인해 동작속도 및 전력소모 측면에서 좋은 특성을 기대하지 못하였으나 새로운 형태의 PSA 트랜지스터가 개발됨으로써 소자의 전기적 특성의 상당한 개선을 가져오게 되었다.

즉, 그림 1에서 보는 바와 같이 산화막 소자 격리기술을 사용함으로써 종전의 P-N 접합 격리기술에 비해 에미터-베이스, 베이스-콜렉터 및 콜렉터-기판 사이의 접합용량이 감소되므로 저 전류 영역에서 보다 개선된 속도 특성을 얻을 수가 있다.

또한 p⁺ 다결정 실리콘을 고농도의 비활성 베이스 영역으로 형성시켜 베이스-콜렉터 간의 접합 용량 성분 등을 감소시키며, ECL, NTL, I²L 등의 바이폴라 소자 제작시, 자기정렬(self-align) 방법을 사용하여 에미터 면적을 극소화시킬 수 있다. 이로부터 트랜지스터의 베이스 내에 축적되는 소수 반송자 양을 감소시켜 최소 전달 지연시간의 개선을 볼 수 있으며, 베이스 접점을 가능한한 에미터와 가깝게 설계하여 베이스 면적 및 베이스 직렬저항을 적게 함으로써⁴⁾ 다수 콜렉터를 갖는 I²L 소자 등에서 상향 전류이득의 향상 등을 가져올 수 있다.

얇은 접합깊이 형성기술은 PSA 소자 개발에 있어서 필요한 요소이나, 에미터 주입 효율의 감소에 따른 낮은 전류이득과 접합과피 현상들을 초래할 수 있다.

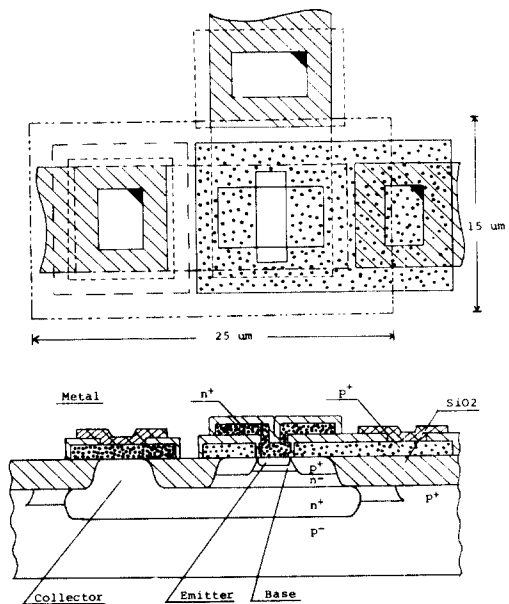


그림 1. PSA 트랜지스터의 평면도 및 단면도
Fig. 1. Top View and Cross Section of PSA Transistor.

그러므로 비소(As)가 도오핑된 다결정 실리콘을 전극으로 사용함으로써(그림1), 에미터의 gummel number를 증가시켜 베이스의 transfer 전류 감소에 따른 전류이득의 개선 및 직접적인 이온 주입이 나타날 수 있는 pipe 현상과 anomalous 확산 등을 감소시킬 수 있으며¹⁵⁾ 아울러 이중 확산 공정(double diffusion process) 방법을 적용한다면,¹⁶⁾ 소자 내의 격자 결함 방지와 보다 얇은 접합깊이를 형성시킬 수 있다. 또한 확산 용량 감소에 의한 속도 특성 개선 및 punch through 현상 등에 의한 파괴 전압을 높여 주기 위하여는, 활성 베이스 영역의 농도를 약간 높게 도오핑시켜 주어야 한다. 이때 베이스 농도가 $10^{18}(\text{cm}^{-3})$ 이상되게 되면 band-gap narrowing 현상이 일어나게 되어,¹⁷⁾ 베이스 내로의 에미터 전류 주입이 증가하게 되며, 그 결과 전류 이득의 증가가 나타나게 된다.

III. 트랜지스터의 제작 및 공정 변수 추출

그림 2는 PSA 트랜지스터의 공정단계를 나타내고 있으며 그 과정을 개략적으로 설명하면 다음과 같다. 소자 제작을 위한 기판 재료로써, $6\sim 9\Omega\text{-cm}$ 의 비저항

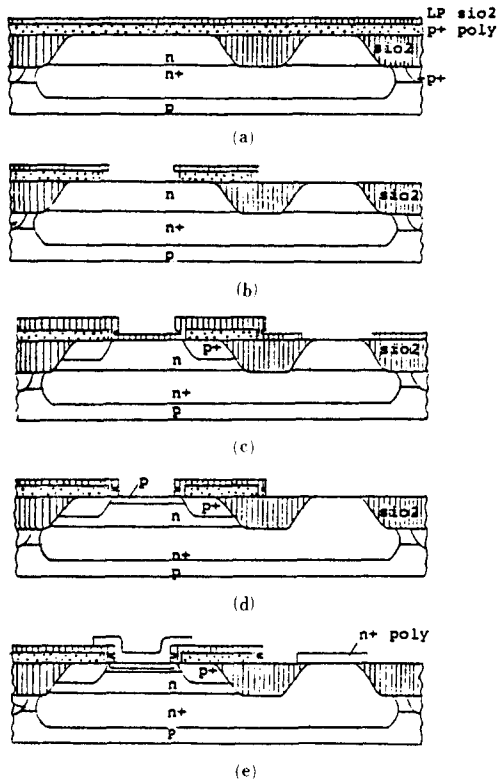


그림 2. PSA 트랜지스터의 공정 단계
Fig. 2. The Process Steps for PSA Transistor.

항 값을 갖는 4 인치, P-타입(100) 실리콘 웨이퍼를 사용하였다. 매물층은 비소를 이온 주입을 통해 넣었고, $1,000^{\circ}\text{C}$ 에서 열처리한 후 면저항이 $30\Omega/\square$ 가 되게 하였으며, $1.6\mu\text{m}$ 의 에피층을 감압 상태에서 성장시켰다. 그리고 산화막에 의한 소자 격리시 산화막이 성장되지 않는 부분은 400\AA 의 완충 산화막(pad oxide) 및 $1,500\text{\AA}$ 의 질화막으로 보호하였으며, SWAMI II¹⁸⁾ 공정에 의해 925°C 에서 $1\mu\text{m}$ 의 산화막을 성장시켰다.

다음은 p^+ 비활성 영역 형성 작업으로써 약 $3.3\text{K}\text{\AA}$ 의 다결정 실리콘을 저압증착법(LPCVD)으로 증착시킨 후 도즈량 $6\text{E}15(\text{atoms}/\text{cm}^2)$, 에너지 30KeV 인 보론(B)을 이온 주입시키고, 그 위에 에미터와 베이스 영역을 격리시키기 위한 산화막을 CVD 방법으로 약 $3\text{K}\text{\AA}$ 정도 도포시킨다(그림 2 (a) 참조). 도포된 산화막과 다결정 실리콘은 $2\mu\text{m}$ 의 광학적인 사진 식각 작업을 통하여 에미터 패턴을 드고 이 두층은 CHF_3 와 $\text{C}_2\text{ClF}_5+\text{SF}_6$ 가스로 활성 이온 식각 작업을 행한다. 이때 산화막층은 완전히 식각해 내고 다결정 실리콘은 약간 남긴다. 이렇게 남은 다결정 실리콘은 $\text{HF}:\text{HNO}_3:\text{CH}_3\text{COOH}=1:3:8$ 의 화학 용액으로 수초간에 식각되어 버리고, 산화막 밑의 다결정 실리콘도 비등방성으로 과식각시킨다. 이런 현상으로 이 용액을 사용하여 고농도로 도포된 다결정 실리콘과 저농도 에피층과의 식각 선택율이 좋은 것을 볼 수 있다(그림 2 (b) 참조). 그리고 약 400\AA 두께의 얇은 산화막 층을 열적으로 성장시킨 후 $2,500\text{\AA}$ 의 두터운 산화막을 저압증착법(LPCVD)으로 증착시킨다. 이때에 비활성 베이스 영역은 p^+ 다결정 실리콘으로부터 보론(B)이 확산됨으로써 형성되어 진다.

다음은 콜렉터 영역을 만들기 위하여 사진 식각 작업을 한 후 인(P)을 에너지 80KeV , 도즈량 $4\text{E}15(\text{atoms}/\text{cm}^2)$ 으로 이온 주입하고 열처리를 행한다(그림 2 (c) 참조).

활성 베이스 영역 위의 산화막 층은 CHF_3 가스에 의해 마스크 없이 활성 이온 식각 작업을 시행하므로 다결정 실리콘의 측면 부분을 제외하고는 모두 제거된다. 활성 베이스는 보론(B)을 도즈량 $5\text{E}13(\text{atoms}/\text{cm}^2)$ 에너지 30KeV 로 이온 주입한 후 925°C 에서 열처리를 행함으로써 형성되며(그림 2 (d) 참조) 에미터는 $3\text{K}\text{\AA}$ 의 다결정 실리콘을 증착시키고, 그 위에 비소(As)를 $1.2\text{E}16(\text{atoms}/\text{cm}^2)$, 80KeV 로 이온 주입하여, 확산시키므로써 형성된다. 이때 에미터 영역은 실리콘 표면에서 $0.4\mu\text{m}$ 이하의 측면 확산막에 의하여 p^+ 다결정 실리콘 베이스 접점으로부터 떨어져 있다(그림 2 (e) 참조). 최종적인 에미터 접합 깊이는 약 $0.2\mu\text{m}$ 정도이며, 베이스 폭은 약 $0.15\sim 0.2\mu\text{m}$ 이다.

마지막으로 CVD 도포 작업후 점접 형성 작업을 행한 후 에미터, 베이스, 콜렉터 전극을 다결정 실리콘 위에 1% Si-Al으로써 증착시킨다.

그림 3은 제작된 트랜지스터의 불순물 농도 분포를 나타내고 있으며, 그림 4는 $2 \times 4 \mu\text{m}^2$ 의 에미터 면적을 가지는 butted 형태의 npn 트랜지스터 평면도를 SEM 사진으로 보여주고 있다. 또한 표 1에서는 공정 완료 후의 공정 파라미터를 나타내었다. 여기서 ECL 및 NTL 등의 링 발진기에 사용된 n^- 다결정 실리콘 저항값이 목표치 보다 약간 크게 나타났는데 이는 이온 주입 농도를 보다 상향 조정하면 쉽게 해결될 수 있을 것이다.

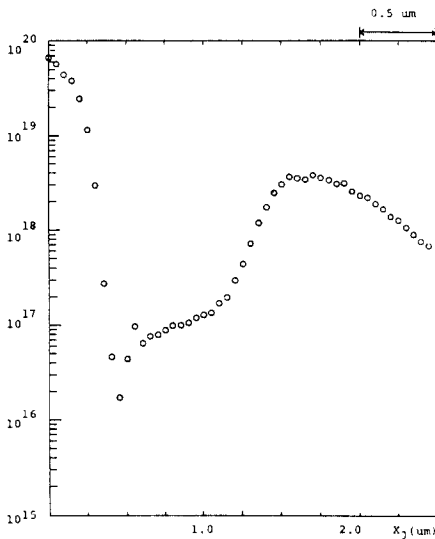


그림 3. PSA 트랜지스터의 활성영역 농도분포
Fig. 3. Concentration Profile for the Active Region of PSA Transistor.

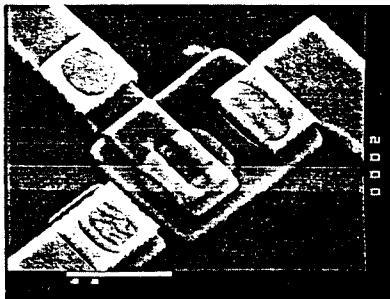


그림 4. Butted 형태 트랜지스터의 SEM 사진
Fig. 4. SEM of Butted Type Transistor.

표 1. 공정 파라미터

Table 1. Process Parameters.

PROCESS SEQUENCE	PARAMETER	TARGET	MEASURED VALUE
BURIED LAYER	R_s B/L (Ω/\square)	30-50 Ω/\square	32 Ω/\square
	X_j B/L (μm)	3.0-4.0 μm	3.8 μm
EPITAXIAL LAYER	ρ ($\Omega\cdot\text{cm}$)	0.2-0.3 $\Omega\cdot\text{cm}$	0.25 $\Omega\cdot\text{cm}$
	Tepi (μm)	1.6+0.16 μm	1.7 μm
P+ POLY LAYER	R_s p' (Ω/\square)	200 Ω/\square	180 Ω/\square
	T poly (\AA)	3,300 \AA	3,300 \AA
INTRINSIC BASE	R_s (Ω/\square)	1,000 Ω/\square	1,053-1,230 Ω/\square
	X_{jb} (μm)	0.35-0.4 μm	0.35 μm
EMITTER	R_{se} (Ω/\square)	30-50 Ω/\square	35-45 Ω/\square
	X_{je} (μm)	0.2 μm	0.2 μm
N+ POLY LAYER	R_s (Ω/\square)	925 $^\circ\text{C}$: 1K Ω/\square 1,000 $^\circ\text{C}$: 1K Ω/\square	1.6K Ω/\square 1.25K Ω/\square
	R_s (Ω/\square)	925 $^\circ\text{C}$: 70-90 Ω/\square 1,000 $^\circ\text{C}$: 50-70 Ω/\square	83-86 Ω/\square 61-63 Ω/\square
METAL LAYER	WIDTH/SPACE	4/2.5 (μm)	4/2.5 μm

IV. 측정 및 결과 분석

1. Butted npn 트랜지스터의 DC 특성

그림 5에서 보는 바와 같이 $2 \times 4 \mu\text{m}^2$ 의 에미터 면적을 갖는 npn 트랜지스터의 전류 이득은 약 70으로 나타났으며, 이때의 콜렉터-에미터 간의 파괴 전압 BV_{ceo} 는 약 6.8 (V), 콜렉터-베이스 간의 파괴 전압 BV_{cbo} 는 약 15 (V), 에미터-베이스 파괴 전압 BV_{ebo} 는 약 4 (V)로 나타났다. BV_{ceo} 가 낮은 원인으로서는 활성 베이스 영역의 낮은 농도 분포와 얇은 베이스 쪽에 기인한 reach through 현상 때문이며, BV_{ebo} 역시 측면 산화막 공정을 개선하면 높아 질 수 있을 것으로

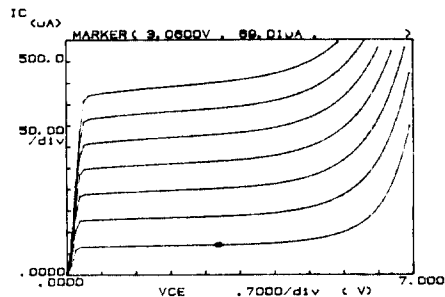


그림 5. npn 트랜지스터의 I-V 특성
Fig. 5. I-V Characteristics for npn Transistor.

사료된다.¹¹⁾ 측면 산화막이 두꺼울 수록 V_{be0} 는 커지게 된다. 한편 콜렉터-베이스 공핍 영역층의 변화에 의한 트랜지스터의 베이스 폭 변조 특성을 나타내는 Early 전압은 약 40(V)로 나타났다.

그림 6은 콜렉터 전류 변화에 대한 전류이득 관계를 측정한 것으로써 약 10mA까지 무리없이 전류를 구동시킬 수 있다.

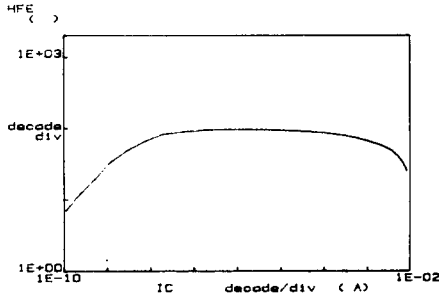


그림 6. 콜렉터 전류 변화에 따른 전류이득 특성
Fig. 6. Variation of Current Gain with Collector Current.

특히 10nA 이하의 콜렉터 전류 영역에서는 전류이득의 감소현상이 나타나는데 이는 베이스 전류가 표면 및 베이스-에미터 공핍층 영역에서의 재결합 현상 등에 의해 영향을 받기 때문이며, 전류가 크게 증가하게 되면 bandgap-narrowing 효과와 Auger 재결합 현상 등에 의해 전류이득은 감소하게 된다.

트랜지스터의 포화 전류 I_s 는 상호(reciprocity) 원리를 이용하여 나타낼 경우 (1)식과 같이 표시되며, 베이스-에미터 사이에 순방향의 전압이 걸릴 경우 (2)식과 같이 근사식으로 나타내며, 이로부터 포화 전류 I_s 값을 측정할 수 있다.

$$I_s = \alpha_{fcs} I_{s1} = \alpha_{fcs} = \frac{qAni^2Dn}{\int_{x_e}^{x_c} N_a(x) dx} \quad (1)$$

$$\ln I_c = \ln I_s + \frac{q}{KT} V_{be} \quad (2)$$

측정된 I_s 값은 그림 7에서 보는 바와 같이 2.2E-18A로 나타났으며, 이는 에미터 면적이 $2 \times 4 \mu m^2$ 로 작게 설계되었기 때문이다.

또한 과다 전하 유입 효과가 나타나는 전압 및 전류 V_k , I_k 를 알아 보기 위하여 (2)식과 베이스-에미터 전압 V_{be} 가 충분히 커졌을 경우에 콜렉터 전류 I_c , Knee 전류 I_k 등으로 부터 얻은 (5)식과의 두 직선이 만나는

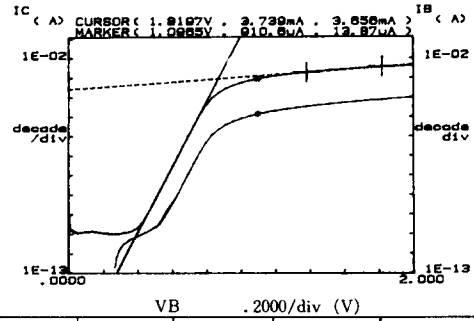


그림 7. V_{be} 변화에 따른 I_c , I_b 특성
Fig. 7. Characteristic of $\ln(I_c)$ and $\ln(I_b)$ v. s. V_{be} .

$$I_c = \sqrt{\frac{Aqni^2Dn}{\tau_b}} \exp(V_{be}/2KT) \quad (3)$$

$$I_k = \frac{\int p dx}{\tau_b} \quad (4)$$

$$\ln I_c = 1/2 \ln(I_s I_k) + \frac{qV_{be}}{2KT} \quad (\text{GP 모델}) \quad (5)$$

점을 측정된 결과 V_k 는 0.87(V), I_k 는 0.91mA로 나타났다. 즉 V_k 이상의 전압을 인가하게 되면 많은 양의 전하가 유입되어 npn 트랜지스터의 경우 베이스 내의 정공의 농도를 끌어 올리게 되며($n \approx p \gg N_a$) 베이스 정공 농도 p 는 (6)식과 같이 V_{be} 의 함수로 증가하게 된다.

$$p = ni \exp(qV_{be}/2KT) \quad (6)$$

이때의 콜렉터 전류 I_c 는 (7)식과 같이 나타내게 되며,

$$I_c (\text{high level}) = \frac{I_s(0)}{\theta} \frac{qV_{be}}{2KT} \quad (\text{EM3 모델}) \quad (7)$$

이는 고전류 영역에서의 전류이득의 감소를 보여준다. 측정결과 고주입에 기인한 콜렉터 전류의 영향을 나타내는 파라미터 θ 의 값은 $8.2E-11$ 으로 측정되었다.

한편 트랜지스터의 베이스 전류 성분은 (8)식과 같이 나타낼 수 있으며,¹¹⁰⁾

$$I_b = \frac{I_s(0)}{\beta_{FM}(0)} \left(\exp \frac{qV_{be}}{KT} - 1 \right) + C2I_s(0) \left(\exp \frac{qV_{be}}{Ne1KT} - 1 \right) \quad (8)$$

저전류 영역에서의 비이상적인 베이스 성분은 (9)식에 표시되어 있다.

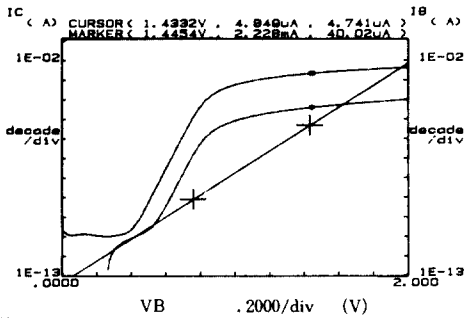
$$I_b(\text{non-ideal}) = I_b(\text{surface}) + I_b(\text{EB sc1}) + I_b(\text{channel})$$

$$= C2 I_s(0) \left[\left(\exp \frac{qV_{be}}{Ne1 KT} - 1 \right) \right] \quad (9)$$

이로부터 낮은 베이스 전류의 모델 파라미터인 C2 및 Ne1을 그림8과 같이 측정할 수 있으며, 그 값은 C2는 2E+4, Ne1은 2.8로 나타났다.

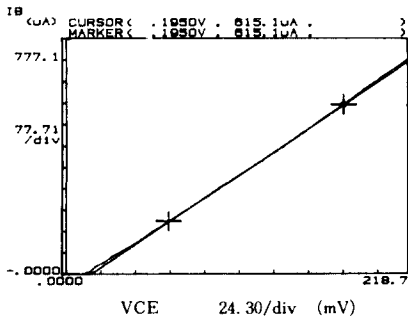
그림9는 에미터 저항 Re 값을 나타내고 있으며 (slope=1/Re) 측정된 값은 약 289Ω이다. 일반적인 바이폴라 트랜지스터에 비해 Re 값이 큰 것은, 에미터 전극을 다결정 실리콘으로써 사용하였으며, 에미터 면적 또한 작기 때문이다. 이는 실리사이드(silicide) 공정을 사용하면 쉽게 해결될 수 있다.

콜렉터 저항 Rc는 그림10과 같이 측정될 수 있으며, 트랜지스터가 활성 영역에서 동작할 때 Rc 값은 주로 a) 활성 베이스-콜렉터 접합으로부터 매물층까지 전류가 에피층을 빠져 나가며 형성되는 저항 및 b) 매물층



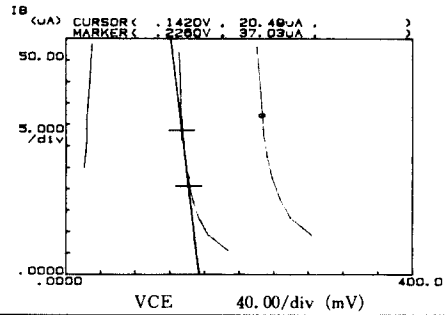
	GRAD	1/GRAD	Xintercept	Yintercept
LINE1	5.61E+00	178E-03	2.38E+00	44.2E-15
LINE2				

그림 8. PSA 트랜지스터의 베이스 전류성분 특성
Fig. 8. Characteristics for Base Current of PSA Transistor.



	GRAD	1/GRAD	Xintercept	Yintercept
LINE1	3.46E-03	289E+00	17.1E-03	-59.0E-06

그림 9. 에미터 저항 특성
Fig. 9. Characteristics of Emitter Resistance.



	GRAD	1/GRAD	Xintercept	Yintercept
LINE1	-1.63E-03	-612E+00	155E-03	252E-06

그림10. 콜렉터 저항 특성
Fig.10. Characteristics of Collector Resistance.

을 떠나 콜렉터 확산층에 이르기까지의 에피저항에 의해 결정된다. 측정된 Rc 값은 약 100Ω으로 나타났다.

한편, PSA 소자의 특성을 결정짓는 변수중의 하나인 에미터-베이스와 콜렉터-베이스간의 접합용량을 측정할 결과 no-bias 상태에서 각각 35(fF), 39(fF)의 매우 양호한 값을 얻을 수 있었다. 그림11과 그림12는 바이어스 전압의 변화에 따른 E-B간의 접합용량 및 C-B간의 접합용량 값을 나타내고 있다.

표2는 제작된 PSA 트랜지스터의 전기적인 특성을 보여준다.

2. AC 특성

일반적으로 바이폴라 논리회로에서 널리 사용되는 RTL, TTL, 등 inverter의 동작 속도는 트랜지스터가 포화영역에서 차단 상태로 될 때, 여러 영역에 축적되

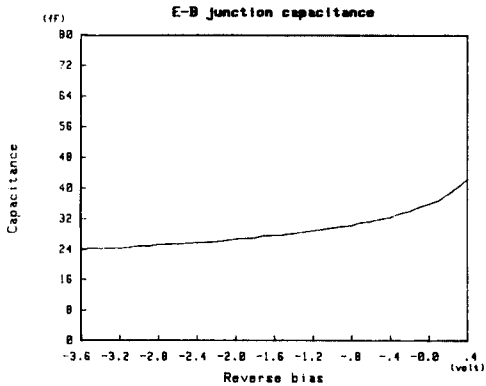


그림11. 바이어스 변화에 따른 에미터-베이스 간의 접합용량
Fig.11. E-B Junction Capacitance v.s. bias Condition.

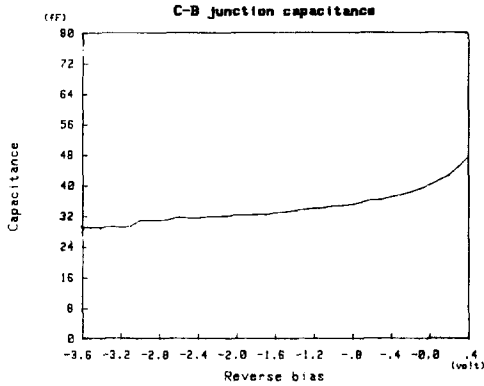


그림12. 바이어스 변화에 따른 베이스-컬렉터 간의 접합용량

Fig. 12. C-B Junction Capacitance v.s. Bias Condition.

표 2. 트랜지스터의 전기적 특성

Table 2. Electrical Characteristics of PSA Transistor.

Characteristic	Value	Unit.
Current Gain	70	-
BV _{ceo}	6.8	V
BV _{ebo}	15	V
BV _{ebo}	4	V
Early Voltage	40	V
Saturation Current	2.2E-18	A
Knee Current	0.91	mA
Knee Voltage	0.87	V
θ	8.2E-11	-
C ₂	2E+4	-
NEL	2.8	-
Emitter Resistance	289	Ω
Collector Resistance	106	Ω
E-B Junction Capacitance	35	fF
C-B Junction Capacitance	39	fF

어 있던 특히 낮게 도오핑된 에피영역에 존재하는 소수 캐리어에 의한 전하를 다시 방전시키는데 필요한 시간에 따라 제한되므로 고속 스위칭 특성을 요하는 연산기, 카운터 등의 논리회로에는 활성영역에서 동작하는 CML이나 ECL 회로 등을 사용하고 있다. 따라서 본 논문에서는, 에미터 면적이 $2 \times 4 \mu\text{m}^2$ 인 41단 CML 링 발진기를 구성하여 PSA 트랜지스터의 속도 특성을 알아 보았다. 이때 트랜지스터의 저항 Rc 1 과 Rc 2 의 비가 회로조건이 변할 때마다 달리 설계되어야 하는 단점을 개선하기 위하여 각 에미터 단에 전류 공급원을 달아 놓았으며, 활성 영역에서 동작할 수 있

있도록 스위칭 폭 ($\Delta V = I_o \times R_c$)을 400mV 이하로 설계하였다.

그림13은 $2 \mu\text{m}$ 링 발진기가 내장된 테스트 칩 사진이며, 측정된 출력파형은 그림14에 나타나 있다. 그림 15는 게이트당 소비전력과 전달 지연시간과의 관계를 보여 주고 있으며, 소비전력이 1mW일때 약 330ps 의 최소 전달 지연시간을 얻을 수 있었다. 또한 CML 링 발진기의 회로도도 그림16에 나타나 있다.

V. 결 론

본 논문에서는 $2 \times 4 \mu\text{m}^2$ 의 에미터 면적을 가지는 고속 바이폴라 트랜지스터를 제작 측정하여 보았다. 제작된 npn 트랜지스터의 전기적 특성은 전류이득 70, BV_{ceo} 6.8 (V), Early 전압 40 (V), Re 289 Ω , Rc 106 Ω , C_{bc}, C_{eb}는 35 (fF), 39 (fF)이며, I_s, I_k, C₂, Ne1 은 각각 2.2E-18A, 0.91mA, 2E+4, 2.8로 나타났다. 또한 전류이득 변화를 측정한 결과 1nA-10mA 범위의 컬렉터 전류를 큰 무리없이 구동시킬 수 있었다.

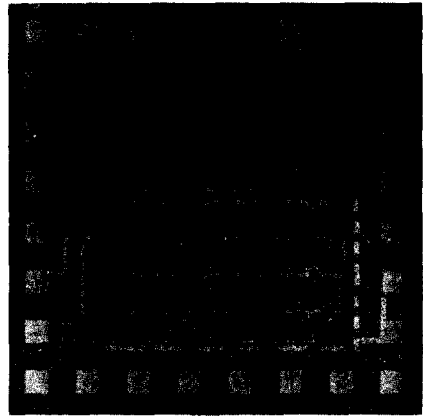


그림13. $2 \mu\text{m}$ CML 링 발진기가 내장된 테스트 칩
Fig. 13. Test Chip Including $2 \mu\text{m}$ CML Ring Oscillator.

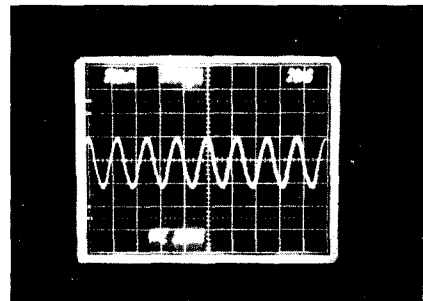


그림14. 41단 CML 링 발진기의 출력파형
Fig. 14. Output of 41 Stage CML Ring Oscillator.

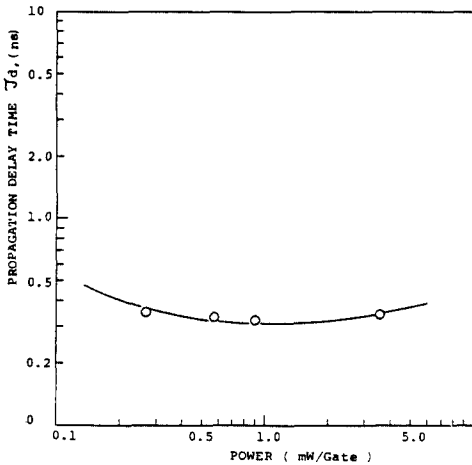


그림15. 게이트 당 전력소모에 따른 전달 지연시간의 변화

Fig. 15. Propagation Delay Time v. s. Power Consumption Per Gate.

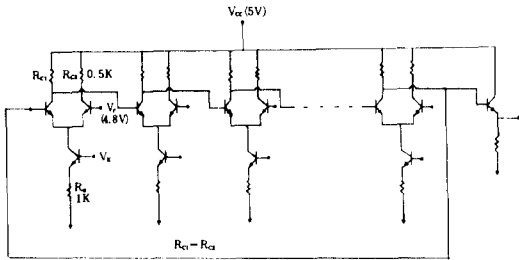


그림16. CML 링 발진기의 회로도

Fig. 16. The Circuit Diagram of CML Ring Oscillator.

한편 PSA 트랜지스터의 스위칭 특성을 알아보기 위하여 41단으로 구성된 CML 링 발진기를 제작하여 측정된 결과 게이트당 소비전력이 약 1mW일때 330ps의 빠른 최소 전달 지연시간을 보여 주어, 고속 처리 능력을 요하는 컴퓨터 통신기기 등 정보처리 시스템의 소자로서, 본 PSA 트랜지스터가 널리 사용될 수 있다는 가능성을 제시하였다.

앞으로 해결해 나아가야 할 과제로는 i) 산화막 격리 기술의 개선에 의한 베이스 전류 성분의 감소 및 ii) 측면 산화막 공정 개선에 의한 BVebo의 증가 iii) Knee 전류의 증가 iv) 그리고 silicide 공정기술을 통한 에미터 저항의 감소 등을 들 수 있으며, 이에 대한 보다

많은 연구가 있어야 할 것이다. 또한, 추출된 PSA 소자의 SPICE 파라미터를 입력변수로 사용하여 NTL 및 ECL 링 발진기의 스위칭 특성 및 트랜지스터의 차단 주파수 등을 예측해 보는 시뮬레이션에 대한 연구도 병행 추진되어야 할 것으로 사료된다.

參 考 文 獻

- [1] T. Sakai, et al., "Advanced super self-aligned process technology", *Electronics Letters*, vol.19, no.8, p.283, April 1983.
- [2] T.H. Ning, et al., "Self-aligned bipolar transistors for high-performance and low-power delay VLSI", *IEEE Trans. Electron Devices*, vol.ED-28, p.1010, Sept. 1981.
- [3] JAN LOHSTROH, "Devices and circuits for bipolar (V)LSI", *Proceedings of IEEE*, vol.69, no.7, pp.812-826, July 1981.
- [4] T. Takemoto, et al., "Advanced VIST device technology", *IEEE IEDM 83*, pp. 51-54, 1982.
- [5] B. Soerowirdjo, et al., "The influence of surface treatments on the electrical characteristics of polysilicon emitter bipolar transistors," *IEEE, IEDM 82*, pp.668-671, 1982.
- [6] F. Barson, "Shallow bipolar transistor profiles by diffusion from implanted polysilicon", *VLSI Science and Technology, 1982 Symposium*, p.282, 1982.
- [7] T.H. Ning and R.D. Issac. "Effect of emitter contact on current gain of silicon bipolar devices", *IEEE Trans. Electron Devices*, ED-27, pp.2051-2055, 1980.
- [8] K.Y. Chiu, et al., "The SWAMI-A defect free and near-zero birds-beak local oxidation process and its application in VLSI technology", *IEEE, IEDM 82*, pp.224-227, 1982.
- [9] F.Y. Chang, et al., "Statistical modeling of submicron, shallow-junction, self-aligned bipolar transistors," *IEEE, IEDM 82*, p. 672, 1982.
- [10] Lan E. Getreu, "Modeling the bipolar transistor", Elsevier Scientific Publishing Co. 1978.