

CAD에 의한 VLSI 설계를 위한 면적 최적화 (Area-Optimization for VLSI by CAD)

李 天 熙*
(Cheon Hee Yi)

要 約

이 논문은 VLSI 디자인의 설계면적 최소화를 다루었다. VLSI 설계내에 긴 배선은 전파지연의 원인이 되지만 이 지연은 driver를 사용함으로써 감소시킬 수 있다. 많은 driver를 설계내에 삽입시킬 때에 심각한 면적증가를 초래할 수 있으므로 이 논문은 driver를 설계내에 많은 긴 배선들을 따라서 삽입할 시에 면적에 있어서 가장 나쁜 경우의 증가에도 적절한 경계를 구하는 방법을 기술하였다.

회로로 인한 최소면적 삽입에 의해서 점유된 면적은 설계의 경계구형의 종횡비에 의존하므로 이 논문은 몇개의 종횡비의 구형에 있어서 VLSI 그래프를 위한 separator를 기초로한 최적의 면적삽입을 제시하였다.

Abstract

This paper deals with minimizing layout area of VLSI design. A long wire in a VLSI layout causes delay which can be reduced by using a driver. There can be significant area increase when many drivers are introduced in a layout.

This paper describes a method to obtain tight bound on the worst-case increase in area when drivers are introduced along many long wires in a layout.

The area occupied by minimum-area embedding for a circuit can depend on the aspect ratio of the bounding rectangle of the layout. This paper presents a separator-based area-optimal embeddings for VLSI graphs in rectangles of several aspect ratios.

I. 서 론

VLSI 설계에 있어서 신호를 가속시키는 driver 구형의 종횡비(aspect ration)가 면적의 증가에 큰 영향을 끼치는데 이것은 경계구형의 종횡비가 정해졌을때 면적의 삽입을 어떻게 효율적으로 구성할지의 지침이 되기 때문이다.

실제 문제에서 부딪치는 내부연결의 그래프는 대부

분이 planar이기 때문에 Tarjan과 Lipton의^{1,2)} separator 알고리즘을 planar 그래프에 응용할 수 있었다. C. E. Leiserson은^{3,4)} separator가 $\theta(n^2)$ ($q \geq 0$)인 등급의 그래프에 필요한 삽입알고리즘을 만들었는데 이것은 grid 모델용 사용하여 separator의 값이 좋은 그래프에 면적을 최적으로 삽입하는 방법이다.

본 논문에서는 이들을 기초로하여 같은 separator를 가진 n노드 그래프에 필요한 최소면적의 크기를 넘지 않게 하면서 separator가 $f(n)$ 인 n노드 그래프를 설계하면 최적의 면적설계가 될 수 있으며 삽입은 거의 사각형의 구형안에서 이루어지므로 경계구형이 n노드 그래프에 대해서 면적이 $A(n)$ 이라면 길이와 폭은 각각 $\theta(\sqrt{A(n)})$ 이 된다. 따라서 어느 삽입이라도

*正會員, 淸州大學校 電子工學科
(Dept. of Elec. Eng., Chong-Ju Univ.)
接受日字: 1987年 2月 6日
(※ 이 논문은 1986년도 한국 과학재단의 연구 지원으로 이루어 졌음.)

면적의 증가가 상수항 이내인 사각형내에 삽입시키는 것이 가능하기 때문에 본 논문에서는 종횡비가 변화하는 구형에서 n vertex에 의해서 삽입되는 그래프 문제를 다루었다.

또한 Thompson^[5]에 의하여 제기되었으며 Bilardi, Pracchi, Preparata^[6]에 의하여 입증된 긴 배선의 저항은 무시될 수 있고 배선을 캐피시턴스가 길이에 비례하는 용량성 부하로 고찰함으로써 배선이 순수한 용량성으로 설계될 수 있다고 가정하였다.

II. 완전한 2진 Tree를 위한 삽입

구형의 긴쪽을 ℓ ($\ell=d(n)$, n 의 함수)이라 하고 이 제약 조건하에서 그래프를 삽입하여 최소면적의 구형을 얻는다. 이때 실제적인 응용을 고려하여 그래프의 $\theta(d(n))$ vertex가 경계(입출력 노드)까지 접근하기 쉬운 경우를 만들기 위하여는 더 긴쪽의 수평방향으로 구형내에 그래프를 삽입한다.

길이를 $\ell + \theta(d(n)) = \theta(d(n))$ 까지 증가시키면서 각 경계 vertex 다음에 수직의 cut를 만든다(그림 1). 이 vertex들의 각각을 확장하여 이들이 두개의 grid point를 점유하도록 한다. 새로 만들어진 각각의 노드로부터 그 vertex를 위하여 만든 cut를 따라서 구형의 하한 경계까지 배선하면 면적은 단지 상수인자(constant factor)에 의해서 증가한다. $\theta(d(n))$ 개의 입출력 노드를 갖는 그래프를 삽입하는데는 적어도 $\theta(d(n))$ 의 주변길이를 갖는 경계구형이 필요하기 때문에 이 삽입은 최적이라 할 수 있다.

Separator가 $\theta(n^q)$ ($q \geq 0$)인 등급의 그래프를 다루고 있으므로 완전한 2진 tree(complete binary tree separator가 $\theta(1)$ 인 등급의 그래프의 subset)를 위한 해를 먼저 취급한다.

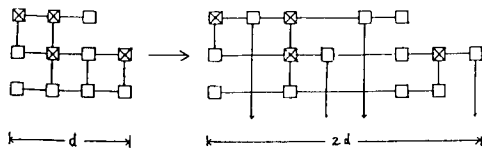


그림 1. 경계vertex $d=4$ 인 그래프의 삽입
Fig. 1. Embedding a Graph With $d=4$ Boundary-Vertices.

Leaf가 n 개인 완전한 2진 tree가 면적 A 의 구형안에 삽입된다고 가정하면 grid상에 n 노드를 삽입하는데 $\theta(n)$ 면적이 들기 때문에 면적 A 는 적어도 $\theta(n)$ 이 되며 $d(n) = \Omega(\sqrt{n})$ 이다. 만일 n 노드 상에 2진 tree가 구형에 삽입되었다면 구형의 높이는 적어도 $\log n$ 이어야

하므로 $A = \Omega(d(n) \log n)$ 이다. $d(n) = \theta(\sqrt{n})$ 일때 H-tree의^[7] 구성(그림2)은 $A = \theta(n)$ 이면 최적의 설계가 되며 $d(n) = \theta(n)$ 일때 표준 tree구성(그림3)은 $A = \theta(n \log n)$ 이면 최적의 설계가 된다. 만일 $\theta(\sqrt{n}) < d(n) < \theta(n)$ 이면 다음의 진행은 최적설계가 된다.

1) 2진 tree를 두개의 같은 크기(separator edge를 옮김으로서)로 나누기 위하여 separator $\theta(1)$ 을 사용하고 각 분리된 영역이 $(n/d(n))^2$ 노드를 갖을때까지 순환적으로 계속하면 $d^2(n)/n$ 의 블록이 존재한다.

2) 면적 $O((n/d(n))^2)$ 의 H-tee 내에 각 블록을 마련하고 폭 $w = \theta(n/d(n))$ 이며 길이 $l = \theta(d(n))$ 인 구형안에 블록들을 옆으로 나란히 배치한다.

3) 표준구성방법으로 각 블록의 root를 같이하여 tree를 만들면 $\theta(\log(d^2(n)/n)) = O(\log n)$ 에 의하여 w 가 증가하나 길이 l 은 증가하지 않는다.

설계면적은 다음식과 같이 된다.

$$A = lw = \theta(d(n)) (\theta(n/d(n)) + O(\log n)) = O(n + d(n) \log n) \tag{1}$$

$\theta(n)$ 과 $\theta(d(n) \log n)$ 이 둘다 면적 A 의 하한 경계이기 때문에 $d(n)$ 의 각 값에 대해서 최적설계를 만들 수 있다. $d(n) = O(n/\log n)$ 일때 $A = \theta(n)$ 이며 $d(n) = \Omega(n/\log n)$ 일때 $A = \theta(d(n) \log n)$ 이다.

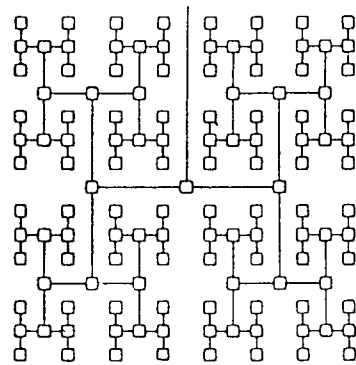


그림 2. 완전한 2진 tree의 H-tree설계
Fig. 2. H-Tree Layout of a Complete Binary Tree.

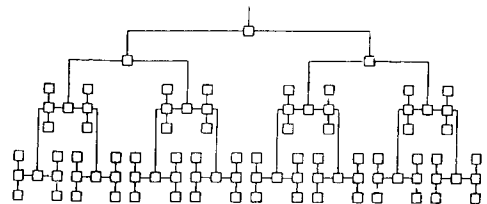


그림 3. 표준 tree의 구성
Fig. 3. Construction of Standard Tree.

III. Separator를 고려한 삽입

1. Separator가 $f(n) = \theta(n^q)$ ($\theta \leq q \leq 1 \leq 2$)인 경우 $O(n^q)$ ($q \geq 0$) 형태의 separator를 갖는 그래프 등급에 앞절에서의 방법을 응용한다. 앞절에서 $A = \Omega(n)$ (따라서 $d(n) = \Omega(\sqrt{n})$)이며 $1 = \theta(\sqrt{n})$ 이고 $w = \theta(\sqrt{n})$ 일때 면적은 $\theta(n)$ 이 되므로 $\theta(\sqrt{n}) < d(n) < \theta(n^q)$ 일때 다음의 진행을 길이가 $d(n)$ 일때 최적설계가 된다.

1) 그래프를 두개의 거의 같은 크기(separator edge를 옮김으로서)로 나누기 위하여 separator n^q 를 사용하고 각 분리된 영역이 $\theta(n^2/d^2(n))$ 개 vertex를 갖을 때까지 순환적으로 계속하면 $\theta(d^2(n)/n)$ 의 블록이 존재한다.

2) 면적 $\theta(n^2/d^2(n))$ 내에 각 블록을 설계하고 블록을 옆으로 나란히 배치하여 분리된 edge가 인접된 블록과 과도블럭(superblocks)을 건너 가도록 한다. 이때 구형의 크기는 $w = \theta(n/d(n))$ 이며 $1 = \theta(d(n))$ 이다.

3) Separator edge를 더하고 각 edge에 대해서 edge를 연결하는 두 노드에서 수직의 cut를 만들어서 그래프의 상부를 지나도록 배선하여 edge를 연결한다. 만일 separator가 그래프를 두 부분으로 나눈다면 각 부분은 적어도 αn 개의 노드를 갖고 있으며 C. E. Leiserson의³¹ 방법을 사용하면 폭($b(n)$ 으로 표시한)의 증가는 다음식과 같이 된다.

$$b(n) = \max_{\alpha \leq x \leq 1-\alpha} (b(xn) + \theta(n^q)) \quad (2)$$

$q > 0$ 일때 $b(n) = \theta(n^q)$ 이고 $q = 0$ 일때 $b(n) = \theta(\log n)$ 이므로 이 두 경우를 분리하여 검토하면 다음과 같다.

(I) $q > 0$ 인 경우

폭은 $w: d(n) = \theta(n/d(n)) + \theta(n^q) = \theta(n/d(n))$ 까지 증가하며 두개의 수직 cut가 각 separator edge를 경유하도록 만들어졌기 때문에 길이는 만들어진 cut 수에 따라서 증가한다. 즉 separator edge 전체 수의 2배가 옮겨 졌으며 많아야 다음 식으로 주어진 것보다 크지 않다.

$$\begin{aligned} & 2(n^q + 2(n/2)^q + 4(n/4)^q + \dots + \theta(d^2(n)/n) \cdot \theta((n^2/d^2(n))^q)) \\ &= 2n^q(1 + 2^{1-q} + (2^{1-q})^2 + \dots + (2^{1-q})^{\log_2(n \cdot d^2(n)/n^2)}) \\ &= \theta(2n^q(d^2(n)/n)^{1-q}) \\ &= \theta(d(n)d^{2q}(n)/n^{1-2q}) \\ &= O(d(n)) \end{aligned} \quad (3)$$

따라서 구형의 길이는 $\theta(d(n))$ 이고 면적은 $A = \theta(n/d(n)) \cdot \theta(d(n)) = \theta(n)$ 이다.

$d(n) = \theta(n^r)$ ($r > 1 - q$)일때 $d(n) = n^{1-q}$ 로서 위 방법을 사용하여 $A = \theta(d(n)n^q)$ 인 설계를 만들 수 있으며 길이는 $\theta(n^r)$ 정도 증가한다. 이 등급의 그래프에서 최

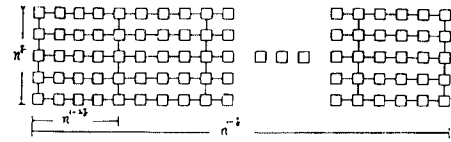


그림 4. Separator가 $O(n^q)$ 그래프
Fig. 4. A Graph with $O(n^q)$ Separator.

소의 양방향성 폭(그래프를 vertex 수에 있어서 한계 이상 차가 나지 않게 하면서 두개의 인접한 부 그래프로 분리하기 위하여 그래프에 옮겨야 하는 최소의 edge수 내에서 모든 그래프에 걸친 최대)이 $\theta(n^q)$ 이기 때문에 역시 최적의 설계가 된다. 그림4는 최소의 양방향성 폭이 $\theta(n^q)$ 이며 separator가 $\theta(n^q)$ ($q < 1/2$)인 그래프의 예이다.

(2) $q = 0$ 인 경우

이 경우에 폭은 $\theta(n/d(n)) + O(\log n)$ 정도 증가하며 길이의 증가는 다음식과 같다.

$$\begin{aligned} & 2(1 + 2 + 4 + \dots + 2^{\log_2(n \cdot d^2(n)/n^2)}) \\ &= \theta(d^2(n)/n) \\ &= O(d(n)) \end{aligned} \quad (4)$$

따라서 길이는 $\theta(d(n))$ 이고 면적은 $A = O(n + d(n) \log n)$ 이므로 완전한 2진 tree의 경우(II 절)과 같다.

2. Separator가 $f(n) = \theta(\sqrt{n})$ 인 경우

이 경우에 F. T Leighton은^{8,9} $A = \Omega(\log^2 n)$ (따라서 $d(n) = \Omega(\sqrt{n \log n})$)임을 밝혔고 C. E. Leiserson^{31,10}과 L. G. Valiant^{11,12}는 설계면적상의 효과적인 상한경계를 마련해 주는 일반특성을 연구하여 그래프 설계를 위한 divide-and-conquer 방법을 개발하였고 모든 n 노드 tree가 $O(n)$ 면적내에 설계되고 모든 n 노드 planar 그래프가 폭이 $\theta(\sqrt{n \log n})$ 이며 길이가 $\theta(\sqrt{n \log n})$ 일때 면적이 $\theta(n \log^2 n)$ 이 된다는 것을 증명하였다.

n vertex planar 그래프의 설계면적의 상한경계 $O(n \sqrt{n})$ 은 사각형의 mesh가¹³ $Q(n \sqrt{n})$ 면적을 필요로 하기 때문에 상수인자 범위내이다. 이것은 n vertex 사각형의 mesh의 최소 양방향성 폭이 $O(\sqrt{n})$ 이라는¹³ 것으로 부터도 알 수 있다. 따라서 이 등급의 최소 양방향성 폭은 그림5의 사각형의 mesh(점선은 확장 그래프에서 edge를 표시하고 실선은 mesh에서 edge를 표시한다)에서 $\theta(\sqrt{n})$ 이며 $A = \Omega(\sqrt{n} d(n))$ 이다. $\theta(\sqrt{n \log n}) < d(n) \leq \theta(\sqrt{n \log^2 n})$ 일때 다음의 진행은 최소의 면적설계를 만든다.

1) 그래프를 두개의 같은 크기(separator edge를 옮김으로서)로 나누기 위하여 separator $n^{1/2}$ 를 사용하고 각 분리된 영역이 $\theta(n^2 \log^2 n / d^2(n))$ 개 vertex

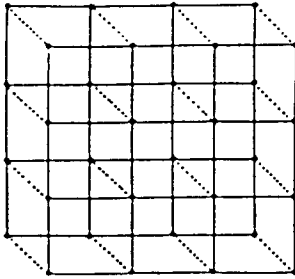


그림 5. 확장 연결된 mesh $P_{2,4}$
Fig. 5. The Expander-Connected Mesh $P_{2,4}$.

를 갖을 때까지 순환적으로 계속하면 $\theta(d^2(n \log^2 n))$ 의 블록이 존재한다.

2) 면적 $\theta(n^2 \log^4 n / d^2(n))$ 내에 각 블록을 설계하고 블록을 옆으로 나란히 배치하여 separator edge가 인접된 블록과 과도블록을 건너 가도록 한다. 이 설계(separator edge 없이)에서 구형의 폭은 $\theta(\log^2 / d(n))$ 이고 길이는 $\theta(n \log^2 n / d(n)) \cdot \theta(d^2(n) / n \log^2 n) = \theta(d(n))$ 이다.

3) 앞절에서 처럼 separator edge를 더한다. 폭은 앞에서와 같이 C. E. Leiserson의 방법^{3,10}을 사용하면 $O(\sqrt{n})$ 에 의해서 증가하며 전체폭은 $\theta(n \log^2 n / d(n))$ 이 된다.

길이의 증가는 다음식과 같다.

$$\begin{aligned} & 2(n+2(n/2)^{1/2}+4(n/4)^{1/2}+\dots+\theta(d^2(n)/n \log^2 n) \cdot \\ & \theta((n^2 \log^2 n / d^2(n))^{1/2}) \\ & = 2\sqrt{n}(1+2^{1/2})^2+\dots+(2^{1/2})^{(O(\log n) \cdot d^2(n) / n \log^2 n)} \\ & = O(2\sqrt{n}(d^2(n) / n \log^2 n)^{1/2}) \\ & = O(d(n) / \log n) \end{aligned}$$

따라서 전체 길이는 $\theta(d(n)) + O(d(n) / \log n) = \theta(d(n))$ 이며 면적 $A = \theta(d(n)) \cdot \theta(n \log^2 n / d(n)) = \theta(n \log^2 n)$ 이다. $d(n) = \Omega(\sqrt{n} \log^2 n)$ 일때 위 방법을 사용하여 $d(n) = n^{1/2} \log^2 n$ 으로서 $A = \theta(d(n) \sqrt{n})$ 인 설계를 만들 수 있으므로 그래프를 폭이 $\theta(\sqrt{n})$ 이며 길이가 $\theta(\sqrt{n} \log^2 n)$ 인 구형내에 삽입시킨다. 길이는 주어진 $d(n)$ 값까지 증가시키면서 필요한 삽입을 시킬 수 있으므로 역시 최적의 설계가 된다.

3. Separator가 $f(n) = \theta(n^q)$ ($q > 1/2$)인 경우

C. E. Leiserson은^{3,10} 측면이 $\theta(n^q)$ 인 최적의 등급에 대해서 면적이 $\theta(n^{2q})$ 임을 증명하였다. $d(n) = \theta(n^r)$ ($r > q$)일때 C. E. Leiserson의 방법³을 사용하면 면적이 $\theta(n^q d(n))$ 인 설계를 만들 수 있으므로 한면의 길

이는 $\theta(n^r)$ 까지 증가하나 이것 역시 그림 6에 나타난 것처럼 최적의 설계가 된다. 즉 위 방법을 사용하면 한번 S의 길이가 정해진 구형에 그래프를 삽입할 수 있다. 그림 6은 각 vertex가 정사각형의 mesh에서 연결됨은 물론이고 사방으로 n거리만큼 떨어진 vertex들도 연결됨을 표시하고 있다.

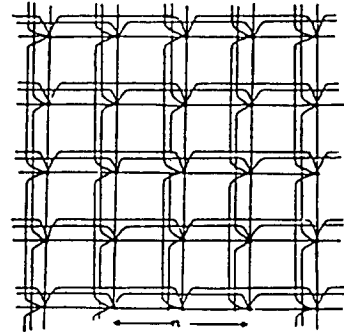


그림 6. Separator가 $O(\sqrt{n}, n^q)$ 인 그래프
Fig. 6. A Graph with (\sqrt{n}, n^q) Separator.

표 1. 설계결과
Table 1. The Results of Layout.

	폭 S의 범위	최적면적
Separator $\theta(1)$	$S = O(\log n)$ $\theta(\log n) \leq S \leq \theta(n/\log n)$ $S = \Omega(n/\log n)$	설계불가 $\theta(n)$ $\theta(S \cdot \log n)$
Separator $\theta(n^q)$ $0 < q < 1/2$	$S = O(n^q)$ $\theta(n^q) \leq S \leq \theta(n^{1-q})$ $S = \Omega(n^{1-q})$	설계불가 $\theta(n)$ $\theta(S \cdot n^q)$
Separator $\theta(\sqrt{n})$	$S = O(\sqrt{n})$ $\theta(\sqrt{n}) \leq S \leq \theta(\sqrt{n} \log n)$ $S = \Omega(\sqrt{n} \log n)$	설계불가 $\theta(n \log^2 n)$ $\theta(S \cdot \sqrt{n})$
Separator $\theta(n^q)$ $q > 1/2$	$S = O(n^q)$ $S = \Omega(n^q)$	설계불가 $\theta(S \cdot n^q)$

IV. 결 론

앞에서 유도된 결과들을 이용하여 주어진 separator에 따른 폭 S의 범위와 최적면적 설계범위를 표 1에 나타내었다. 표 1에 표시한 최적면적은 삽입인 separator $f(n)$ 을 가진 n노드 그래프가 같은 separator를 가진 다른 n노드 그래프에 의해서 필요로하는 최소면적보다 더적은 면적이라는 의미에서 최적이다. 이 구성방법은 고정된 차원을 갖는 구형의 설계를 이 설계

에 추가하려고 할때에 매우 유용하며 두개구형의 한변이 같은 길이를 갖도록 하여 옆으로 나란히 배치시킬 수 있다.

그러나 이상의 결과는 상수인자에 한정된 것이며 정확한 배치시에는 실제상수(actual constant)의 데이터가 필요하고 그 제어에 따르게 된다. 따라서 실제상수 데이터를 구성하는 방법의 연구가 뒤 따라야 하며 여기서 노드는 능동소자 이므로 이러한 소자들은 내부 연결할 때 특별한 입출력 관계가 발생하므로 이런 내부연결이 매우 큰 규모로 이루어질 때 에러가 발생하기 쉽기때문에 fabrication전에 디자인 단계에서 simulation에 의하여 에러를 검출하여 바로 잡는 연구로 연결되어야 한다.

參 考 文 獻

- [1] Lipton, Richard J. and Tarjan, Robert E., "Application of a planar separator theorem," Proc. 18th Annual Symp. on the Foundations of computer Science, *IEEE Computer Society*, pp.162-170, 1977.
- [2] Lipton, "A separator theorem for planar graphs," *Proc. Conf. Theoretical Comput. Sci.*, Waterloo Univ., Canada, pp.1-10, 1977.
- [3] C.E. Leiserson, "Area-efficient graph layouts for VLSI," Proc. 21st Annual Symp. on the Foundations of Computer Science, *IEEE Computer Society*, pp.270-280, 1980.
- [4] C.E. Leiserson, *Area Efficient VLSI Computation*. Ph.D. dissertation, Carnegie-Mellon University, 1981.
- [5] C.D. Thompson, *A Complexity Theory for VLSI*, Ph. D. dissertation, Carnegie-Mellon University, 1980.
- [6] G. Bilardi, M. Pracchi, and F.P. Preparata, "A critique and appraisal of VLSI models of computation," *CMM Con. on VLSI Sys. and Computations*, pp.81-88, 1981.
- [7] Carver Mead and Martin Rem, "Cost and performance of VLSI computing structures," *IEEE J. of Solid State Cir.*, vol.SC-14, no.2, pp.455-462, 1979.
- [8] F.T. Leighton, "New lower bound techniques for VLSI," Proc. 22nd Annual Symp. on the Foundations of Computer Sci., *IEEE Computer Society*, pp.1-12, 1981.
- [9] F.T. Leighton, *Layouts for the Shuffle-Exchange Graph and Lower Bound Techniques for VLSI*, Ph.D. dissertation, M.I.T., 1982.
- [10] Hoey and C.E. Leiserson, "A layout for the shuffle-exchange network," *Proc. of the 1980 IEEE Conf. on Parallel Processing*, August 1980.
- [11] L.G. Valiant, "On non-linear lower bounds in computational complexity," *Proc. 7th ACM Symp. on Theory of Comput.*, pp.45-53, 1975.
- [12] L.G. Valiant, "Universality considerations in VLSI circuit," *IEEE Trans. Computers*. vol. c-30, no.2, pp.135-140, 1981.
- [13] Sandeep N. Bhatt and F.T. Leighton, "A framework for solving VLSI graph layout problems," *J. of Computer and System Science*, vol.28, pp.300-343, 1984.