

捕獲準位-密度測定을 통한 熱蒸着한 一酸化硅素 薄膜과 고주파 스퍼터링한 二酸化硅素 薄膜의 特性 비교

(Comparison of Characteristics Between Thermal Evaporated SiO and
rf Sputtered SiO₂ Thin Films by Trap Density Measurements)

馬 大 泳*, 金 基 完**

(Tae-Young Ma and Ki-Wan Kim)

要 約

捕獲準位 밀도를 測定하기 위하여 SiO와 SiO₂를 게이트절연체로 사용한 薄膜트랜지스터를 製造하였다. 製造한 薄膜트랜지스터의 出力特性和 出力特性的 時間에 따른 變化를 측정하였으며, 각각에 대한 모델을 捕獲準位와 관련지어 제시하였다. 본 논문에서는 薄膜에 존재하는 捕獲準位 밀도를 구하고 그 結果로써 SiO 薄膜과 SiO₂ 薄膜간의 차이점을 조사하였다. 捕獲準位 밀도는 박막트랜지스터의 出力特성을 측정할 값을 捕獲準位모델에서 유도된 理論식에 대입하여 구하였다. 두 薄膜內에 존재하는 捕獲準位の 종류와 밀도는 차이를 나타내지 않았으나, 반도체와의 경계면에는 고주파 스퍼터링한 SiO₂가 熱蒸着한 SiO에 비해 더 많은 捕獲準位를 함유하는 것으로 밝혀졌다.

Abstract

Thermal evaporated SiO and rf sputtered SiO₂ thin films were most widely used to the gate oxide of TFTs. In this paper, The difference of trap density and distribution between SiO₂ and SiO₂ film were studied. TFTs using SiO and SiO₂ thin film for the gate oxide were fabricated. The output characteristics of TFTs and the time dependence of the leakage current were measured. Models of the carrier transport and carrier trapping in TFT were proposed. The trap density was obtained by substituting measured value for the equation derived from the proposed model. It was found that rf sputtered SiO₂ had more traps at interface than thermal evaporated SiO.

I. 序 論

薄膜트랜지스터(thin film transistor)의 半導體로는 II-IV족 및 III-V족 化合物이 주로 사용되고 있다. 이 化合物들은 비교적 移動도가 높을 뿐만 아니라 그 製造방법 또한 널리 연구되어 있는 까닭에 박막트랜지

스터의 材料로는 매우 적합하다. 그러나 현재의 GaAs 素子和 같이 이들 또한 게이트 絶緣體의 形成이 어렵다는 단점을 갖고 있다. 이들은 열적산화(thermal oxidation)에 의해 산화층을 형성시킬 수 없을 뿐만 아니라, 유리를 기판으로 사용하는 박막트랜지스터의 경우 고온처리가 어렵기 때문에 부득이 게이트의 形成을 위해서는 진공증착, 고주파 스퍼터링 등의 방법으로 절연체층을 형성시켜야 한다.

게이트 絶緣體의 재료로는 Al₂O₃, SiO, SiO₂ 등이 있지만 이들중 SiO와 SiO₂가 가장 널리 사용되고 있다.^{1,2,3} 왜냐하면 SiO와 SiO₂는 薄膜 캐패시터, 반사

*正會員, 慶尙大學校 電氣工學科
(Dept. of Electrical Eng., Kyung-sang Nat'l Univ.)

**正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字: 1986年 10月 4日

방지막(AR coating) 등의 재료로 종래부터 널리 사용되어, 그 제조방법 및 특성이 많이 알려져 있기 때문이다. Al₂O₃는 전기분해법으로 제조하여 박막트랜지스터에 응용한 보고¹⁾가 있으나 전기분해법은 제조과정중 素子를 용액에 담궈야 하는 결점 때문에 더 이상 박막트랜지스터의 공정으로는 연구되지 않고 있다.

일반적으로 SiO₂ 薄膜은 眞空中에서 熱蒸着하며, SiO₂ 박막은 고주파 스퍼터링으로 제조한다. 물론 SiO₂의 제조에는 LPCVD, PECVD 등 여러 방법이 보고되어 있으나, 박막트랜지스터의 경우 지금까지는 대개 고주파 스퍼터링 방법이 사용되어 왔다.^{13,14)} 그러나 SiO 및 SiO₂ 薄膜의 경우, 각각에 대한 제조방법 및 전기적, 광학적 특성은 널리 연구되어 있지만 이들이 게이트절연체로서 상호 비교분석된 경우는 찾아보기 힘들다.

본 논문에서는 CdSe를 반도체로 하고 SiO 및 SiO₂를 게이트로 하여 두 종류의 박막트랜지스터를 제조한 후 각각의 특성을 두가지 방법으로 비교하였다.

첫번째는 絶緣體내에 존재하는 포획준위의 밀도를 구하여 비교하는 방법이고, 두번째는 게이트 전압에 의해 유도된 搬送子(carrier)의 포획율(유도된 반송자에 대한 포획되지 않은 반송자의 비)을 구해 비교하는 방법이다. 구해진 결과의 검토를 통해 박막트랜지스터 게이트 절연체로서 SiO 및 SiO₂ 薄膜의 적합성을 비교하였다.

II. 포획준위밀도 및 포획율의 유도

1. 포획준위 밀도의 측정

포획준위에 대한 理論的인 고찰은 Ning¹⁵⁾에 의해 발표된 바 있다. 본 논문에서는 Ning이 구한 이론식을 측정 가능한 값과 연결지으므로써 포획준위 밀도를 구하였다.

포획이 일어나는 정도가 미약한 경우에는 포획준위의 포획단면적과 밀도를 실험치에서 직접 구할 수 있으나, 그렇지 않은 경우에는 理論的인 解析과 實驗的結果를 비교함으로써 그 값을 찾아내어야 한다.

먼저 연속방정식과 포획단면적의 定義는

$$\frac{\partial n_1(x, t)}{\partial t} = \frac{\partial J(x, t)}{q \partial x} \quad (1)$$

$$\frac{\partial n_1(x, t)}{\partial t} = S \frac{J(x, t)}{q} [N_T - n_1(x, t)] \quad (2)$$

로 표시된다. 여기서 n₁(x, t)는 채워진 포획준위의 밀도, N_T는 포획준위의 밀도, J(x, t)는 絶緣體層을 지나는 電流密度, S는 포획준위의 포획단면적이다. 위 두 식의 解는 Arnett¹⁶⁾가 이미 구해 놓았으며 그 解는

$$n_1(x, t) = \frac{N_T [\exp \{SN_1(t)\} - 1]}{\exp \{SN_1(t)\} - 1 + \exp(SN_T x)} \quad (3)$$

이다. 여기서

$$N_1(t) = \int_0^t \frac{J(0, t')}{q} dt'$$

이다.

식(3)에서 N_T를 제외한 모든 값을 측정 가능한 값으로 변환한다면 測定值를 통해 N_T를 구해 낼 수 있게 된다. 우선 N₁(t)를 측정 가능한 값으로 變換시킨다. 게이트 전류밀도 J_c는

$$J_c(t) = J(x_0, t) + q \int_0^{x_0} \frac{x \partial n_1(x, t)}{x_0 \partial t} dx \quad (4)$$

이다. 우변의 첫번째항은 게이트 전극과 絶緣體의 境界面을 가로지르는 電流이고 둘째항은 絶緣體를 통해 捕獲된 電荷의 時間 變化率에 기인한 電流成分이다. 여기서 x₀는 게이트절연체의 두께를 나타낸다. 식(1)을 x에 대해 적분하여 식(2)와 합치면

$$J_c(t) = J(0, t) - q \int_0^{x_0} \frac{\partial n_1(x, t)}{\partial t} dx + q \int_0^{x_0} \frac{x \partial n_1(x, t)}{x_0 \partial t} dx \quad (5)$$

가 된다. 또 문턱전압¹⁷⁾

$$V_T(t) = \frac{q}{C_0} \int_0^{x_0} \left(1 - \frac{x}{x_0}\right) n_1(x, t) dx \quad (6)$$

로부터 N₁(t)는

$$N_1(t) = \int_0^t \frac{J_c(t')}{q} dt' + \frac{C_0}{q} \Delta V_T(t') \quad (7)$$

가 된다.

여기서 C₀는 絶緣體의 單位面積當 容量이다. 식(7)을 통해 N₁(t)는 測定可能한 값이 된다.

식(6)을 N₁에 대해 미분하면

$$\eta(N_1) = \frac{C_0 q \Delta V_T(N_1)}{q \Delta N_1} = \int_0^{x_0} \left(1 - \frac{x}{x_0}\right) \frac{\partial n_1(x, t)}{\partial N_1} dx \quad (8)$$

이 되고 만약 N₁=0라면

$$\eta(0) = 1 - \frac{1 - \exp(-SN_T x_0)}{SN_T x_0} \quad (9)$$

이 된다. η(0) = $\left. \frac{C_0 q \Delta V_T}{q \Delta N_1} \right|_{N_1=0}$ 를 ΔV_T對 N₁의 그래프에서 구하여 식(9)에 대입하면 포획단면적과 포획준위밀도의 곱 (S·N_T)을 구할 수 있다.

또 식(6)을 식(3)에 대입하면

$$\Delta V_T(t') = \frac{q}{C_0} \int_0^{x_0} \left(1 - \frac{x}{x_0}\right) \frac{N_T \{\exp\{SN_T(t)\} - 1\}}{\exp\{SN_T(t)\} + \exp\{SN_T x\} - 1} dx \quad (10)$$

이 되므로 임의의 S와 N_T 를 指定한 후 ΔV_T 와 N_T 의 관계를 계산할 수 있다. 이때 S와 N_T 의 값은 이미 구해진 상태이다. 그런 다음 식(7)과 測定值로부터 구한 ΔV_T 對 N_T 의 그래프와 비교하여 가장 一致하는 값을 택하면 S와 N_T , 즉 포획단면적과 포획준위 밀도를 구할 수 있다.

2. 포획율의 計算

多結晶 반도체의 捕獲 모델¹⁾로부터 多結晶 半導體 薄膜의 面抵抗을 求하면

$$G_s = \frac{3 \ell q \mu_g (n_c - n_b)^2}{8 \ell_b h n_c \{ \ln(n_c/n_b) \}^2} \quad (11)$$

이 된다. 여기서 ℓ , q , μ_g , ℓ_b , h 는 각각 입자(grain)의 크기, 단위전하량, 이동도, Debye length, 박막의 두께를 나타낸다. 또 n_c , n_b 는 결정(crystalline) 영역의 電子密度와 입계(grain boundary)에서의 電子密度를 나타낸다. 박막트랜지스터의 半導體層이 多結晶薄膜이라면 그 면저항이 식(11)로 표시될 것이다. 그러나 게이트에 電界가 가해진다면, 이 電界에 의해 半導體層에서는 새로운 搬送가 유도될 것이고 유도된 搬送子에 의해 薄膜의 面抵抗은

$$G_s = \frac{3 \ell q \mu_g (n_c - n_b)^2}{8 \ell_b h (n_c + \theta \Delta n) \{ \ln(n_c + \theta \Delta n) / (n_b + \theta \Delta n) \}} \quad (12)$$

$$\Delta n = \frac{C_0 \cdot V_g}{q} \quad (13)$$

$$\theta = \frac{\Delta n - \Delta n_T}{\Delta n} \quad (14)$$

으로 고쳐진다. 여기서 V_g 는 引加된 게이트전압, Δn 은 게이트전압에 의해 유도된 反송자의 單位面積當 밀도, Δn_T 는 유도된 反송자 중 포획된 反송자의 單位面積當 갯수이다. 이때 Δn_T 를 포획준위의 밀도로 看做해도 不妨할 것이다.¹⁾ 여기서 gradual approximation을 써서 식(12)를 풀면 박막트랜지스터의 전류-전압식을 구할 수 있다.

$$\int_0^L \frac{I_a}{W} dx = \int_0^{V_a} G_s dV \quad (15)$$

에 식(12)를 대입하여 풀면 드레인전류는

$$I_a = \frac{3Wq\ell\mu_g}{16L\ell_b} (n_c - n_b)^2 \int_0^{V_a} \frac{dV}{\{n_c + (C_0\theta/q)(V_g - V)\} \ln\left(\frac{n_c + (C_0\theta/q)(V_g - V)}{n_b + (C_0\theta/q)(V_g - V)}\right)} \quad (16)$$

이 된다.¹⁾ 여기서 V_a , W , L 은 각각 드레인전압, 박막트랜지스터의 채널너비, 채널길이를 나타낸다. 식(16)으로 드레인전류는 포획율 θ 와 관련지어 진다. 또 θ 를 제외한 모든 값들이 測定可能한 값이므로 θ 를 변수로 하여 드레인전류와 전압의 관계를 계산할 수 있다. θ 를 변수로 하여 계산된 값들과 測定된 박막트랜지스터의 出力特性을 比較하여 가장 잘 일치하는 경우를 찾으면 원하는 박막트랜지스터의 포획율을 얻을 수 있다.

III. 薄膜트랜지스터의 製造

그림 1은 제조한 박막트랜지스터의 구조를 나타낸 것이다. 半導體로는 CdSe를 사용하였으며 蒸着率은 10 Å/sec, 두께는 500 Å이었다. 蒸着된 CdSe의 입자 크기는 약 300 Å이었다.

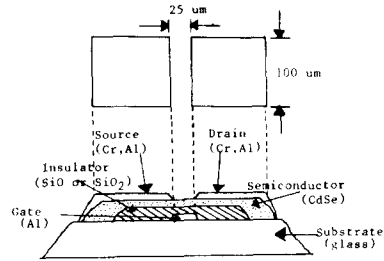


그림 1. 박막트랜지스터의 구조
Fig. 1. Structure of TFT.

게이트 絶緣體層으로는 SiO와 SiO₂를 사용하였다. SiO는 굴뚝형 탄탈륨 보트를 사용하여 열증착하였으며 SiO₂는 고주파스퍼터링으로 증착하였다. 기초 실험을 통해 SiO 薄膜과 SiO₂ 薄膜의 製造條件에 따른 유전특성 및 전기적 특성변화를 조사하였으며 그 결과 게이트 絶緣體形成을 위해 적합하다고 판단되는 증착 조건에서 薄膜을 제조하였다. SiO의 경우 증착율은 2 Å/sec, 두께는 1,000 Å으로 하였다. SiO₂ 스퍼터링 조건은 전력 밀도 2.5W/cm², 작동기압 20mtorr였으며 스퍼터링시 5%의 산소를 아르곤에 添加하였다. SiO₂ 薄膜의 두께 역시 1,000 Å으로 하였다. 제조된 박막트랜지스터의 채널폭은 25 μm였으며 채널길이는 100 μm였다.

IV. 結果 및 考察

먼저 첫번째 방법에 대해 간략히 설명한 후 그 결과에 대해 論議하겠다. 그림 2는 포획준위밀도를 구하는 순서를 나타낸 것이다. 포획준위밀도를 구하기 위해

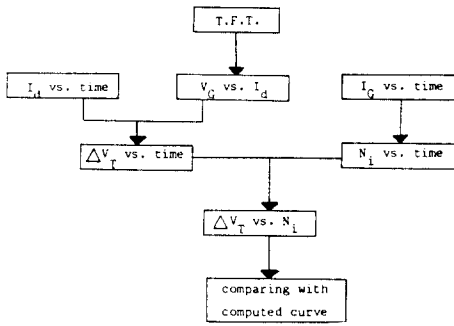


그림 2. 포획준위 밀도 계산을 위한 흐름도
Fig. 2. Flowchart of the Trap Density Calculation.

필요한 測定은 시간에 따른 드레인전류 및 게이트전류의 변화와 게이트전압에 따른 드레인전류의 변화이다.¹⁰⁾ 본 실험에서는 실험의 횟수를 줄이기 위해 게이트전압은 3V, 드레인전압은 1.5V로 고정시켰다.

먼저 이 세가지 측정치로부터 ΔV_T 와 N_i 의 값을 시간의 함수로 구한다. ΔV_T 는 ΔI_d 에 $\Delta V_G/\Delta I_d$ 를 곱한 값으로 구하고 N_i 는 식(7)을 통하여 구한다. 시간을 축으로 하는 ΔV_T 와 N_i 의 그래프를 구한 후 그래프를 대응시키면 ΔV_T 대 N_i 의 그래프가 얻어진다. 이것을 식(10)과 비교하면 포획준위의 포획단면적과 밀도를 찾을 수 있다. 그림 3은 최종적으로 구한 ΔV_T 와 N_i 의 그래프를 나타낸 것이다. 실선은 계산치이고 점선은 측정치이다. 이 그래프에서 求해진 게이트 絶緣體의 捕獲準位密度는 $8.1 \times 10^{23} \text{m}^{-3}$ 이다. 표 1은 위의 방법으로 구한 게이트絶緣體의 포획준위밀도를 나타낸 것이다. SiO를 게이트로 사용했을 경우와 SiO₂를 게이트로 사용했을 경우를 비교하였다. 샘플에 따라 약간의 차이가 있었으나 대부분 $10^{23} \text{m}^{-3} \sim 10^{24} \text{m}^{-3}$ 으로 나타났다. 게이트로 사용된 SiO 薄膜과 SiO₂ 薄膜의 경우,

표 1. SiO 및 SiO₂ 박막의 트랩밀도(m⁻³)
Table 1. Trap Density of SiO and SiO₂ Thin Films.

| Sample | SiO | SiO ₂ |
|--------|----------------------|----------------------|
| 1 | 1.4×10^{22} | 3.1×10^{22} |
| 2 | 4.1×10^{22} | 4.0×10^{22} |
| 3 | 8.1×10^{22} | 6.2×10^{22} |
| 4 | 2.3×10^{23} | 1.0×10^{23} |
| 5 | 2.1×10^{23} | 5.0×10^{22} |

본 측정에서는 포획준위밀도에 있어서 차이를 보이지 않았다. 표 2는 위의 방법으로 구한 포획준위의 捕獲斷面積을 나타낸 것이다. SiO와 SiO₂ 박막내에 존재하는 포획준위의 포획단면적은 대부분 $10^{-16} \text{m}^2 \sim 10^{-15} \text{m}^2$ 으로 두 薄膜에서 차이는 보이지 않았다. 밝혀진 포획준위의 捕獲斷面積을 볼때 SiO와 SiO₂ 薄膜에 존재하는 포획준위는 두 경우 모두 電子에 대해 引力電位 상태로 존재할 것이며 이것은 산소결핍공(oxygen vacancy)에 의한 포획준위가 주종인 것으로 사료된다. 첫 번째 방법에서 나타난 결과로 볼 때 열증착한 SiO 박막과 고주파 스퍼터링한 SiO₂ 박막은 포획준위의 밀도와 종류에 있어서 相異點이 없다는 것을 알 수 있다.

다음은 두 번째 방법의 결과와 구해진 결과에 대한 논의를 하겠다. 먼저 박막트랜지스터의 출력특성을 측정 후 식(16)과 비교하여 포획율(θ)을 구한다. 그림 4는 박막트랜지스터의 출력특성을 나타낸 것이다. 실선은 측정된 값이고 점선은 계산으로 구한 값이다. SiO 박막을 게이트로 사용했을 경우 포획율이 0.1~0.2 또 SiO₂ 박막을 게이트로 사용했을 경우 포획율이 0.08~0.09로 구해졌다. SiO의 경우 SiO₂에 비해 포획율이 1~20% 큰 것으로 나타났다. 이것은 게이트 절연체의

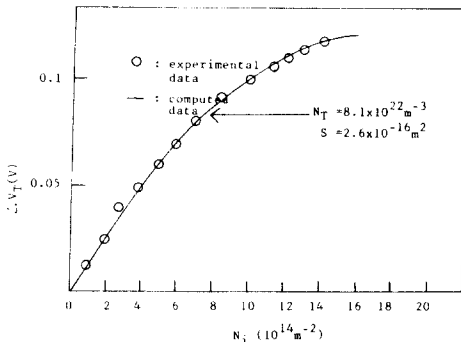


그림 3. N_i에 대한 문턱전압
Fig. 3. N_i vs. Threshold Voltage.

표 2. SiO 및 SiO₂ 박막 포획준위의 포획단면적(m²)
Table 2. Capture Cross-Section of Traps in SiO and SiO₂ Thin Films.

| Sample | SiO | SiO ₂ |
|--------|-----------------------|-----------------------|
| 1 | 1.2×10^{-16} | 5.0×10^{-16} |
| 2 | 5.3×10^{-16} | 3.1×10^{-16} |
| 3 | 2.6×10^{-16} | 3.9×10^{-16} |
| 4 | 1.6×10^{-15} | 1.6×10^{-15} |
| 5 | 1.2×10^{-15} | 1.4×10^{-15} |

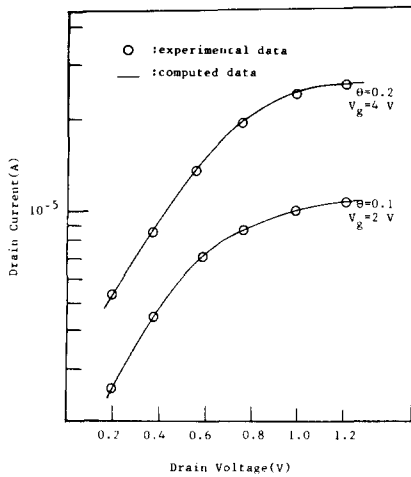


그림 4. 박막트랜지스터의 출력 특성 비교
(SiO 게이트의 경우)

Fig. 4. Comparison of TFT Output.

表面缺陷이 주원인이며, 위의 결과는 SiO 薄膜과 SiO₂ 薄膜의 製造방법상의 차이때문에 나타나는 것으로 생각된다. 스퍼터링의 경우 工程中에 발생하는 엑스선, 광자, 二次放出 電子 등이 증착된 膜의 表面에 많은 缺陷을 발생시킬 것이며 또 챔버내에 존재하는 반응가스의 표면흡착도 捕獲準位の 원인이 될 것이다.¹¹⁾ 반도체 내부에 존재하는 억셉터형태의 酸素가 SiO 표면에 捕獲되므로써 SiO의 表面缺陷을 줄여준다는 보고¹²⁾도 있으나, 이것은 SiO₂의 경우에도 적용될 것이므로 이 현상은 두 膜의 捕獲準位 밀도 차이에 별 영향을 미치지 않을 것이다. 왜냐하면 SiO₂ 薄膜의 表面에도 많은 불포화결합(dangling bond)들이 존재할 것이고 이것에 비해 CdSe內的 酸素量은 미약할 것이기 때문이다.

두번째 방법으로 구한 捕獲準位는 첫번째 방법의 것에 비해 빠른 상태(fast state)로 존재한다. 첫번째 방법은 수초에 걸쳐 포획준위가 충분히 채워진 후에 測定한 값이고, 두번째 방법은 박막트랜지스터의 순간적인 動作을 測定한 값이기 때문이다. 구해진 결과로 볼 때 느린 상태(slow state)의 捕獲準位 밀도는 SiO와 SiO₂ 薄膜 사이에 차이점이 없으나, 빠른 상태의 捕獲準位 밀도는 SiO₂가 SiO에 비해 높다. 이것은 절연체에 존재하는 포획준위의 분포에 기인하는 것이며, SiO₂ 薄膜의 경우 SiO에 비해 반도체와의 境界面에 많은 捕獲準位가 분포할 것으로 사료된다. 일반적으로 반도체와 절연체의 境界面에 존재하는 捕獲準位는 빠른 상태로 존재하며 절연체 내부에 존재하는 捕獲準位는 느린 상태로 존재하기 때문이다.

느린 상태의 捕獲準位는 드레인전류 감소(drain cur-

rent drift)와 문턱전압 移動의 원인이 된다. 고로 느린 상태의 포획준위는 素子의 수명에 관련된다. 빠른 상태의 포획준위는 표면再結合中心(surface recombination center)으로 작용하여 드레인 누설전류를 증가시키며, 주로 반도체와 절연체의 境界面에 존재하므로써 散亂中心(scattering center)의 역할을 하여 반응자의 移動度를 감소시킨다. 또 게이트전압에 의해 유도된 반응자의 일부를 捕獲하므로써 트랜지스터의 문턱전압을 증가시키기도 한다.¹³⁾ 이로 볼 때 느린상태의 포획준위는 素子의 靜特性에 영향을 미치고 빠른상태의 포획준위는 素子의 動特性에 영향을 미친다고 할 수 있다. 열증착한 SiO와 고주파 스퍼터링한 SiO₂를 게이트절연체로 하여 제조한 薄膜트랜지스터의 경우 移動度 30cm²/V·sec, 4cm²/V·sec 및 문턱전압 1V, 2.4V로 각각 測定되었다.^{19,10)} 이동도 및 문턱전압의 측정결과는 열증착한 SiO에 비해 고주파 스퍼터링한 SiO₂의 빠른상태 捕獲準位密度가 높다는 위의 두번째 측정결과와 일치한다. 열증착한 SiO와 고주파 스퍼터링한 SiO₂의 경우 드레인전류 감소 등의 원인이 되는 느린상태의 捕獲準位밀도는 서로 차이를 나타내지 않았다. 그러나 반응자의 移動度감소, 트랜지스터의 문턱전압 증가 등의 원인이 되는 빠른 상태 捕獲準位밀도는 후자가 높았다. 이것은 SiO와 SiO₂의 자체 특성보다는 製造방법의 차이에 더 큰 원인이 있는 것으로 사료된다. 본고의 결과로 볼 때 열증착한 SiO 박막이 고주파 스퍼터링한 SiO₂에 비해 박막트랜지스터의 게이트 절연체로서 유리할 것으로 판단된다.

V. 結 論

박막트랜지스터의 게이트절연체로는 열증착한 SiO와 고주파 스퍼터링한 SiO₂가 가장 널리 사용된다. 이것은 위 두 방법이 비교적 박막제조상 쉬운 뿐 아니라 두 박막의 전기적 특성이 많이 밝혀져 있기 때문이다.

본 논문에서는 박막트랜지스터로 제조된 상태에서 두 유전체가 갖는 특성을 포획준위와 관련지어 조사, 비교하였다. 그 결과 다음의 結論을 얻을 수 있었다.

熱蒸着한 SiO 薄膜과 고주파 스퍼터링한 SiO₂ 薄膜內에 존재하는 느린상태의 捕獲準位밀도와 종류는 동일하나, 반도체와 절연체의 境界面에 존재하는 빠른상태의 捕獲準位가 적은 것으로 밝혀진 열증착한 SiO가 고주파 스퍼터링한 SiO₂에 비해 薄膜트랜지스터의 게이트 절연체로서 더 적합할 것이다.

參 考 文 獻

- [1] P.K. Weimer, "An evaporated thin film triode," *IRE Trans. Electron Device*, vol.

- ED-8 pp. 421-542, 1961.
- [2] Fang Chen Luo, "Performance of T.F.T.-addressed LCD circuits," *IEEE Trans. Electron Devices*, vol. ED-30, pp. 203-209, 1983.
- [3] T. Peter Brody, "The Thin Film Transistor-a late flowering bloom," *IEEE Trans. Electron Devices*, vol. ED-31, pp. 1616-1628, 1984.
- [4] A. Waxman. "Thin film transistors don't have to be drifters," *Electronics*, vol. 41, pp. 88-93, 1968.
- [5] F.C. Luo and K.J. Richardson, "A reflective CdSe T.F.T.-LC display panel," *SID Symp Dig.*, pp. 184, 1983.
- [6] T.H. Ning, "Optically induced injection of hot electrons into SiO₂," *J. Appl. Phys.*, vol. 45, pp. 5373-5379, 1974.
- [7] Arnett, "Si₃N₄ trap properties as revealed by charge-centroid measurements on MNOS devices," *Appl phys. Lett.*, vol. 26, pp. 94-97, 1975.
- [8] S.W. Wright and J.C. Anderson, "Trapping centers in sputtered SiO₂ films," *Thin Solid Films*. vol. 62, pp. 89-96. 1979.
- [9] 마대영, 김기완, "Carrier conduction of T.F.T.," *전자공학회지*, vol. 21, pp. 51-55, 1984.
- [10] 이은주, 김기완, 마대영, "Trap density and capture cross-section of SiO thin films," *대한전자공학회 추계 학술대회 논문집*, vol. 7, pp. 49-51, 1984.
- [11] John L. Vossen and Werner kern, *Thin Film Processes*. *Academic Press Inc.*, pp. 14-20, 1978.
- [12] R.R. Haering, "Control of the surface potential of evaporated CdS layers," *Proc. IEEE*, vol. 55, pp. 692-693, 1967.
- [13] Paul Richman, "MOS field effect transistors and integrated circuits." *A Wiley-Interscience Publication*, pp. 137-165, 1976.