

고장검출이 용이한 Built-In Test 방식의 설계

(Testable Design on the Built In Test Method)

魯承容*, 林寅七**

(Seung Ryong Rho and In Chil Lim)

要 約

본 논문에서는 Built-in test 방식으로 VLSI 회로를 일괄검사가 가능하도록 하는 회로분할 방법과 다기능 BILBO(Built-in Logic Block Observation)를 논하였다. 대규모 회로를 분할한 각 모듈은 본 논문에서 제안한 회로분할 방법과 다기능 BILBO를 사용할 때 한 개씩 검사하지 않고 pipeline 방식의 일괄검사를 수행한 결과는 검사시간이 매우 감소되었다. 또한 검사되는 모듈사이에 단지 한 개씩의 BILBO를 삽입하므로 검사를 위한 부가 회로의 양을 거의 절반 수준으로 줄였으며 다기능 BILBO의 오차검출능력을 수식적으로 해석하여 제안된 다기능 BILBO가 높은 오차검출능력을 갖고 있음을 확인하였다.

Abstract

This paper proposes a circuit partitioning method and a multifunctional BILBO which can perform the multimodule test in the case of testing VLSI circuits. By using these circuit partitioning method and multifunctional BILBO, test time and cost can be reduced greatly by performing the pipeline test method. And the quantity of circuit that should be added for testing is also reduced in half by interposing only one BILBO between each module. Also, we confirmed that the multifunctional BILBO proposed here has high error detection capability by analyzing error detection capability of this multifunctional BILBO in mathematics.

I. 서 론

LSI 칩의 회로밀도가 증가함에 따라 회로를 검사하는 문제가 더욱 많아지고 있어, 회로를 효율적으로 검사 하려는 연구가 활발히 진행되고 있다.^{1)~12)} 효율적으로 회로를 검사하기 위해서는 test sequence의 길이가 짧아야 하고 test pattern을 만드는데 필요한 계산 시간이 짧아야 한다.

Built-in test 방식은 회로의 고장 모델링이 필요없고 종래의 D알고리즘 및 PODEM¹³⁾ 등으로 test

pattern을 따로 구할 필요가 없으며 검사응답처리를 위한 비용도 거의 들지않고 있어 최근 이 분야의 노력이 고조되고 있다.

그러나 built-in test는 TPG(test pattern generator)로 사용되는 BILBO에서 발생가능한 모든 조합의 패턴들($2^n - 1$ 개: n은 입력수)이 생성되므로 다수의 입, 출력을 가진 회로에 적용하였을 경우 그의 test pattern수가 너무 증가되어 불편한 점이 많다. 이러한 단점들을 해결하기 위해 S. Bozorgui-Nesbat 등은 복잡한 회로를 여러개의 모듈(module)로 검사하는 회로 분할 방법을 제안하였다.¹⁴⁾ 그러나 이 방법은 검사를 위한 test pattern의 입력이 어렵고 검사응답 처리에 있어서 모든 출력을 검사해야 하는 문제점들을 갖고 있다. 또한 이렇게 분할 검사를 수행하기 위해서 분할된 각 모듈은 입-출력 부분에 각각 한 개씩의 BILBO

*正會員, 서울시立大 電子工學科
(Dept. of Elec. Eng., Seoul City Univ.)

**正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1986年 12年 20日

가 필요하게 되는데 전체적으로 $2M$ (M 은 분할된 모듈 수)개의 BILBO가 필요하게 되어 검사를 위한 부가회로의 양이 증가하게 된다. BILBO 방식에 있어서도 B. Könemann 등은 두 개의 제어신호를 사용한 다기능 BILBO를,² D. Komonytsky는 disable clock을 사용한 다기능 BILBO¹를 각각 제안하였으나 TPG 기능과 MISR(Multiple Input Signature Register) 기능이 완전히 분리되지 못해 분할 검사에는 적합하지 않다. 그러나 BILBO가 TPG, MISR, scan-path 등의 다기능을 갖고 있으므로 외부에서 완전히 제어할 수 있다면 모듈 사이에 BILBO는 한 개씩만 필요하게 되어 부가회로를 상당히 감소시킬 수 있다.

본 논문에서는 다수의 모듈들로 나누어 분할 검사할 경우, 각 모듈을 한 개씩 검사하지 않고 pipeline 방식의 일괄 검사를 수행할 수 있도록 하는 회로분할 방법과 다기능 BILBO의 구성을 제안하였다. 그 결과, 필요한 테스트 패턴의 수가 줄어 검사시간이 매우 감소되었고 다기능 BILBO를 이용한 부가회로의 양도 종래의 방법에 비해 거의 절반으로 감소되었다. 또한 제안된 다기능 BILBO가 높은 오차 검출능력을 갖고 있는지 수식적으로 해석하여 손색이 없음을 보였다.

II. 일괄 검사방법

LSI 및 VLSI 회로의 집적도가 더욱 높아짐에 따라 임, 출력수 또한 증가하게 된다. 이러한 대규모 회로를 검사할 경우, 입력수의 증가에 따라 p-r(pseudo-random) 테스트 패턴의 수가 크게 증가하여 검사시간이 매우 길어진다. 따라서 큰 회로를 적당한 입력수를 갖는 여러개의 모듈로 나누어 검사할 필요가 있다.^{1,8)} 그림 1은 큰 회로 M 을 두 개의 모듈 M_1, M_2 로 회로분할한 예를 나타내고 있다. 그림 1(a)는 회로분할전의 상태로 입력측에 TPG, 출력측에 MISR의 기능을 갖는 BILBO가 각각 첨가되어 검사할 경우 $2^n - 1$ 개의 p-r. test pattern이 생성되어야 한다. 그러나 회로분할 후의 그림 1(b) 회로에서는 $(2^{n_1+L_{21}} - 1) + (2^{n_2+L_{12}} - 1)$ 개의 p-r test pattern이 생성된다. 여기서 L_{12} 는 모듈 1에서 모듈 2로, L_{21} 은 모듈 2에서 모듈 1로 연결되는 내부 연결선을 각각 나타낸다. 즉, 회로분할 후 L_{12} 는 M_1 의 출력, M_2 의 입력으로 볼 수 있고, L_{21} 은 M_1 의 입력, M_2 의 출력으로 볼 수 있다. 따라서 $n > \max(n_1 + L_{21}, n_2 + L_{12})$ 의 조건을 만족하게 회로를 분할하면 test pattern의 감소를 꾀할 수 있다. 여기서 $\max(x, y)$ 는 x, y 중 큰 것을 택한다.

이점을 고려하여 대규모 회로를 여러개의 모듈로 나누는 경우 분할된 각 모듈에 대해서 검사를 수행하는

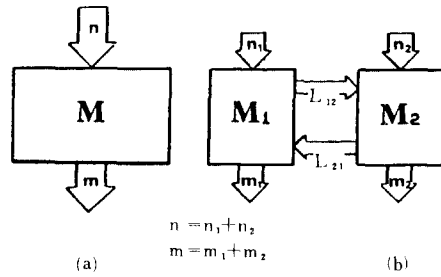


그림 1. 회로분할의 예
Fig. 1. Example of Circuit Partitioning.

방법은 다음의 두 가지로 볼 수 있다. 먼저 그림 2(a)는 각 모듈에 대해 built-in test의 기본형태를 적용하는 방법이다.

이 경우 한 모듈을 검사하는 시간으로 회로 전체를 검사할 수 있어 검사시간은 상당히 감소되나, 각 모듈에 대해 두 개씩의 BILBO가 필요함으로써 검사를 위한 부가회로는 너무 많이 증가한다. 이 부가회로의 양을 줄이기 위해서 그림 2(b)와 같이 BILBO를 설치할 경우 모든 BILBO는 TPG, MISR 및 scan path 등의 다기능 동작을 갖추고 이것을 외부에서 제어할 수 있어야 한다. 부가되는 BILBO의 수는 그림 2(a)의 경우에 비해 거의 절반으로 줄어든다 한 번에 한 개씩의 모듈이 검사됨으로써 검사시간이 매우 길어진다.

따라서 이 두 경우의 장점을 모두 취하기 위해서 본 논문에서는 일괄 검사방법을 제안한다.

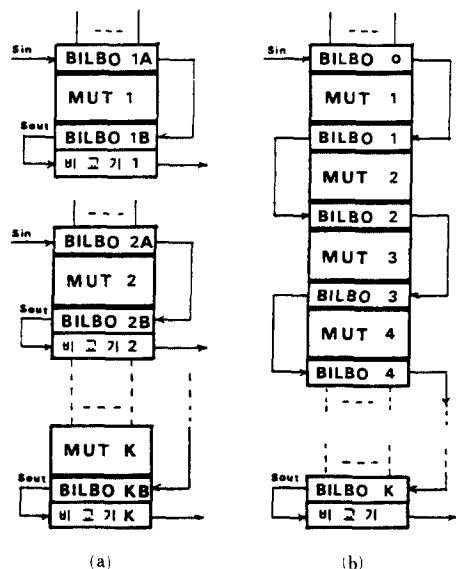


그림 2. 분할 검사의 두 가지 방법
Fig. 2. Two Methods of Circuit Partitioning Test.

일괄 검사를 위해서는 무엇보다도 먼저 BILBO가 다기능(TPG, MISR, scan path, 정상상태의 단순한 래치동작 등)을 갖고 각 기능이 충분히 수행될 수 있도록 외부제어신호로써 완전히 제어할 수 있어야 하며 회로분할 또한 이 일괄 검사를 고려하여야 한다.

일괄 검사는 pipeline방식으로 여러개의 모듈을 동시에 검사하는 방법으로써, 회로분할된 모듈들 중에서 순수 번째의 모듈들이 동시에 검사되고 다음에는 짝수번째의 모듈들이 동시에 검사된다.

그림 3에 일괄 검사방법을 나타냈으며 검사가 수행되는 순서는 먼저 각 BILBO의 초기치를 S_{in} 을 통해 scan 입력시킨 후 M_1, M_3, M_5, \dots 등을 검사하게 되는데 이 때 BILBO 0, BILBO 2, BILBO 4, ...등은 TPG로, BILBO 1, BILBO 3, BILBO 5, ...등은 MISR로 각각 동작하게 된다. 검사응답은 scan동작에 의해서 S_{out} 을 통해 출력되며 동시에 다음 동작을 위한 각 BILBO의 초기치가 S_{in} 을 통해 입력된다. 다음은 M_2, M_4, \dots 등이 검사 되는데 이 때는 BILBO 1, BILBO 3, BILBO 5...등이 TPG로, BILBO 2, BILBO 4, 등이 MISR로 동작하게 된다. 검사 응답은 마찬가지로 scan 동작으로 S_{out} 을 통해 출력된다. 따라서 일괄 검사방법은 그림 2 (b)와 같은 양의 부가회로로써 그림 2 (a) 회로가 검사되는 시간의 두 배정도의 검사시간을 얻을 수 있어 검사시간이 상당히 감소됨을 알 수 있다.

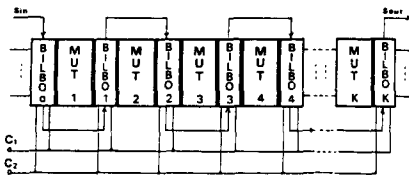
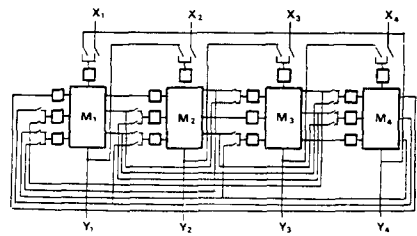


그림 3. 일괄검사
Fig. 3. Multi Module Test.

Ⅲ. 일괄 검사를 위한 회로분할

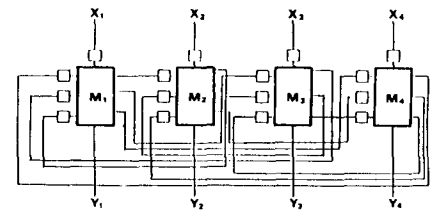
일괄 검사를 고려하여 큰 회로를 적당한 입력수를 가진 여러개의 모듈들로 회로분할할 경우 가장 중요한 점은 제어용이성과 관찰용이성이다. 즉, 분할된 회로의 정상동작과 검사동작의 시험 상태에 있어서 TPG, MISR, scan path등의 동작을 외부에서 제어할 수 있어야 하며(제어용이성), 또한 각 모듈의 검사 응답을 외부에서 관찰이 용이하게(관찰용이성) 출력시켜야 한다. 이 점들을 고려하여 본 논문에서는 그림 4에 일괄 검사를 가능케 하는 회로분할 방법(4-모듈의 경우)을 제시한다. 여기서 각 double-throw 스위치는 시험 상태시 상측 스위치의 좌측선을 선택하고 정상



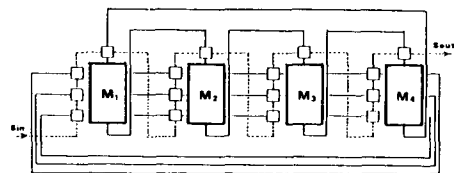
ㄷ: Double-throw
□: BILBO의 Latch(또는 Latch일)
X₁: 정상입력
Y₁: 정상출력

그림 4. 회로분할 방법(4-모듈의 경우)
Fig. 4. Circuit Partitioning Scheme(in the Case of 4-Module).

상태시에는 상측 스위치의 우측선을 선택하게 된다. 또한 각 모듈의 좌측과 상측의 래치들은 시험 상태시 한 개의 BILBO로 구성되어 TPG, MISR 등의 동작을 수행한다. Double-throw 스위치의 기능과 BILBO의 기능은 외부제어신호로써 제어되어 임, 출력단자를 단절시키지 않고도 검사기능을 수행할 수 있다. 이 회로의 정상동작과 검사동작은 그림 5에 구분하여 나타내었다. 그림 5 (a)의 정상상태일 때는 $X_1 \sim X_4$ 의 정상입력을 받아들여 $Y_1 \sim Y_4$ 로 정상출력이 나오는 정상동작을 수행한다. 이 때 각 BILBO는 클럭펄스에 의해서 입력값들을 그대로 출력으로 전달하는 단순한 래치로써 동작한다. 시험상태일 때는 그림 5 (b)와 같이 각 모



(a)



(b)

그림 5. 분할회로의 동작
(a) 정상상태
(b) 검사상태

Fig. 5. Function of Partitioned Circuit.
(a) Normal Mode.
(b) Test Mode.

들의 좌측과 상측의 래치들은 한 개의 BILBO로 구성되며 TPG, MISR 및 scan path 등의 동작은 외부 제어 신호에 따라 수행된다. 이 회로가 일괄 검사를 수행하는 순서는 다음과 같다. 먼저 BILBO의 scan 동작에 의해 각 BILBO의 초기치를 입력시킨 후 M_1, M_3 의 좌측 BILBO들은 TPG로, M_2, M_4 의 좌측 BILBO들은 MISR로 동작하게 하여 모듈 M_1, M_3 를 검사한다. 검사결과는 scan path 동작에 의하여 외부로 출력되며, 이 때 다음 동작을 위한 각 BILBO의 초기치가 입력된다. 이 후 모듈 M_2 와 M_4 가 검사되는데 이 때는 M_2, M_4 의 좌측 BILBO들은 TPG로, M_1, M_3 의 좌측 BILBO들은 MISR로 동작되며 검사응답은 마찬가지로 scan path를 통해서 외부로 출력된다. 따라서 이 회로분할방법에 의하여 built-in test를 VLSI 회로에 적용하면 다수의 모듈로 회로가 분할 되었다하더라도 두 번의 검사 절차만 거치면 모든 회로의 검사가 완전히 수행될 수 있어 검사의 노력이 매우 감소한다.

VI. 다기능 BILBO의 구성

그림 4 와 같이 회로를 분할하여 일괄검사를 수행할 경우 가장 중요한 문제는 다기능 BILBO를 구성하는 것이다. 이 다기능 BILBO는 정상동작과 검사동작이 구별되어야 하며, 검사동작일 때 BILBO가 TPG, MISR, scan path 등의 동작을 완전히 수행할 수 있도록 외부에서 이것을 임의로 제어할 수 있어야 한다. 본 논문에서는 BILBO를 구성하는 모든 플립-플롭들을 LSSD 래치들로 대체하여 신호의 level-sensitive 처리가 되게 하고, 두 개의 외부 제어신호로써 BILBO의 기능을 제어할 수 있는 다기능 BILBO를 제안한다. 이 다기능 BILBO는 그림 6 에 나타내었으며 이 BILBO의 동작은 두 개의 제어신호 C_1, C_2 와 함께 표 1 에 나타내었다. 표 1 에서 보는 바와같이 그림 6 의 다기능 BILBO는 분할된 회로를 일괄 검사하는데 필요한 모든 기능을 갖추고 있으며 C_1, C_2 의 외부 제어신호에 따라 모든 기능이 완전히 제어될 수 있어 II 절에서 제시한 일괄 검사는 이 BILBO를 사용함으로써 실현 가능하다.

V. 다기능 BILBO의 오차 검출능력

그림 7 은 n 개의 병렬입력에 대해 압축된 출력 signature를 구하는 MISR의 전형적인 구성이다. 여기서 \oplus 는 modulo-2-sum 즉, exclusive-OR를 나타낸다.

$R_0 \sim R_{n-1}$ 의 블럭들은 n 단 LSSD 래치열을 나타내며 모듈의 출력들은 부호이론을 적용하여 $M_0(x), M_1(x), \dots, M_{n-1}(x)$ 로 표시될 수 있다.^[13] 즉, 변수 x 에 대해서

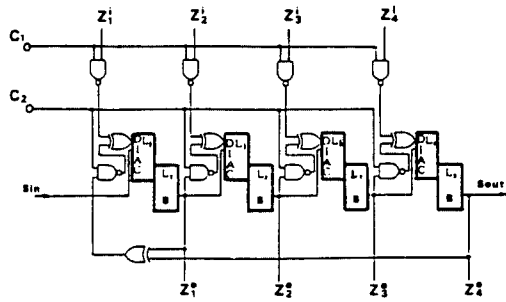


그림 6. 다기능 BILBO
Fig. 6. Multi-Functional BILBO.

표 1. 그림 6의 다기능 BILBO의 동작
Table 1. Functions of Multi-Functional BILBO in Fig 6.

C_1	C_2	클럭	BILBO의 동작
0	0	C, B	Reset
1	0	C, B	정상동작
0	1	C, B	TPG
1	1	C, B	MISR
-	-	A, B	scan path

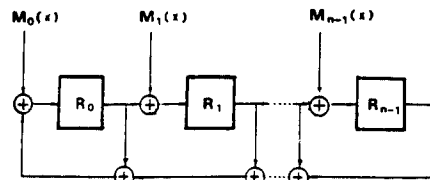


그림 7. 다입력 signature 레지스터 (MISR)
Fig. 7. Multiple Input Signature Register (MISR).

출력 시퀀스 중 첫번째 비트는 다항식의 최고차항의 계수로, 그 다음 비트는 다음 차항의 계수등으로 하면 회로의 출력들은 $M_0(x), M_1(x), \dots, M_{n-1}(x)$ 가 된다. (마지막 비트는 0 차항의 계수가 된다.) 다시말해서 MISR 입력 시퀀스가 k 개라고 하면 $i+1$ 번째 입력 다항식은

$$M_i(x) = a_{k-1}x^{k-1} + a_{k-2}x^{k-2} + \dots + a_1x + a_0 \quad (1)$$

가 된다. 여기서 a_j 는 각 비트의 값을 나타내고 \oplus 는 modulo-2-sum을 나타낸다. (이 후의 \oplus 는 modulo-2-sum을 표시한다.) 귀환경로를 다항식 $P(x)$ 로 나타내면,

$$P(x) = x^n + h_{n-1}x^{n-1} + h_{n-2}x^{n-2} + \dots + h_1x + 1 \quad (2)$$

여기서 $h_i = 1$: R_i 의 출력이 귀환되는 경우

$h_i = 0$: R_i 의 출력이 귀환되지 않는 경우

이다. 또한 $R_0 \sim R_{n-1}$ 의 최후내용은 모든 test data 가 입력된 후의 압축된 신호 즉, $M(x)$ 의 다항식을 $P(x)$ 로 나눈 나머지를 나타낸다. 여기서 입력을 좌측으로 한 단 이동시키는 것은 x 를 한번 곱하는 것과 같고, 이 회로가 선형적으로 동작하므로 중첩의 원리를 적용하면 $M(x)$ 는 다음과 같이 나타낼 수 있다.

$$M(x) = M_0(x) + xM_1(x) + x^2M_2(x) + \dots + x^n M_{n-1}(x) \quad (3)$$

만약 오차 다항식 $E(x)$ 가 존재 한다면, 이 MISR 이 오차를 검출하는 능력을 정리해 본다.

[정리 1] 오차 다항식 $E(x)$ 가 LFSR (linear feedback shift register) 특성 다항식 $P(x)$ 에 의해 나누어지면 error bit는 검출되지 않는다.

(증명) $M(x)$ 를 오차가 발생하지 않는 회로에서 나온 출력이라 하고 $M'(x)$ 를 오차가 발생한 회로에서 나온 출력이라 하면

$$M(x) = P(x) \cdot Q(x) + R(x) \quad (4)$$

여기서 $Q(x)$ 는 몫이고 $R(x)$ 는 레지스터에 남아있는 나머지이다.

$$M'(x) = M(x) + E(x) = P(x) \cdot Q'(x) + R'(x) \quad (5)$$

$E(x)$ 가 $P(x)$ 에 의해 나누어지면

$$E(x) = P(x) \cdot Q_1(x) \quad (6)$$

가 된다. (4)식과 (6)식을 (5)식에 대입하면

$$\begin{aligned} M'(x) &= [P(x) \cdot Q(x) + R(x)] + P(x) \cdot Q_1(x) \\ &= P(x) [Q(x) + Q_1(x)] + R(x) \\ &= P(x) \cdot Q'(x) + R(x) \end{aligned}$$

즉, $M(x)$ 와 $M'(x)$ 의 나머지 signature가 같으므로 오차비트는 검출할 수 없다. Q. E. D.

[정리 2]

1. $M_0(x), M_1(x), \dots, M_{n-1}(x)$ 중 한 개의 입력에 단일 오차가 발생된 경우에는 한 개 이상의 귀환점을 LFSR에 의해 모두 검출될 수 있다.

(증명) 단일 오차가 i 번째 입력의 j 번째 비트에서 발생했다고 가정하면 오차 다항식 $E(x) = x^{i-1} \cdot x^{k-j} = x^{k+j-i+1}$ 가 된다(단일항). LFSR가 한 개 이상의 귀환점을 가질 경우, 특성 다항식 $P(x)$ 는 두개 이상의 항 ($P(x) = 1 + x^p$)을 갖게되어 $E(x)$ 가 $P(x)$ 에 의해 나누어질 수 없다. 따라서 [정리 1]에 의해 $M(x)$ 와 $M'(x)$ 는 동일한 signature를 가질 수 없게되어 결국 단일 오차는 모두 검출된다. Q. E. D.

2. 다수의 오차가 발생한 경우에 입력 시이퀀스가 k 개인 n -bit의 LFSR이 오차를 검출하지 못할 확률은

$$\frac{2^{k-1}-1}{2^{n+k-1}-1} \quad (7)$$

이다.

(증명) 식(3)에서 각 병렬입력이 k 개인 시이퀀스로

이루어진다면

$$\begin{aligned} M_{n-1}(x) &= a_{k-1}x^{k-1} + a_{k-2}x^{k-2} + \dots + a_1x + a_0, \\ x^n M_{n-1}(x) &= a_{k-1}x^{n+k-2} + a_{k-2}x^{n+k-3} + \dots + a_1x^n + a_0x^{n-1} \end{aligned}$$

즉, $M(x)$ 의 최고차항을 x^{n+k-1} 차로 볼 수 있으므로 직렬로 $M_0(x)$ 입력에 $(n+k-1)$ 비트가 들어가는 것과 같다. $(n+k-1)$ 비트로서 가능한 패턴 수는 2^{n+k-1} 이며, 그 중 한 개가 올바른 signature와 같은 패턴이므로 오차패턴의 총수는 $2^{n+k-1}-1$ 개이다. 또한 식(2)에서 $P(x)$ 는 n 비트를 나타내므로 검출되지 않는 오차패턴 수는 $2^{n+k-1}-1 = 2^{k-1}$ 이다. 따라서 오차를 검출할 수 없는 확률은

$$\frac{\text{검출할 수 없는 오차패턴수}}{\text{총 오차패턴수}} = \frac{2^{k-1}-1}{2^{n+k-1}-1}$$

이 된다. Q. E. D.

여기서 k 가 충분히 크면 오차를 검출하지 못할 확률은 약 $(1/2^n)$ 이 되며, 오차를 검출할 확률은 $(1-1/2^n)$ 이다. 즉, n 이 8-bit인 경우 99.6%의 높은 값임을 나타낸다. 이것은 종래에 사용되었던 BILBO에서와 같은 값이며, 따라서 본 논문에서 제안된 BILBO는 종래의 BILBO에 비해 뒤지지 않는 오차검출 능력으로써 복잡한 회로를 보다 효율적으로 검사할 수 있음을 보여준다. 또한 회로의 출력수가 증가하여 BILBO의 래치수가 증가하면 식(7)에서 보는 바와같이 오차를 검출할 확률이 증가함을 알 수 있다.

VI. 결 론

본 논문에서는 VLSI와 같은 대규모 회로를 여러 개의 모듈들로 회로분할하여 검사할 경우 pipeline 방식의 일괄 검사를 수행할 수 있는 회로분할 방법과 다기능 BILBO를 제안하였다. 이와같은 일괄 검사를 수행함으로써 분할된 모듈들을 두 번의 검사 절차만으로 모두 검사할 수 있어 검사시간이 상당히 감소되었고 검사되는 각 모듈 사이에, 종래에는 두 개씩의 BILBO를 부가하여야 했으나 본 논문에서는 한 개씩의 BILBO만 삽입시킴으로써 검사를 수행하기 위한 부가 회로를 거의 절반으로 줄였다. 또한 병렬입력 signature 레지스터의 오차검출능력을 수식적으로 해석하여 제안한 다기능 BILBO의 오차검출능력이 종래의 BILBO에 비해 손색이 없음을 보였다.

参 考 文 献

- [1] Donald Komonytsky, "Synthesis of techniques creates complete system self-test", *IEEE Electronics*, pp. 110-115,

- March 10, 1983.
- [2] Bernd Könemann, et. al., "built-in logic-block observation techniques", *IEEE Test Conference*, pp. 37-41, Oct. 1979.
- [3] Robert A. Frohwork, "Signature analysis: A new digital field service method", *Hewlett-Packard Jour.*, pp. 2-8, May 1977.
- [4] Saied Bozorgui-Nesbat, Edward J. McClusky, "structured design for testability to eliminate test pattern generation", *FTCS10*, pp. 158-163, Oct. 1980.
- [5] Edward J. McClusky, Saied Bozorgui-Nesbat, "design for autonomous test", *IEEE Trans. on Circuit and System*, vol. CAS-28, no. 11, nov. 1981.
- [6] Syed Zahoor Hassan, et. al., "parallel signature analyzers-detection capability and extensions", *IEEE Test Conference*, pp. 440-445, 1983.
- [7] Dilip K. Bhavsar, et. al., "self testing by polynomial division", *Jour. of Digital System*, vol. 6, 1982.
- [8] Laung-Terng Wang, "autonomous linear feedback shift register with on-line fault-detection capability", *IEEE Test Conference*, pp. 311-314, Oct. 1982.
- [9] Bernd Könemann, et. al., "built-in test for complex digital integrated circuits", *IEEE Jour. of solid state circuits*, vol. SC-15, no. 3, pp. 315-318, June 1980.
- [10] Patrick P. Fassang, "BIDCO, built-in digital circuit observer", *IEEE Test Conference*, pp. 261-266, Oct. 1980.
- [11] Patrick P. Fassang, "circuits module implements practical self-testing", *IEEE Electronics*, pp. 164-167, May 9, 1982.
- [12] T. Sridhar, et. al., "analysis and simulation of parallel signature analyzers", *IEEE Test Conference*, pp. 656-661, nov. 1982.
- [13] W. Wesley Peterson, E.J. Weldon Jr., error-correcting codes, 2nd edition, *MIT press*, pp. 170-205, Feb. 1971.
-