論文 87-24-2-24

피이드백 효과를 고려한 파형이완 방식에 의한 Timing Simulator

(Timing Simulator by Waveform Relaxation Considering the Feedback Effect)

全 永 鉉*, 李 昌 雨*, 李 起 焌**, 朴 松 培*

(Young Hyun Jun, Chang Woo Lee, Kijun Lee and Song Bai Park)

要 約

MOS LSI 회로를 해석하기 위하여 근년에 개발되어 널리 사용되고 있는 타이밍 시뮬레이터들은 강하게 결합된 피이드백 소자나 루프들이 있을때 수렴성질과 정확도 면에서 난점이 있다. 본 논문에서는 이러한 문제를 해결하기 위한 새로운 타이밍 시뮬레이터를 제안한다. 본 논문의 시뮬레이터는 파형이완 방법에 기본을 두고 있으며 각 피이드백 루프는 하나의 회로 블럭으로 취급하고 국부적 반복과정으로 풀게 된다. 이러한 방법을 사용하여 개발된 시뮬레이터는 SPICE2와 같은 정확도를 유지하면서 5~20배 이상 빠르게 MOS digital 회로를 해석하였다.

Abstract

Timing simulators are widely used nowadays for analyzing large-scale MOS digital circuits, which, however, have several limitations such as nonconvergence and/or in accuracy for circuits containing tightly coupled feedback elements or loops. This paper describes a new timing simulator which aims at solving these problems. The algorithm employed is based on the waveform relaxation method, but exploits the signal flow along the feedback loops. Each of feedback loops is treated as one circuit block and then local iterations are performed to enhance the timing simulation. With these techniques, our simulator can analyze the MOS digital circuits with up to 5-20 times of the magnitude speed improvements as compared to SPICE2, while maintaining the accuracy.

I. 서 론

VLSI 시대에 접어들면서 회로의 집적도와 복잡성의 놀라운 증가는 새로운 회로 시뮬레이션 방법을 필요로 하게 되었다. 주어진 집적회로의 전기적 특성을 시뮬레이션 하기 위하여서는 표준적 회로 시뮬레이터인 SPICE2[1]나 ASTAP[2] 등이 사용되고 있는데, 이들은 DC, AC, 과도해석 등 여러가지 다양한 기능을 수행할 수 있다. 표준적인 회로 시뮬레이터들은 다음의 3가지 방법에 기본을 두고 있다.

1) Euler후진 방법이나 대형(trapezoidal) 방법과 같은 음성(implicit)수치적분 방법

2) 비선형 방정식을 선형화 하기위한 뉴우톤·랩슨(newton-raphson) 반복법

*正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Elec. Eng., KAIST)
**正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Choong Nam Nat'l Univ.)

接受日字 : 1986年 8月 13日

3) 선형 방정식의 해를 구하기 위한 sparse gaussian소거법

표준적인 회로 시뮬레이터들은 소형 회로의 정확한 해석에 있어서는 바람직하나 VLSI의 해석에 있어서는 오랜 해석시간과 많은 기억용량을 필요로 한다는 결점이 있다.

VLSI회로 해석시 필요한 해석 시간과 기억용량을 줄이기 위한 여러가지 방법들이 제안되었다. 새로운 시뮬레이터들은 타이밍 시뮬레이터로 명명되며 MOTIS,[3] SPLICE,[4] DIANA[5]와 SLATE[6]등 여러가지가 개발되어 있다. 이들은 이완(relaxation) 방식에 의한 회로 분할(partition)에 기초를 두고 개발 되었으며, 회로 해석에 필요한 시간은 표준적인 회로 시뮬레이터들에 비하여 크게 줄어 들었다. 새로운 시뮬레이터 들이 사용하는 회로 분할 방법은 회로 방정식을 선형 차원에서 또는 비선형차원에서 분할 하는데 있다.[7]

그러나 최근의 연구에서 이러한 타이밍 시뮬레이션 알고리즘(algorithm)들은 분할된 회로들 사이에 강하게 결합된 소자나 피이드백 요소가 존재할 때에는 안정성이나 수렴성에 있어서 심각한 문제가 발생함을 보여주고 있다.[8] 그래서 이러한 알고리즘들은 극히 제한된 회로에만 적용될 수 있다.

위의 알고리즘에서의 단점을 어느정도 보완하기 위하여 새로이 제안된 알고리즘으로 파형이완방식(Waveform Relaxation Method(WRM))이 있다. 이 방법은 해석하고자 하는 회로를 비선형 미분 방정식 차원에서 분할하여 각각의 분할된 부회로(subcircuit)를 전형적인 시뮬레이션 방법에 의하여 전시간 구간동안 해석하는데 기본을 두고 있다.

위의 알고리즘을 사용한 기존의 시뮬레이터들은 피이드백이 없는 회로의 경우에는 수번의 반복과정(iteration)에 의하여 해를 얻는데 별 문제가 없으나 부회로(subcircuit) 간에 피이드백이 존재할 경우 피이드백 효과를 고려하기 위하여 더욱 많은 반복을 필요로 하며 또한 수렴도 보장이 안된다.

본 논문에서는 새로이 개발된 타이밍 시뮬레이터를 기술한다. 이것 역시 WRM 방식에 기초를 두고 있으나, WRM을 보다 효과적으로 적용하기 위한 새로운 형태의 ordering 방법을 사용하고 있다. 제안된 ordering은 회로 분할시, 피이드백 효과를 고려하여 단계적으로 회로 분할을 수행하며, 해석 과정에서는 피이드백 루프를 독립적으로 해석하게 된다. 또한 강하게 결합된 소자에 의한 문제점은 회로의 크기를 조정함으로서 제거할 수 있다. 개발된 타이밍 시뮬레이터의 성능을 기존의 SPICE와 비교하여 보면 SPICE와 같은 정도의 정확도를 유지하면서도, 대략적으로 5~20배 정도의 빠른시간안에 회로를 해석하고 회로의 크기에 있어서도 SPICE는 1000개 이하의 능동 소자를 포함하는 회로를 해석할 수 있는데 반하여, 본 논문에서 제안하는 타이밍 시뮬레이터는 약 5000개 이하의 능동 소자를 포함하는 회로의 해석을 가능하게 한다.

Ⅱ. 파형이완방식(Waveform Relaxation Method)

이 절에서는 WRM의 기본적인 과정을 설명하며 WRM이 효과적으로 적용되기 위한 새로운 ordering 방법을 제안한다.

WRM은 비선형 미분 방정식 차원에서 회로를 분할한 다음, 분할된 부회로들의 해를 각각 반복적으로 전해석 시간 구간에서 구하는 방법이다. 일반적으로 회로의 해석 방정식들은 다음의 비선형 미분 방정식으로 표시된다.

$$F(\dot{x}(t), x(t), u(t)) = 0$$
$$x(0) = x_o, \quad x(t) \in R^n \qquad (1)$$

여기서 $u(t)$는 시간t에서의 입력변수 벡터, $x(t)$는 n개의 회로변수들의 벡터, $\dot{x}(t)$는 $x(t)$의 시간 미분 벡터, x_o는 $x(t)$의 초기치이다. 일반적으로 x_o는 회로의 DC해를 의미한다. 주어진 시구간[0, T]에서 식(1)을 해석하기 위한 WRM의 방법은 회로분해를 위한 분할(decomposition) 과정과 분해된 부회로들을 독립적으로 해석하는 이완 (relaxation) 과정으로 나누어 진다.

1. 분할 과정

분할 과정에서는 식(1)을 여러개의 부분 미방계로 분할한다.

$$\begin{bmatrix} F_1(\dot{x}_1(t), x_1(t), d_1(t), u(t)) \\ F_2(\dot{x}_2(t), x_2(t), d_2(t), u(t)) \\ \vdots \\ F_m(\dot{x}_m(t), x_m(t), d_m(t), u(t)) \end{bmatrix} = 0 \qquad (2)$$

여기서 $x_i(t)$는 분해된 i번째 부분 미방계에 대한 미지 회로변수 벡터이고 $d_i(t)$는 분리된 여러개의 부분 미방계를 연결하여 주는 입력 벡터이다.

$$d_i = (\dot{x}_1, \cdots, \dot{x}_{i-1}, \dot{x}_{i+1}, \cdots, \dot{x}_m, x_1, \cdots, x_{i-1}, x_{i+1}, \cdots, x_m)^T$$

즉 d_i는 회로변수 $x(t)$에서 $x_i(t)$를 제외한 나머지 변수들로 구성된 벡터이다. 이완과정에서 d_i 벡터의 값들은 그 직전의 반복과정에서 구한 회로 해들로 대체가 되므로 이러한 d_i 벡터에 의하여 표시된 식 (2)는 m개의 독립적인 부분 미방계을 나타낸다.

기존의 타이밍 시뮬레이터에서의 회로 분할은 분할된 부회로들이 각각 하나의 미지변수를 가지도록 컴퓨터에 의하여 자동적으로 수행된다. 그러나 이 경우 부동(floating) 소자들이 일종의 피이드백 역할을 하게

되므로 이완 과정에서의 해의 수렴 성질을 나쁘게 한다. 이러한 문제점을 극복하기 위하여서는 회로의 기능이나 신호의 전달 상황을 조사하여 분할된 부회로들이 각각 하나의 독립된 기능을 가지도록 부회로들의 크기를 조정하는 것이 바람직하다. 즉 하나의 게이트나 플립플롭(flip-flop) 등을 하나의 부회로로 설정함으로서 트랜지스터에 의하여 나타나는 부동소자 등에 의한 피이드백 효과를 부회로 내부에 제한할 수 있다. 이상의 목적을 위한 회로 분할은 컴퓨터에 의하여 자동적으로 수행되기 보다는 회로 설계자들의 경험에 의하여 수행된다.

2. 이완과정

이 과정은 분할된 회로의 해를 구하는 과정으로서 분해된 부회로들을 미리 정한 순서에 의하여 차례로 해석한다. 예로서 i번째 부회로를 해석하고자 할 때에는 d_i는 이미 구한 값으로 고정하고, 단지 x_i만을 변수로 하여 전 시간구간, [0, T]에 대하여 그 해를 구한다.

이 과정은 분할된 부회로 사이의 관계를 고려하여야 하므로 반복적인 방법을 사용하는데 그 방법으로는 Gauss-Seidel(G. S.) 방식과 Gauss-Jacobi(G. J.) 두가지가 대표적이다.

Gauss-Seidel 방식은 하나의 분할된 부회로를 풀때 가장 최근에 구한 d_i의 값들을 사용하여 푸는 방식으로 G. J.에 비하여 수렴성이 비교적 좋다. Gauss-Jacobi 방식은 d_i의 값들을 매 반복 과정이 시작될 때마다 일괄적으로 변화시키기 때문에 G. S. 보다 수렴성은 떨어지지만 병렬처리에 의하여 가속되게 할 수 있다.

WRM은 t=0부터 t=T까지 회로를 해석할 때 적분방식에 의한 시간간격 제어(time step control)가 각 부회로 별로 독립적으로 이루어지게 되는 반면 전형적인 회로 시뮬레이터는 t=0 부터 t=T까지 하나의 공통된 시간 간격을 사용한다. 각 부회로의 시간 간격은 다른 부회로와 독립적으로 정해지므로 똑같은 회로를 해석할 때 전형적인 회로 시뮬레이터에서 사용되는 것보다 훨씬 적은 시간간격을 가지고 회로를 해석할 수 있다. 또한 WRM은 대형 회로 해석시 전체 회로를 한꺼번에 해석하지 않고 여러개의 부회로로 나누어서 해석하기 때문에 회로 방정식을 풀 때 필요한 working memory set이 크게 줄어들게 된다. 전형적인 회로 시뮬레이터는 회로를 한꺼번에 해석하므로 기억용량이 $O(n^2)$ (n은 노드 (node)수) 만큼 필요한 반면 WRM은 O(n)의 기억용량을 필요로 한다.

3. 부회로 순서 정하기(subcircuit ordering)

WRM을 수행하는 과정에서의 고려하여야 할 점은 연결된 부회로 사이의 로딩(loading) 효과와 회로 신호들의 피이드백 효과가 있다. 일반적으로 로딩 효과는 디지탈 회로의 경우에 있어서는 큰 영향을 미치지 않으나, 피이드백 효과는 경우에 따라서는 매우 큰 영향을 미친다.

이상의 두가지 종류의 바람직하지 않은 요소들의 영향을 없애기 위하여는 회로의 구조(topology)와 신호의 흐름(signal flow)에 따라 여러개로 나누어진 부회로의 ordering을 적당히 하여 수렴속도를 증가시켜야 한다. 만일 부회로들이 피이드백이 없는 단일방향성 부회로들로 구성되어 있다면 이러한 회로에 회로신호의 전달 순서에 따라서 WRM을 적용하면 단지 2번의 반복으로 그 해를 구할 수 있다.

여기서 2번째 반복은 단지 수렴을 확인하기 위해 필요한 것이다.

지금까지 제안된 ordering 방법에서는 ordering하는 동안에 피이드백 루프를 마주칠 때마다 피이드백 루프 안에 있는 하나의 가지(branch)를 절단함으로서 피이드백 루프를 제거한 다음 ordering을 계속한다. 이 방법은 피이드백 루프를 절단함에 의하여 순서 정하기가 행하여졌기 때문에 시뮬레이션 시간 동안에 로딩 효과를 고려하는 것 이외에 피이드백 효과도 고려하여야 하므로 더 많은 반복이 필요하게 된다. 또한 극단적인 경우 수렴에 실패하는 경우도 있다. 이러한 이유 때문에 지금까지 제안된 ordering은 회로가 피이드백 루프를 가지고 있을 때는 매우 비효율적이다. 이러한 문제를 해결하기 위하여 다음의 ordering방법을 제안한다. 본 논문에서 제안한 oredring 방법의 주된 착상은 회로에 있는 피이드백 루프를 하나의 부회로로 간주 한다는 것이다.

제안된 방법은 다음과 같이 요약된다.

ordering 방법

〔순서 결정 단계〕

단계 1 : 여러개의 부회로로 회로를 분할한다.

단계 2 : 피이드백 루프들을 찾는다.

단계 3 : 피이드백 루프들을 포함하는 새로운 부회로들을 만든다.

단계 4 : 결과적으로 피이드백이 없는 부회로들의 순서를 정한다.

단계 5 : 포함하는 소자의 수가 많은 부회로들을 위하여 부회로들이 포함하는 소자들의수가 적당히 작을 때까지 단계 2, 3, 4를 부분적으로 반복한다.

〔해석단계〕

단계 6 : 순서 결정 단계에서 순서가 정해진 대로 반복적인 이완 방법을 적용한다.

단계 7 : 단계 6에서 긴 피이드백이 마주칠 때는 국부적 반복과정에 의하여 부회로들의 해를 구한다.

이상의 제안된 방법을 사용하여 WRM을 적용하게 되면, 이완은 전체의 회로에 적용하는 전체적인 반복과정(global iteration)과 피이드백 루프만을 독립적으로 해석하기 위한 국부적 반복과정(local iteration)으로 구분된다.

여기서 전체적인 반복과정은 로딩효과 만을 해결하며, 피이드백효과는 국부적 반복과정에 의하여 해결된다.

〔예제〕

그림 1(a)에서 작은 원은 부회로를 나타내고 화살표는 신호흐름을 나타낸다. 그래 1(a)의 회로는 부회로 B, C, D를 포함하는 피이드백 루프L을 가지고 있다.

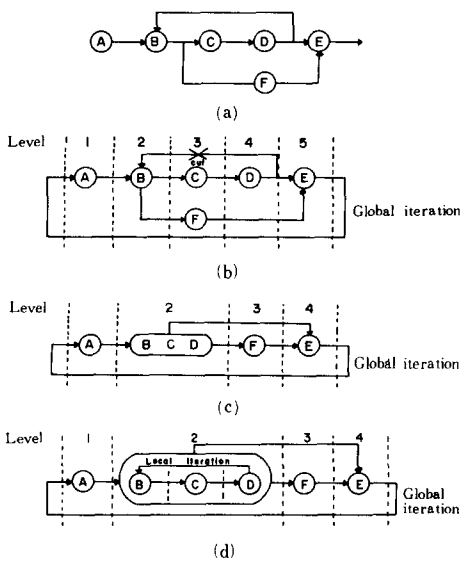


그림 1. (a) 피이드백 루프를 가진회로
(b) 종전의 ordering 방법
(c) 피이드백 되는 소자들의 크기가 작을 때의 제안된 ordering 방법
(d) 피이드백되는 소자들의 크기가 클 때의 제안된 ordering 방법

Fig. 1. (a) A circuit with a feedback loop.
(b) Conventional ordering.
(c) Proposed ordering when the feedback loop is small.
(d) Proposed ordering when the feedback loop is large.

종래의 ordering 방법[9]을 적용할 때의 부회로 순서 및 단계(levelizing)는 그림 1(b)에서 보여주는 그래프에서 부터 얻어진다. 이 경우에 있어서 피이드백 루프는 절단되고 피이드백 효과는 오직 전체적인 반복과정에 의하여 고려된다. 즉 부회로 C와 F는 같은 단계에서 해석되고 부회로F는 부회로 D의 해석이후에 피이드백 효과의 고려없이 해석된다. 즉 부회로 B가 부회로 D의 피이드백 효과를 완전히 고려하지 못한 상태에서 해석되기 때문에 부회로F의 해석은 무의미하게 된다. 결과적으로 부회로F와 E의 해석은 피이드백 루프L이 완전히 해석될 때 까지는 시간만 소비하는 불필요한 것이 된다. 이에 비하여 본 논문에서 제안된 방법을 적용하면 피이드백 루프에 포함하는 부회로의 사이즈가 적은 경우에는 그림 1(c)와 같이 된다. 결과적으로 피이드백 루프L을 하나의 부회로로 간주함으로써 전체적으로 볼 때에는 피이드백 루프가 없는 회로가 되므로 단지 전체적인 반복만으로 해석이 이루어진다.

그림 1(b)의 회로와 비교하여 볼 때 그림 1(c)의 회로는 피이드백 루프때문에 생기는 부가적인 이완 과정을 필요로 하지 않는다. 피이드백 루프L이 긴 피이드백일 경우에는 그림 1(d)에서 보여주는 것처럼 국부적 반복과정을 사용한다.

부회로 E와 F는 피이드백 루프 L의 국부적인 해석 이후에 해석된다. 그림 1(c)와 1(d)의 전체적인 반복은 단지 부회로들 간의 로딩효과만을 고려하기 위하여 필요한 반면 그림 1(b)의 회로는 로딩효과 이외에 피이드백 효과를 고려하기 위한 전체적인 반복을 필요로 한다. 결과적으로 본 논문에서 사용한 ordering 방법은 불필요한 부회로의 해석을 피함으로써 계산시간의 단축을 이룰 수 있다.

4. 레이턴시(Latency) 활용

이완 방법에 의하여 대형회로를 해석할 때 회로의 일부분은 주어진 시간에서 혹은 어떤 특별한 반복에서 거의 변하지 않는 경우가 있다. 이러한 현상을 레이턴시[10]라고 하는데 레이턴시를 잘 고려하면 계산 시간에서의 상당한 감소를 가져온다.

1) 소자 단계에서의 레이턴시

각 비선형 소자의 동작점은 각 시간점과 뉴우튼·랩슨(Newton-Raphson) 반복에 의하여 결정되는데 만일 동작점이 시간과 N-R 반복사이에서 별로 변화하지 않을 때에는 그 소자는 다시 계산할 필요가 없고 행렬 구성시에는 앞 시간단계에서 계산했거나 그 전의 반복에서 구한 값을 그대로 사용할 수 있다.

2) 부회로 단계에서의 레이턴시

어느 한 부회로를 해석할 때 N-R 반복이나 시간단계 사이에서 별로 큰 변화가 없을 때는 그러한 부회로

는 해석하지 않고 넘어갈 수 있다. 이러한 레이턴시의 조사는 다음의 방법에 의하여 해하여진다.

어떤 부회로 K가 시간t에서 다음 조건을 만족할 때 레이턴트(latent)하다고 볼 수 있다.

$$|V_{ikP}(t_n)-V_{ikP}(t_{n-1})|<\varepsilon_a+\varepsilon_r \max(|V_{ikP}(t_n)|, |V_{ikP}(t_{n-1})|) \quad p=1,2\cdots \quad (3)$$

$$|V_{okq}(t_n)-V_{okq}(t_{n-1})|<\varepsilon_a+\varepsilon_r \max(|V_{okq}(t_n)|, |V_{okq}(t_{n-1})|) \quad q=1,2 \quad (4)$$

위의식(3)과 식(4)가 만족된 이후로 다음 조건이 만족되는 한 계속 부회로 K는 레이턴트하게 남아 있다.

$$|V_{ikP}(t_{n+j})-V_{ikP}(t_{n-1})|<\varepsilon_a+\varepsilon_r \max(1|V_{ikP}(t_{n+j})|, |V_{ikP}(t_{n-1})|) \quad p=1,2 \quad (5)$$

이상과 같은 레이턴시 방식을 시험 회로에 적용하였을 때 해석시간에 있어서 상당한 감소를 가져왔다.

Ⅲ. 프로그램 수행(Program Implementation)

Ⅱ절에서 설명한 방법에 의하여 대형의 MOS논리회로를 해석할 수 있는 타이밍 시뮬레이터를 개발하였다. 개발된 프로그램은 FORTRAN으로 구성되었으며 사용된 컴퓨터는 VAX/UNIX-750이다. 개발된 프로그램의 기본적인 특징은 다음과 같다.

1. 회로의 분할은 프로그램 사용자의 지식과 경험에 의하여 수행된다. 여기서 분할된 부회로들은 논리게이트 나 플립플롭 등이 바람직하며, 그 크기에 있어서는 대략적으로 5～10개 정도의 트랜지스터를 포함하는 것이 가장 효과적인 것으로 여러 종류의 회로에 대한 시험결과 알려졌다.

2. 각각의 분할된 회로들은 전형적인 회로 시뮬레이션 방법에 의하여 해석된다. 즉 대형 방법에 의한 수치적분, N-R 반복과 L. U 분해방법, L. T. E에 의한 시간 간격제어가 적용된다.

3. 소자 단계와 부회로 단계에서의 레이턴시가 동시에 고려된다.

4. MOS FET의 모델로서는 SPICE에서의 level 1과 level 2 모델을 사용한다.

5. 이와 방법으로는 WRM을 사용한다.

6. 피이드백 루프는 제안한 방법에 의하여 전체적 반복과 국부적 반복과정으로 나누어진다.

그림 2는 이상에 기술한 본 시뮬레이션 알고리즘의 흐름도이다.

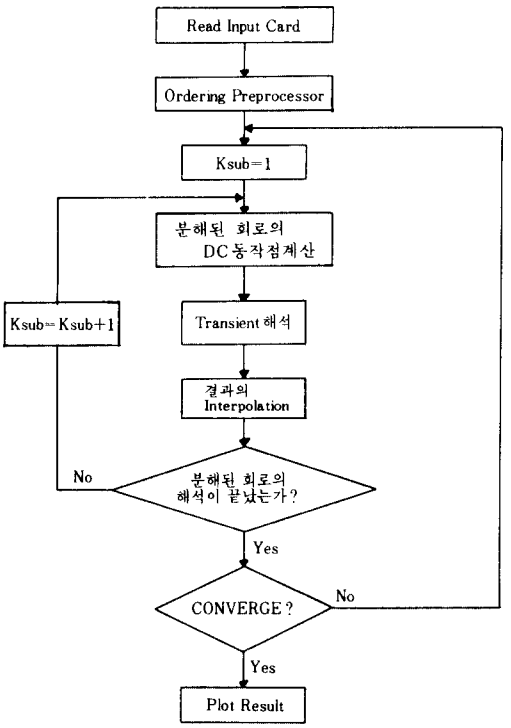


그림 2. 시뮬레이션 흐름도
Fig. 2. Simulation flowchart.

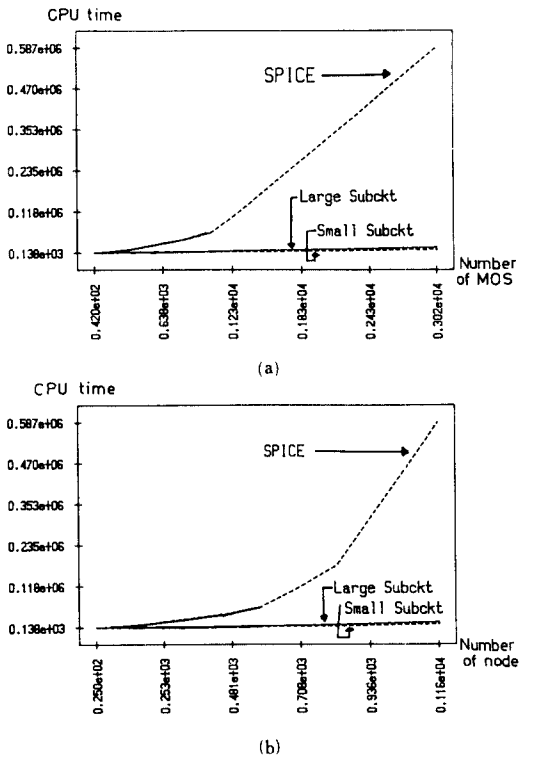


그림 3. 표 2 의 plot
(a) MOSFET갯수에 따른 계산시간
(b) Node수에 따른 계산시간
Fig. 3. Plot of Table2.
(a) Number of MOSFETS versus CPU time
(b) Number of nodes versus CPU time.

이상의 특징을 갖는 본 프로그램의 개발에 있어서는 SPICE를 부분적으로 변형하여 사용했으며, 그 성능은 SPICE와 같은 정도의 정확도를 가진 해를 대략적으로 SPICE보다 5～20배 정도 빨리 구할수 있다. 또한 해석할 수 있는 회로의 크기는 사용되는 컴퓨터의 용량에 따라 좌우되지만 VAX-750을 사용하는 경우 SPICE는 1000개 이상의 트랜지스터를 가진 회로의 해석이 불가능 하였으나 개발된 프로그램에서는 5000개 이상의 트랜지스터를 포함하는 회로까지도 해석할 수 있었다. 이상의 결과를 표 1과 그림 3에서 보였다.

표 1. Full adder를 사용하여 새로이 개발된 timing simulator와 SPICE와의 계산시간 비교

Table 1. Comparison of computation times by SPICE and the proposed simulator for full adders of various bits.

Full Adder	# of MOSFETS and nodes	SPICE	Proposed Timing Simulator	
			Small Subckt	Large Subckt
1-Bit	MOS : 42 Node : 25	0 : 11 : 1	0 : 2 : 18	0 : 3 : 54
4-Bit	MOS : 168 Node : 94	0 : 55 : 11	0 : 9 : 15	0 : 15 : 16
8-Bit	MOS : 336 Node : 186	2 : 37 : 44	0 : 19 : 50	0 : 30 : 32
10-Bit	MOS : 420 Node : 232	3 : 39 : 33	0 : 23 : 17	0 : 38 : 10
12-Bit	MOS : 504 Node : 278	5 : 19 : 12	0 : 27 : 40	0 : 45 : 15
20-Bit	MOS : 840 Node : 462	10 : 53 : 39	0 : 45 : 50	1 : 3 : 39
25-Bit	MOS : 1050 Node : 577	16 : 20 : 14	0 : 57 : 38	1 : 24 : 59
30-Bit	MOS : 1260 Node : 692	X	*	1 : 52 : 40
36-Bit	MOS : 1512 Node : 828	X	*	2 : 14 : 0
72-Bit	MOS : 3024 Node : 1164	X	*	4 : 31 : 58

Three numbers in a box indicates (hour : minute : second), X and * indicate that the solution could not be obtained due to the limited main memory to accommodate the circuit matrix (in the case of X) and to store all of the subcircuit output waveforms (in the case of *), respectively.

Ⅳ. 시뮬레이션 결과

1. 수렴시험 시뮬레이션

우선 본 논문에서 사용한 WRM 방법의 수렴을 보이기 위하여 그림 4의 링 오실레이터(ring oscillator)를 시뮬레이션 하여 보았다. 그림 5는 링 오실레이터 를 3개의 부회로로 분할한 것을 보이며 각 반복에서 얻은 파형은 그림 6과 같다. 링 오실레이터에서는 NOR 게이트의 입력측으로 전압이 피이드백 되기 때문에 단일방향이 아니고 따라서 반복해의 수렴은 공진파형의 주기에 비례하는 만큼의 반복 계산을 필요로 한다.

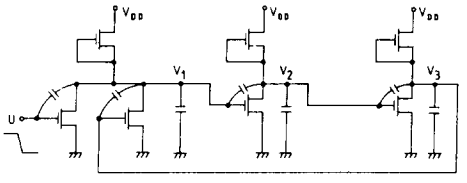


그림 4. 링 오실레이터 회로
Fig. 4. A ring oscillator circuit.

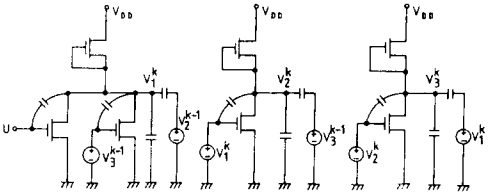


그림 5. 3개의 부회로로 분할된 링 오실레이터
Fig. 5. Three decomposed subcircuits.

위의 링 오실레이터의 수렴을 보여주기 위하여 각 게이트 단계로 부회로를 취하였으나 본 논문에서 사용한 ordering 방법에 의하여 링 오실레이터 전체를 하나의 부회로로 보는 것이 회로 해석시간을 감소시켜 주었다.

위의 링 오실레이터를 혼합 모우드(mixed mode) 타이밍 시뮬레이터인 SPLICE를 사용하여 해석해 보았다. SPLICE에서는 강하게 결합된 소자인 부동 커패시터(capacitor)를 허용하지 않으므로 부동 커패시터를 제거하고 시뮬레이션한 결과 피이드백 효과 때문에 수렴하지 않아서 해를 구할 수 없었다.

2. 피이드백이 있는 회로의 해석

본 논문에서 제안한 ordering 방법에 의하여 부회로들 간에 짧은 피이드백이 있는 회로는 하나의 부회로로 간주하고 긴 피이드백이 있는 회로는 국부적 반복과정에 의하여 해를 구한 다음 전체적인 반복과정에 의하여 전체적인 해를 구한다. 한 예로서 그림 7의 회로

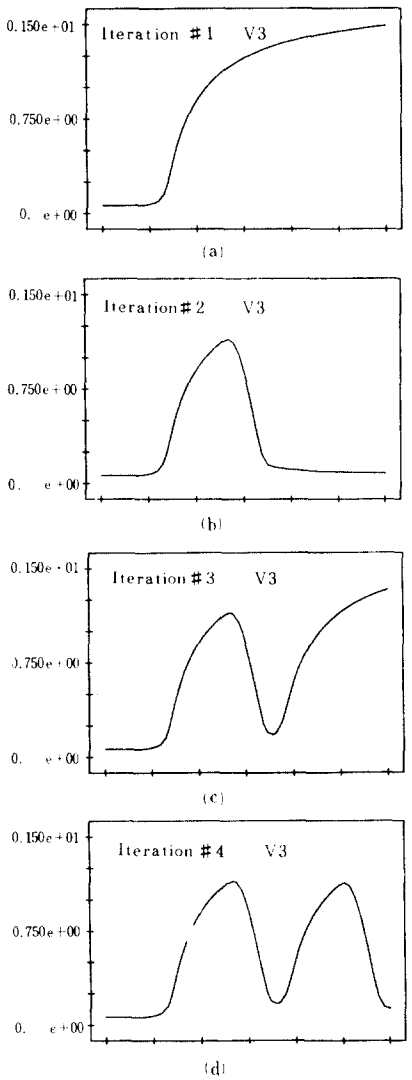
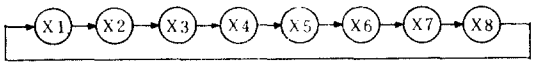


그림 6. (a)~(d) iteration #1~#4에서의 각각의 출력파형

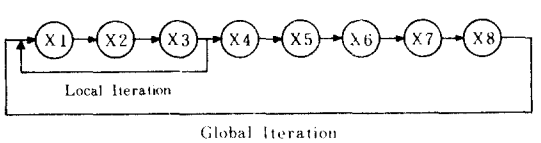
Fig. 6. (a)~(d) output waveforwms at iteration #1~#4.

을 생각하자. 이것의 순서를 정하면 다음과 같다.

기존의 방법에 따른 ordering



본 논문에서 제안한 방법에 따른 ordering



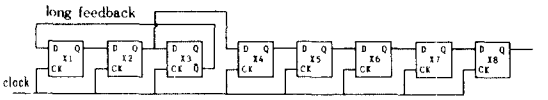


그림 7. Ring counter를 가진 shift register

Fig. 7. A ring counter with shift registers.

기존의 방법에 따라 순서를 정하면 3번의 전체적인 반복과정으로 수렴하였다. 여기서 3번째 반복으로 수렴이 확인되었다.

본 논문에서 제안된 방법에 따라 순서를 정하게 되면 3번의 국부적 반복과정과 2번의 전체적인 반복과정에 의하여 수렴하였다. 여기에서 2번째 전체적 반복과정과 3번째 국부적 반복과정은 수렴 확인이다. 각각의 순서를 정하는 방법에 따른 해석 시간의 비교는 표 2에서 보는 바와 같다. 이와 같이 본 논문에서 제안한 순서 정하는 방법에서는 불필요한 해석시간이 줄어서 전체적 [illegible]이 단축 된다.

표 2. Ordering 방법들의 비교

Table 2. Comparison of ordering method.

	Conventional Method	Proposed Method	Ratio
CPU Time	1 : 05 : 43	0 : 38 : 47	1.7 : 1

Three numbers in a box indicates (hour : minute : second).

V. 결 론

WRM은 대상 회로를 표현하는 비선형 미분 방정식에 이와을 적용한 대형 회로의 과도 해석 방법이다. 이 방법은 전체 회로를 여러개의 부회로로 분할하였기 때문에 각 분할된 부회로는 각각 독립적인 시간간격으로서 적분될 수 있다. 또한 부회로의 레이턴시도 쉽게 찾을 수 있기 때문에 해석시간을 감소시킬 수 있다. 이러한 방법은 특히 대규모 집적회로(VLSI)해석에 적당하다.

본 논문에서 제안한 순서정하는 방법에 따라 순서를 정하게 되면 교차결합(cross coupled)이 되어 있는 부회로(프립플롭 등)들을 하나의 부회로로 간주함으로써 수렴에 대한 문제를 피할 수 있으며 긴 피이백에 대해서는 국부적 반복과정을 시행함으로써 해석시간을 감소시켰다.

WRM에서는 다음 반복에서의 파형 계산을 위하여 현재 반복에서의 파형들을 기억시켜야 하므로 대형 회로의 해석을 위해서는 매우 큰 저장용량이 필요하게

된다. WRM을 포함하여 모든 이완 방법의 공통적인 문제점은 분해된 회로에 로직 피이드백이 있을 때 수렴속도가 느리다는 것이다. 이러한 단점은 초기 가정으로서 로직 시뮬레이션을 한다면 수렴속도를 상당히 향상시킬 것이다. 또한 현재 WRM을 이용한 회로 해석을 MOS 디지탈 회로에만 제한 하였는데 수렴 문제를 좀 더 고려하면 이것을 바이폴라(bipolar) 디지탈 회로에도 적용시킬 수 있을 것이다.

參 考 文 献

[1] L.W. Nagel, "SPICE2: a computer program to simulate semiconductor circuits," Univ. of California, Berkeley, *ERL Memo ERL-M520,* MAY 1975.

[2] "Advanced statistical analysis program (ASTAP)," Program reference manual, Pub. No. SH20-1118-0, *IBM Corp.* Data Proc. Div., White Plains, NY 10604.

[3] S.P. Fan, M.Y. Hsieh, A.R. Newton, and D.C. Pederson, "MOTIS-C: a new circuil simulator for MOS LSI circuits," in Proc. *of the IEEE Int. Symp.* Circuits Systems, 1977, pp. 700-703.

[4] A.R. Newton, "SPLICE: Simulation program large-scale integrated circuit emphss-is" Univ. of California, Berkeley, *Memo UCB/ERL M78/52,* July 1978.

[5] P.H. Reynaert, H. De Man, G. Arnout, and J. Cornelissen, "DIANA: a mixed-mode simulator with a hardware description language for hierachical design of VLSI," in Proc. *IEEE Intl. Conf.* Circuits and Computers, Prot. Chester, NY, Oct. 1980, pp. 356-360.

[6] P. Yang, J.N. Haji, and T.N. Trick, "Slate: A crcuit simulation program with latency exploitation and node tearing," *in Proc. IEEE Intl. Conf.* Circuits and Computers, Port Chester, NY, pp. 353-355, Oct. 1980.

[7] A.R. Newton and A.L. Sangiovanni-Vincentelli, "Relaxalion-Based Electrical Simulation," *IEEE Trans.* on Computer Aided Design, vol. CAD-3, pp. 308-331, Oct. 1984.

[8] J. White and A. Sangiovanni-Vincentelli, "RELAX2: A new waveform relaxation approach for the analysis of LSI MOS circuits," *in Proc 1983 Int.* Symp. Circ·· its Syst., May 1983.

[9] E. Lelarasmee and A. Sangiovanni-Vincentelli, "RELAX: Anew circuit simulator for large scale MOS integrated circuits," Electronic Reserch Laboratory, *Univ.* of California, Berkeley, Memo UCB/ERL 6, Feb. 1982.

[10] E. Lelarasmee, A.E. Ruehli, and A Sangiovanni-Vincentelli, "The waveform relaxation method for lime-domain analysis of large-scale integrated circuits," *IEEE Trans.* CAD Integ. Circ. Syst., vol. CAD-1, pp. 131-145, July 1982.

[11] Young-Hyun Jun, 'Timing Simulation by the Waveform Relaxation-Considering the Feedback," M.S. thesis, *KAIST,* Seoul, Korea, Feb. 1986.