

# 3 $\mu$ m 설계 칩수의 이중금속 CMOS 기술을 이용한 표준셀 라이브러리

## (A 3 $\mu$ m Standard Cell Library Implemented in Single Poly Double Metal CMOS Technology)

朴 鍾 勳\*, 朴 椿 城\*, 金 鳳 烈\*, 李 文 基\*

(Jon Hoon Park, Chun Seon Park, Bong Yul Kim and Moon Key Lee)

### 要 約

본 논문은 이중금속 single poly gate process의 3 $\mu$ m design rule을 사용한 CMOS standard cell library의 설계 및 측정결과에 관한 것이다. 설계된 library는 random logic gate, flip-flop 그리고 입·출력 버퍼등 모두 33개로 이루어졌다. Cell의 높이는 모두 98 $\mu$ m로 일정하고 1 grid는 9 $\mu$ m이다. 그리고 모든 cell에 대해서 부하에 따른 delay time을 구하여 system설계시 자료로써 이용하기 용이하게 하였다.

본 설계에 의해 제작된 cell중 inverter의 평균 delay time은 ring oscillator를 측정한 결과에 의해 1.05(ns)이고, worst case에서 metal line에 의한 delay time은 metal폭이 9 $\mu$ m일 때 단위 길이당 0.65(ps)이다.

### Abstract

This paper describes the CMOS standard cell library implemented in double metal single poly gate process with 3 $\mu$ m design rule, and its results of testing. This standard cell library contains total 33 cells of random logic gates, flip-flop gates and input/output buffers. All of cell was made to have the equal height of 98  $\mu$ m, and width in multiple constant grid of 9  $\mu$ m.

For cell data base, the electric characteristics of each cell is investigated and delay is characterized in terms of fanout.

As the testing results of Ring Oscillator among the cell library, the average delay time for Inverter is 1.05 (ns), and the delay time due to channel routing metal is 0.65 (ps) per unit length.

### I. 서 론

집적회로의 복잡도가 증가하고 낮은 생산비용과 짧은 개발시간이 요구됨에 따라 computer를 이용한 설계방식이 활발히 연구·활용되고 있다. 그 가운데 layout은 짧은 시간에 여러 engineer들의 노력을 조합시킬

수 있고 높은 packing density를 가져야 하며, layout 검증시 CAD 기술과 양립할 수 있어야 한다. 이런 조건들은 많은 random logic을 갖는 VLSI 설계에 필수적이다. layout을 쉽게하는 방법 중에는 각 logic gate들을 building block으로 만들어 회로를 구성하는 방법이 있다. 이 방법 가운데 standard cell은 gate array에 비해 chip area를 보다 효율적으로 사용할 수 있고 주로 1,000-6,000 gate 범위의 system을 설계하는데 적절하다.

\*正會員, 延世大學校 電子工學科  
(Dept. of Elec. Eng., Yonsei Univ.)  
接受日字: 1986年 9月 11日

본 연구는 이러한 standard cell library를 이중 metal 3 $\mu$ m 설계 법칙과 parameter를 이용하여 설계 하고 Pwell CMOS로 제작하였다.

### II. YSGS Standard Cell의 기본구조

YSGS Standard cell의 구조는 높이가 모두 같고 내부구조에 관계없이 외부 입·출력선의 내용만으로 사용되도록 설계되었다. 그리고 각 입·출력선은 cell의 배치배선을 편리하도록 일정한 간격의 배수가 되는 곳에 위치하게 하였으며 VDD, VSS line을 각각 최상단과 최하단에 배치하였다.

#### 1. Active area의 높이 결정

Cell의 높이 결정을 위하여 먼저 기본이 되는 transistor의 높이를 결정한다. 이 transistor의 active area의 높이 W는 p type transistor의 channel width인  $W_p$ 와 N type transistor의 channel width인  $W_n$ 의 합으로 표시된다.

이때 delay time T는 active area의 높이 W에 반 비례하며,<sup>11</sup> 본 공정에서의 delay time T를 최소로 하는  $W_p$ 와  $W_n$ 의 비를 구해보면  $W_p/W_n=1.75$ 가 얻어지는데 도면화 작업의 편리를 위하여  $W_p/W_n=2$ 로 하였다.

W의 값을 결정하기 위하여 앞에서 얻은 결과를 기초로 기본 inverter에 대해 W의 값을 변화시켜가며 transient analysis한 결과로 부터 spec.에 주어진 delay time을 만족하는  $W_n=18$ ,  $W_p=36\mu$ m를 transistor active area의 높이로 결정하였다.<sup>12</sup>

이  $W_p$ 와  $W_n$ 의 값에 대한 noise margin을 알아보기 위해 W값을 고정시킨 후에 K값을 변화시켜가며 inverter의 DC analysis를 하였다. 이때 얻어진 DC 특성은 그림 1(a)와 같으며 이 그림으로 부터 그림 1(b)와 같은 noise margin을 얻을 수 있다. 실제로 제작된 inverter의 DC 전달특성이 그림 1(c)과 같이 측정되었다.

그림 1(b)에서  $W_p/W_n=2$  일 때의 noise margin이 충분히 크므로  $W_p=36\mu$ m,  $W_n=18\mu$ m가 transistor의 active area의 높이로 적당함을 알 수 있다.

#### 2. 높이 결정을 위한 기타 요인

N-MOS와 P-MOS 사이에 well contact와 surface contact이 들어갈 경우 P well과 P-MOS 사이에 허용 가능한 최소 간격은 설계 규칙에 의해 33 $\mu$ m로 결정된다. 또한 수평연결을 위한 track의 수는 1st, 2nd metal을 이용하여 가장 복잡한 회로를 설계하기 위해 충분한 track수인 7track으로 하였다.

Track과 VDD, VSS line은 1st metal을 사용 하였고

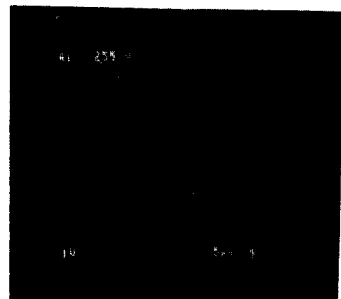
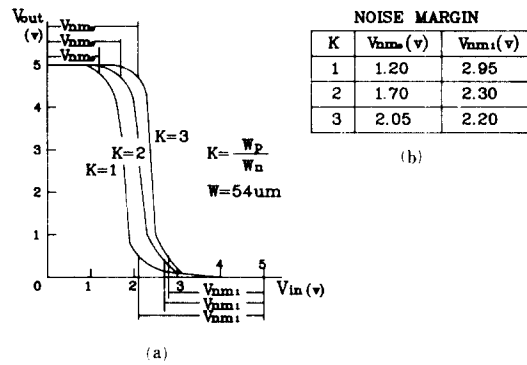


그림 1. (a) K값의 변화에 따른 inverter의 DC전달 특성  
 (b) (a)에서 계산된 noise margin  
 (c) K=2인 경우 측정된 inverter의 DC전달 특성

Fig. 1. (a) DC transfer characteristics of the inverter versus k values.  
 (b) Noise margin calculated from(a).  
 (c) Measured DC transfer characteristics of the inverter with k=2.

2nd metal을 외부 단자와의 연결을 위해 사용하였다. VDD와 VSS line은 power로 부터의 current를 고려하여 10 $\mu$ m로 하였다. 그리하여 최종적인 cell의 높이를 98 $\mu$ m로 결정하였다.

앞에서 결정한 cell의 높이와 기타 요인을 고려하여 1 fanout을 0.22pF으로 하였다.

### III. CELL의 특성 Simulation과 결과 고찰

모든 cell의 전기적 특성은 SPICE program으로 simulation하여 결과를 개별적으로 정리 고찰하였다.

Cell library를 효과적으로 이용하기 위해서는 사용할 cell의 전기적 특성이 잘 제시되어 있어야 한다. 그러므로 cell library를 random logic gate, flip-flop, input/output 부분으로 구분하여 각 cell의 특성을 자세히 기술한다.

개별적인 cell의 자세한 특징은 문헌<sup>[3]</sup> (YONSEI-GSS CMOS STANDARD CELL LIBRARY)에 기록되어 있다.

또한, 제작된 cell을 측정하여 simulation 결과와 비교하여 기술하였다.

### 1. Random logic

설계한 random logic은 inverter, NOR(2, 3 input), NAND(2, 3, 4 input), exclusive NOR 등 11개의 cell들로 구성되었다. 주로 이 cell들의 과도특성을 조사하였다. AO2(2ANDS INTO 2NOR)의 경우 layout은 그림 2와 같다.

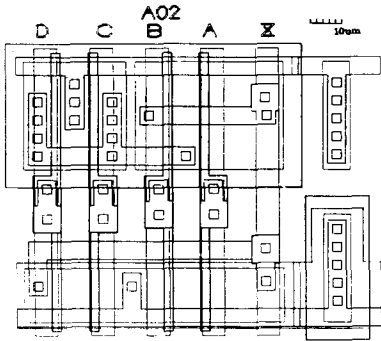


그림 2. AO2(2ANDS INTO 2NOR)의 레이아웃  
Fig. 2. Typical layout of AO2 cell.

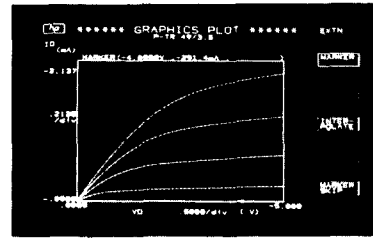
AO2 cell에 대한 동작특성을 파악하기 위하여 simulation을 해본 결과, fan-out이 5일때의 평균 delay time은 5.85(ns)가 나왔다. 이와같은 특성을 기존의 제품과 비교하기 위해서 motorola HC MOS data<sup>[4]</sup>를 참조하였는데, input/output buffer를 포함한 AO2와 동일한 74HC51의 경우 출력단에 15pF의 부하가 걸렸을 때, 평균 delay time이 9(ns)가 되어, 본 cell 이 delay 특성면에서 장점을 지님을 알 수 있다.

실제로 제작된 cell에서 임의의 P-TR과 N-TR의 I-V 특성 곡선을 측정된 결과는 그림 3과 같다.

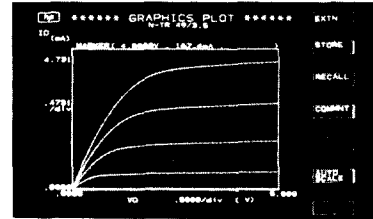
한편, inverter의 측정된 DC특성 곡선은 그림 1(c)에 나타나 있는데 여기서, noise margin을 구하면  $V_{n0} = 2.25(V)$ ,  $V_{n1} = 2.25(V)$ 로 simulation 결과보다도 훨씬 좋은 특성이 나타남을 알 수 있다.

### 2. Flip-flop

본 YSGS cell library에서는 D flip-flop, JK flip-flop 등 3개의 flip-flop이 설계되어 cell화 되어있다. 이 가운데 간단한 형태의 D flip-flop을 예로 들겠다. D flip-flop의 회로도에는 그림 4(a)와 같으며, 이것을 제작



(a)



(b)

그림 3. (a) P-TR의 I-V 특성 곡선(W/L비는 49/3.5)  
(b) N-TR의 I-V 특성 곡선(W/L비는 49/3.5)

Fig. 3. (a) I-V curves for a P-TR.  
(W/L=49/3.5)  
(b) I-V curves of a N-TR.  
(W/L=49/3.5)

한 chip사진이 그림 4(b)에 나타나 있고, 이것의 파형을 측정된 결과는 그림 4(c)에 나타나 있다.

D Flip-flop의 전기적 특성을 정확하게 파악하기 위해서 layout에서 추출된 기생정전 용량을 포함하는 경우에, VDD와 온도의 영향을 고려한 worst case에서의 simulation을 한 결과,  $t_{PHL}$ 이 12.5(ns) (F.O=4)가 나왔다. 이는 기생정전 용량을 포함하지 않은 typical case에서의  $t_{PHL}$ 보다 3.2(ns) 만큼 크게 나오지만 동작에는 큰 영향이 없었으며, 기본제품인 74HC74의 경우 평균 delay time이 20(ns) ( $C_L = 15pF$ )가 되어, 본 설계가 좋은 특성을 지님을 알 수 있다.

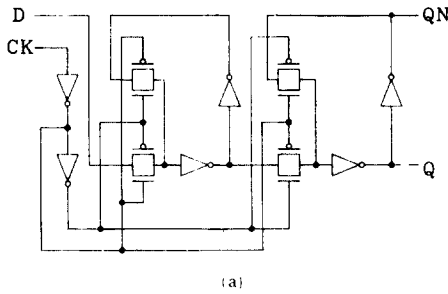
### 3. Buffer

YSGS cell library에는 3개의 output buffer와 tri-state buffer, TTL output을 위한 input buffer 등 모두 5개의 buffer가 포함되어 있다.

외부 접속을 위한 buffer는 TTL gate를 구동시켜야 할 경우가 자주 발생하는데 이때 CMOS buffer의 구동능력은 중요한 사항이 된다.

따라서, 본 설계에서는 정확한 simulation 결과를 근거로 하여 그림 5와 같은 tri-state buffer가 LS TTL gate를 구동시킬 수 있게 제작하였다.

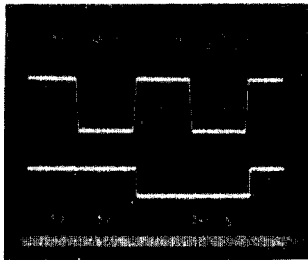
또한 큰 용량을 구동할 때 발생하는 지연시간을 최소화 하기 위해서는 큰 부하단과 작은 구동단 사이의



(a)



(b)



(c)

그림 4. (a) D flip-flop의 회로도  
(b) 제작된 D flip-flop의 chip사진  
(c) 측정된 결과파형(위 파형은 clock pulse, 아랫 파형은 Q출력)

Fig. 4. (a) Circuit of a D flip-flop.  
(b) Chip photograph of the D flip flop.  
(c) Measured waveforms.  
Top trace ;clock pulse  
Bottom trace; Q output

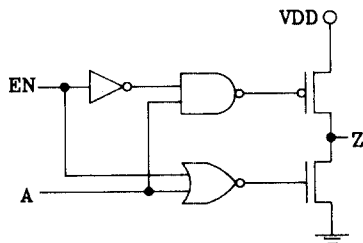


그림 5. Tri-state buffer의 회로도  
Fig. 5. Circuit diagram of the tri-state buffer.

buffer들의 크기(W/L)를 전단에 비하여 e배가 되도록 설계하여야 한다.

본 YSGS cell library에서는 layout의 편의상 3배로 하였고 부하의 크기에 따라 다양하게 쓸 수 있도록 B0, B1, B2의 buffer를 설계하였다. 그리하여 부하의 크기에 따라 B0, B0-B1, B0-B1-B2 등의 직렬 조합으로 이용할 수 있도록 하였다.

제작된 output buffer(B2)에 100pF의 부하가 걸렸을 때의 측정 파형이 그림 6에 나타나 있다. 그림에서 delay time은 약 13(ns)이고 output 파형이 input 파형보다 훨씬 개선된 특성을 지님을 알 수 있다.

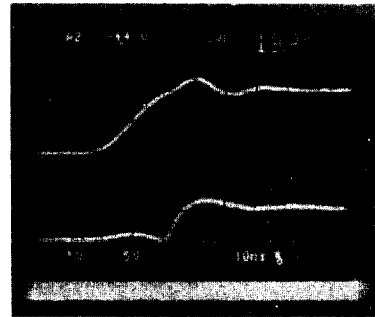


그림 6. 100PF의 부하가 걸린 output buffer의 측정 파형  
Fig. 6. Measured waveforms of the output buffer B2 with a 100 PF load.

#### IV. Ring Oscillator를 이용한 Delay Time측정

Inverter cell(IV) 20단과 trigger용 NAND gate(ND2)를 이용하여 그림 7과 같이 ring oscillator를 두가지 형태로 구성하였다.

첫번째 경우는 그림 7(a) 처럼 직접 inverter를 최단 거리로 연결하였고 두번째 경우는 그림 7(b) 처럼 18번째와 19번째 inverter를 연결하는 연결선을 1st metal과 2nd metal을 서로 반복적으로 연결하여 첫경우에 비하여 연결길이를 7982(μm) 더 길게(1st metal과 2nd metal의 contact 636개를 포함한다) 하였다.

윗 연결방식을 등가회로 표시하여 simulation하고, 1st metal만을 포함하거나 2nd metal만을 포함하는 회로에 대해서도 simulation한 결과가 그림 8에 나타나 있다. 이 결과에서 보면 1st-2nd metal의 시간 지연특성이 가장 크게 나타났다. 그 이유는 접촉 저항의 영향이 크게 작용하였기 때문이다. 그러므로 같은 길이에 대하여 1st-2nd metal contact string이 가장 극단적인 경우가 된다. 이 결과를 이용하여 channel routing을

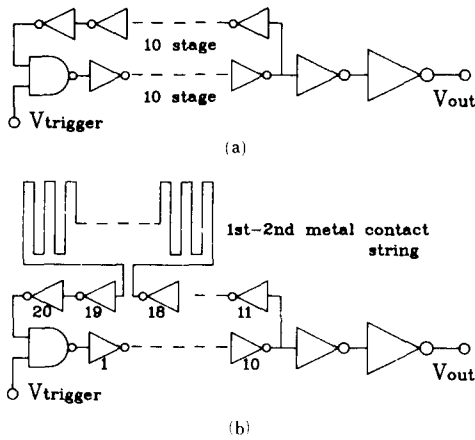


그림 7. (a) Ring oscillator  
 (b) 1st-2nd metal contact string의 구조를 갖는 ring oscillator  
 Fig. 7. (a) Direct connected ring oscillator.  
 (b) Ring oscillator having a contact string of 1st-2nd metal.

지연시간을 구하고 그림 7 (b)의 oscillator에서 측정 한 값과 비교하여 metal line에 의한 시간 지연특성을 다음과 같이 얻을 수 있다.

$$T_{pm}(\text{metal line의 delay}) = (T_2 - T_1) / 2$$

여기서 T1, T2는 각각 ring oscillator (a), (b)의 발진 주기이다. 실제로 제작된 ring oscillator는 그림9(a)와 같고, 이것을 측정 한 결과 파형은 그림9(b)에 나타나 있다. 이 파형을 기초로 하여 위식에서 계산된 wire가 없는 inverter의 평균 delay time은 1.05(ns)이고, 1st-2nd metal contact을 포함하는 worst case에서 metal line에 의한 T<sub>pm</sub>은 metal 폭이 9 $\mu$ m일때 단위길이( $\mu$ m) 당 0.65(ps)이다.

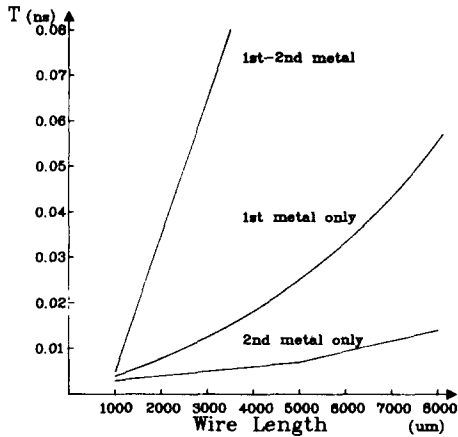


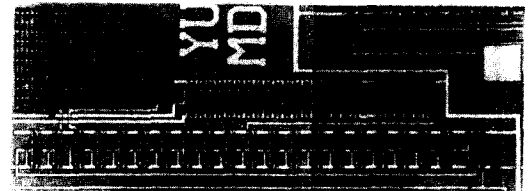
그림 8. Wire에 의한 delay time simulation 결과  
 Fig. 8. Results of simulation for delay of interconnection wire.

할 때 wire에 의한 delay를 예측할 수 있다. 또한 2nd metal을 이용한 경우에 가장 적은 delay를 얻을 수 있으므로 metal line이 매우 긴 것이 필요한 경우, 2nd metal을 이용하면 delay를 줄일 수 있음을 알 수 있다.

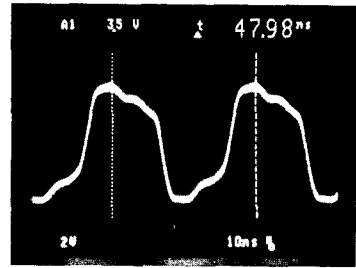
Ring oscillator를 이용한 delay time 측정은 아래와 같은 식을 이용하여 구할 수 있다.

$$t_{pd} = \frac{T}{2N}$$

여기서 T는 발진 주기, N은 stage의 수를 말한다. 첫번째 ring oscillator에 위식을 적용하여 inverter의



(a)



(b)

그림 9. (a) 1st-2nd contact을 포함하는 ring oscillator의 chip 사진  
 (b) Ring oscillator의 출력파형

Fig. 9. (a) Photomicrograph of the ring oscillator having a contact string of 1st-2nd metal.

(b) Output waveform of the ring oscillator (a).

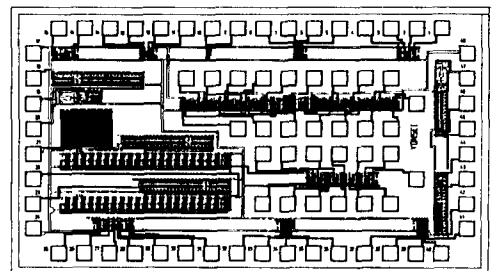


그림 10. Cell library module 2

Fig. 10. Layout of cells in module 2.

## VI. 결 론

Standard cell library를 double metal CMOS process의  $3\mu\text{m}$  설계규칙을 이용하여 설계하였다.

설계한 cell은 random logic gate 11개, latch 및 flip-flop 5개, buffer 6개, adder 및 multi-plexer 등 응용회로 6개, 기타 5개로 총 33개이다.

이 cell들은 module1과 module2(그림10참조)와 같이 배치, 제작하여 특성을 측정하였다. Cell의 높이는  $98\mu\text{m}$ 이고 1grid를  $9\mu\text{m}$ 로 하였다. Grid line으로 2nd metal을 사용하여 cell의 상하단에 모두 나오도록 하였고 수평 방향 연결 및 power line은 1st metal을 사용하여 well plug, surface contact을 하기에 편리하도록 하였다. 또한 cell을 통과할 수 있는 grid line은 cell 사양에 표시하여 routing에 편리하도록 하였다.

그리고 본 YSGS cell library는 double metal을 사용하였기 때문에 poly line을 이용한 것에 비하여 cell 면적과 지연시간을 줄일 수 있었고 layout을 편리하게 할 수 있었다. 또한, delay 면에서도 기본 inverter의 경우, 평균 delay time이 1.05(ns) 정도로 만족할 만한 결과를 얻을 수 있었다.

따라서, 본 library에 기억소자, ALU등을 보완하여 더욱 완벽한 cell library를 구성한다면 ASIC (Application Specific Integrated Circuit) 분야에서 다양한 system 설계에 응용되리라 기대된다.

## 參 考 文 獻

- [1] Sung Mo Kang, "A design of CMOS polycells for LSI circuits," *IEEE Trans. on Circuits and systems* vol. CAS-28, no.8, Aug. 1981.
- [2] 이문기 등, "초대형 직접회로 설계 방법론 개발" (시모스 셀데이터 베이스 구성) 산업기술 연구소 논문집, 제17집 제2권, Oct. 1985.
- [3] 이문기 등, "Yonsei-Gss cmos standard cell library" (초대형 직접회로 설계방법론 개발에 의한 별책) 연세대학교, July 1985.
- [4] *Motorola Inc.* "High speed CMOS Logic data" (MC54/74Hc Series).
- [5] Ernstg, et. al., "A bipolar 230 ps master slice cell array with 2600 gates," *IEEE Jour. of Solid State Circuit* vol. SC-19, no. 3, June, pp. 299-310, 1984.
- [6] Tafeshi, T. et. al., "A hierarchical standard cell approach for custom VLSI design", *IEEE Trans. on Computer-Aided Design*, no. 3, July, pp. 172-177, 1984.
- [7] Jacofasa A, et. al "Analysis and design of optimization of domino cmos logic with application to standard cells," *IEEE Jour. of Solid State Circuit*, vol. SC-20, no. 3, pp. 523-530, 1985.