

VLSI 소자 시뮬레이션의 현황과 미래

金孝植, 金基洪, 朴榮俊

(正會員)

金星半導體(株) 安養研究所 半導體研究室

I. 서론

반도체 소자의 특성은 일련의 물리적 파라미터, 즉 전송자의 이동도(mobility), 전송자의 수명(life time), 소자의 기하학적 구조, 그리고 불순물의 분포등에 의해 결정된다.

반도체 소자 모델링의 목적은 위에서 열거한 파라미터들로부터, 전자와 홀(hole)의 정전위와 퀴시-페르미 전위(Quasi-Fermi potential)를 공간과 시간의 영역에서 유도하여, 이 값들로부터 전장 벡터와 전류 벡터를 구해, 주어진 그리드점 사이의 contour를 따라 초기의 벡터를 적분해가면서, 소자의 단말 특성을 알아보는데 있다.

반도체 소자를 모델링하는데 있어서, 소자 설계자와 회로 설계자간의 관심사의 양면성을 생각해 볼 필요가 있다. 소자 설계자는 항상, '어떻게 소자가 동작되는가'에 대한 관심과 이해를 추구하기 때문에 근본적으로 그는, 소자 내부에서 일어나는 물리적 현상에 관심을 두는 반면, 회로설계자는 소자의 단말(terminal) 특성에 초점을 두어, 이에 대한 가능한 단순하고도 정확한 양적표현에 더 관심을 둔다.

회로설계자는 자신이 설계한 회로의 topology로부터 회로의 동작특성을 예측하기 위해 시뮬레이션을 행하게 되는데, 이때 시뮬레이션 결과는, 반도체 소자 제작을 위해 설정된 웨이퍼 공정에 의해 크게 좌우된다.

그러므로 시뮬레이션에 사용된 반도체 소자모델에 실험적으로 얻은 파라미터(fitting parameter)들을 이용하여, 모델의 정확도를 크게 높일 수 있다. 이러한 과정을 좀더 확장시키면, 측정 파라미터들을 일련의 도표(look-up table)로 마련하고, 회로설계자에게 있어서의 반도체 소자모델은 이러한 일련의 도표들 사이의 보간 절차(interpolation routine)로서만 이용된다. 그러

므로 회로설계자가 갖고 있는 소자모델이, 물리적인 현상과 이론에 복잡하게 연관하는 것은 시뮬레이션의 계산속도의 저하와 광대한 기억용량을 요구하게 된다.

그러나, 이러한 회로 설계자의 경우와는 달리, 소자 설계자에게 있어서는, 자신이 설계하는 소자가 회로내에서 동작되어야 하기에, 회로동작 특성에 다스의 관심이 있을지는 모르지만, 근본적으로는 소자내부의 물리적 현상과 이론에 깊은 관심을 갖게 된다.

회로에서 요구되는 특성에 맞추어 설계된 소자는, 소자제작에 필요한 웨이퍼 공정의 기준(spec)을 결정하게 되므로, 정확한 소자특성의 예측은 곧 정확한 웨이퍼 공정의 기준을 결정하는 중요성을 갖게 된다. 이와 같이 소자의 복잡한 물리적 특성을 정확히 모델링할 때 위에서 언급한 바와 같이 값비싼 공정의 반복과정을 줄여 원하는 특성을 갖는 소자를 제작할 수 있게 된다. 이러한 과정에서 소자모델의 정확도 웨이퍼 반복공정에 따른 비용간의 Trade off가 필요하며, 이로써 수치해석적 시뮬레이션이 요구된다.

소자의 시뮬레이션은 기본적으로 두가지로 나눌 수 있다. 첫째, 전송자의 전류를 다음 식 (1), (2)와 같이 표류(drift)와 확산(diffusion) 항에 의해 표시하는 방법(DDE: drift diffusion equation)이다.

$$J_n = q\mu_n n E_x + q D_n \frac{dn}{dx} \quad (1)$$

$$J_p = q\mu_p p E_x - q D_p \frac{dp}{dx} \quad (2)$$

잘 아는바와 같이 전송자는 반도체 소자내에 존재하는 전계에 의해서 표류(drift)되는 전류와, 전계가 존재하지 않더라도 밀도의 공간적 변화에 따른 통계적 전송자의 확산(diffusion)에 의한 전류로 표시할 수 있다는 이론이다.

종래의 시뮬레이션은 이 전류 방정식에 의한 연속방정식과 전계를 알기 위한 포아손(Poisson) 방정식을 푸는 작업이었다. 이러한 이론에 근거한 모오스(MOS)와 바이폴라(bipolar) 소자 시뮬레이션의 간단한 역사를 2장에서 다루기로 한다. 3장에서는 모오스(MOS) 소자를 예로 시뮬레이션의 방정식과 기본경계조건, 그리고 이동도(mobility)의 실험적 모델에 대해 설명하기로 한다. 또한 이 방정식을 수치해석적으로 푸는 방법으로 Gummel 알고리즘과 Newton 알고리즘을 소개하고, 대표적인 예로서 필자들의 연구소에서 이용하고 있는 시뮬레이션 프로그램을 사용하여 소자의 시뮬레이션을 행한 예를 보이코자 한다. DDE에 의한 GaAs 소자의 시뮬레이션은 이동도등의 기초 물리적 상수의 변화외에는 기본적으로 상이점이 없으므로 생략하고자 한다. 4장에서는 종래의 DDE 방법에 의한 시뮬레이션의 문제점과 이를 해결하는 방법으로 Monte Carlo를 이용한 방법, 그리고 Energy-Momentum Relaxation 방정식에 의한 방법을 소개하고, 이밖의 앞으로 연구되어야 할 과제들에 대한 정리로 결론을 맺고자 한다.

II. 소자 시뮬레이션의 역사

컴퓨터를 이용한 소자시뮬레이션은 H. K. Gummel이 1970년 1차원적으로 전자와 홀의 전류 연속방정식과 전계를 알기 위한 포아손(Poisson) 방정식을 반복적으로 푸는 소위 Gummel 알고리즘을 발표하면서 부터 시작되었다.

여기서 종래의 모델링 방법, 즉 Gummel-Poon 모델이나 Ebers-Moll 모델에서는 설명할 수 없었던 베이스 영역에서의 high injection 효과나 이에 대한 베이스 push-out 영향을 예측하는데 성공함으로써 컴퓨터를 이용한 시뮬레이션의 중요성을 입증하였다. 이로부터 2차원적 모델로 전환이 시도되었으며,^[12] 1차원으로 이해될 수 없었던 전류밀집(crowding) 영향등을 설명할 수 있었으며, 외부 베이스 저항이 미치는 트랜지스터의 전류-전압특성을 예측하게 되었다.

또한 3차원적으로 바이폴라 소자를 해석하려는 시도가 A. Yoshii^[13] 등에 의해 발표되었다. 에미터(emitter)가 작아지고, 전류밀도가 커질수록 베이스 접촉(contact)의 위치가 3차원적으로 바이폴라 소자의 외부특성(I-V, f_t)에 미치는 영향이 중요해지며, 특히 바이폴라에서는 3차원 시뮬레이션의 필요성이 증대하게 되었다. 그러나 여기서 과대한 컴퓨터의 기억용량이 필요하고 계산시간이 과대해지기 때문에 2차원적 시뮬

레이션 결과로부터 회로 모델링 상수를 추출하는 방법으로 3차원적 소자특성을 알아내려는 소위 Quasi-3D 시뮬레이션 방법이 창안되었는데,^[14] IBM, NTT, Hitachi 등에서 바이폴라 소자의 최적화에 널리 사용되는 것으로 알려지고 있다.

MOS 소자에 대한 최초의 수치해석적 시뮬레이션은 MOS의 문턱전압이전(subthreshold)과 포화(saturation) 영역에서의 동작을 이해하기 위해 시작되었다.

1969년, Standford 대학의 M. B. Barron이 MOS의 문턱전압 이전의 특성과 포화영역의 특성을 알아보기 위해 FDM을 이용하여 MOS를 시뮬레이션 한 것을 시작으로,^[15] 1972년에 Vandorpe와 Borel이 포화영역에서의 MOS 특성에 대해 모델링하고 이를 FDM을 이용하여 시뮬레이션 하였다.^[16]

그뒤, 공정기술의 급속한 발전과 칩(chip)의 고집적도는 MOS의 크기를 점점 소형화 시켰고, 따라서 MOS에 대한 보다 더 정확한 물리적 해석과 모델링이 요구되었으며, 소형 MOS에 대한 수치해석적 시뮬레이션을 가속시켰다. 마침내, 1973년과 1974년에, IBM의 M. S. Mock은 FDM으로,^[17] G. D. Hatchel은 FEM으로,^[18] 각각 MOS에 대한 2차원 시뮬레이션 프로그램을 개발하였다.

그러나, 지금까지 나열한 시뮬레이션 프로그램들은, 일반적으로 쉽게 사용할 수 있는 디자인 프로그램으로 개발되지 않고, 실험실에서 소자연구에 필요한 프로그램으로 개발되었기에, 보다 더 안정되고, 빠른 알고리즘을 갖는 보편화된 시뮬레이션 프로그램이 요구되게 되었다.

이를 위한 많은 연구가 진행되었는데, 대표적인 예로써, 1975년, IBM의 Cottrell과 Buturla가 FEM을 이용한 FIELDROID를 개발한 것을 들 수 있다.^[19] 그후 3년 뒤인 1978년, Hitachi의 Toyabe가 FEM을 이용한 CADDET를 개발하였고,^[10] 1980년엔 Standford 대학의 Greenfield와 Dutton이 FDM을 이용한 GEMINI^[11]를, 그리고 비엔나(Vienna) 대학의 Shelberherr와 Potzel이 2D-1Carrier 프로그램인 MINIMOS를 FDM을 써서 개발하였다.^[12]

그러나 위에서 언급한 시뮬레이션 프로그램중 FIELDROID를 제외하고, 모든 프로그램이 한정된 MOS 구조와 안정상태(steady state)로 제한되어 있다. 간단한 MOS 구조가 아닌 복잡하고, 임의의 구조를 갖는 MOS의 시뮬레이션이 요구되었는데, 이러한 요구를 만족시켜 주는 프로그램이, 1981년 예루살렘대학의 M. S. Mock에 의해 개발된 SIFCOD이다.^[13] SIFCOD는

2D-2캐리어 프로그램이면서, 임의의 구조와 과도상태(transient state)의 시뮬레이션을 가능케 하였다.

가장 최근인 1984년 Standford대학의 M. R. Pinto는 FEM을 이용하여 PISCES II 프로그램을 개발하였는데, 비교적 널리 사용되는 PISCES II는 2D-2 캐리어 프로그램으로 임의의 구조와 과도 및 안정상태의 어느 조건하에서도 시뮬레이션에 유용하다.^[4]

III. 표류-확산 접근방식(Drift-Diffusion Approach)

1. 물리적 표현식

반도체 소자에서의 전기적 특성은 포아송(Poisson) 방정식 식(3) 과 전자와 홀에 관한 연속방정식 식(4), 식(5) 으로 풀이 된다.

$$\epsilon \nabla^2 \psi = -q(p - n + N_D^+ - N_A^-) \quad (3)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot \bar{J}_n - R \quad (4)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot \bar{J}_p - R \quad (5)$$

Boltzman 전송이론에 의해, 전자와 홀에 대한 전류밀도 \bar{J}_n 과 \bar{J}_p 는 정전위 ψ 와 전자와 홀의 Quasi-Fermi 전위인 ϕ_n 과 ϕ_p 에 의해 식(6)과 식(7)로 쓸 수 있다.

$$\bar{J}_n = -q \mu_n \cdot n \nabla \phi_n \quad (6)$$

$$\bar{J}_p = -q \mu_p \cdot p \nabla \phi_p \quad (7)$$

1. 경계조건

위에서 열거한 방정식들이 완전한 해를 얻기 위해서는 경계조건이 필요하다. 이러한 경계조건을 그림 1의 MOS 구조로 부터 고려해보면, Ohmic 접촉, Schottky 접촉, 절연체 접촉 및 Neumann 경계조건등 4 가지로 구분할 수 있다.

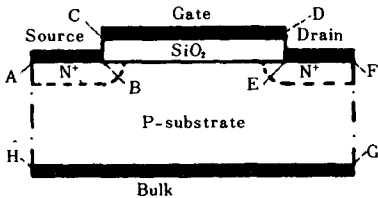


그림 1. MOS 구조

Ohmic 접촉, 즉 Source, Drain 및 기판의 접촉은, 공간전하의 중성조건과 접촉면에서의 무한대 재결합율을 가정하고, 열평형 상태에서 Quasi-Fermi 전위는 접촉면에 인가한 전압으로써 나타나게 된다. Ohmic 접촉이

Dirichlet 경계조건을 만족할 때, 식(8)~(10)으로 나타난다.

$$\psi = \psi_0 + V_{\text{인가전압}} \quad (8)$$

$$n = n_0 \quad (9)$$

$$p = p_0 \quad (10)$$

위에서 ψ_0, n_0, p_0 는 공간전하 중성 조건과 열평형 상태에서의 값들에 해당된다.

Schottky 접촉은 식(8)의 ψ_0 에 장벽높이(barrier height)가 포함되어 식(11)과 같이 주어지며, 접촉면에서의 전자와 홀의 재결합 속도를 각각 V_{sn} 과 V_{sp} 로 할 때, Schottky 접촉에서의 전자와 홀의 전류밀도는 식(12)과 식(13)로 주어진다.

$$\psi = x + \frac{E_g}{2q} + \frac{KT}{2q} \ln \frac{N_c}{N_v} - \phi_n + V_{\text{인가전압}} \quad (11)$$

$$\bar{n} \cdot \bar{J}_n = -q V_{sn} (n - n_0) \quad (12)$$

$$\bar{n} \cdot \bar{J}_p = -q V_{sp} (p - p_0) \quad (13)$$

Si-SiO₂의 접촉면 즉 그림 1의 B-E에서의 경계조건은, 표면의 재결합속도를 R_s 로 할 때, 식(14)와 식(15)로 주어진다.

$$\bar{n} \cdot \bar{J}_n = -q R_s \quad (14)$$

$$\bar{n} \cdot \bar{J}_p = q R_s \quad (15)$$

이때 SiO₂의 양쪽 접촉면(B-E와 C-D)에서의 변위 벡터에 대한 관계식은 SiO₂내에서 총전하량을 Q_s 로 할 때, 식(16)처럼 나타난다.

$$\bar{n} \cdot (\epsilon \nabla \psi) - \bar{n} \cdot (\epsilon \nabla \phi) = Q_s \quad (16)$$

끝으로 그림 1에서, B-C, D-E, F-G와 H-A의 경계조건은 Neumann 경계조건을 적용하여 그곳에서의 전자와 홀의 전류밀도와 전장의 표면에 수직한 성분이 영(zero)이라고 가정한다.

$$\bar{n} \cdot \bar{J}_n = \bar{n} \cdot \bar{J}_p = \bar{n} \cdot \nabla \psi = 0 \quad (17)$$

2. 실험적 모델

앞에서 언급한 기본 방정식중에서 재결합률(R)과 이동도($\mu_{n,p}$)와 같은 다소 복잡한 물리적인 양들을 포함하고 있는데, 이러한 양들은 일정한 값이 아니라, 전송자의 밀도와, 전류의 밀도, 또는 전장의 세기에 따라 결정된다. 더우기 이러한 파라미터들의 물리적 모델링을 위해서는 전송자의 밀도, Quasi-Fermi 전위, 그리고 정전위에 대한 관계식이 요구된다.

(1) 전송자의 이동도

전송자의 이동도는 크게 세가지의 서로 다른 산재현상(scattering mechanism)에 의해 결정된다.

Phono 산재현상에 의한 이동도는 분순물의 농도가 작은 실리콘내에서 큰 격자이동도(lattice mobility)를

갖는다. 이 격자이동도는 다시 이온화된 불순물에 의한 Coulomb 산재현상에 의해 감소하며, Caughey와 Thomas는 이러한 두가지 산재현상을 고려한 실험적 이동도 관계를 식(18)과 같이 모델링하였다.^[14]

$$\mu(N) = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + (N_T/N_{ref})^\alpha} \quad (18)$$

여기서 $N_T = 0.34(N_D + N_A) + 0.66\bar{n}$

$$\bar{n} = n + p$$

MOS 소자에 있어서 채널(channel) 이동도는 위에서 설명한 두가지 산재효과 이외에, Si-SiO₂ 접촉면의 격자의 비균일성(surface roughness)에 의한 표면산재현상(surface scattering)이 추가로 일어나며, Yamaguchi에 의하면, 이러한 현상은 전장의 크기를 표면에 수직한 성분(E_⊥)과 수평한 성분(E_{||})으로 분리 고려하여 전개하였다.^[15]

$$\mu(N, E_{||}) = \mu(N) \cdot [1 + \{\mu(N) \cdot |E_{||}| / V_{max}\}^\beta]^{-1/\beta} \quad (19)$$

$$\mu(N, E_{||}, E_{\perp}) = \mu(N, E_{||}) \cdot (1 + \alpha E_{\perp})^{1/2} \quad (20)$$

여기서 $\alpha_n = 1.54 \times 10^{-5} \text{cm/V}$, $\alpha_p = 5.35 \times 10^{-5} \text{cm/V}$

(2) 재결합과 생성

실리콘 내에서 총 재결합률(R)은 SRH 재결합(식(21))으로 Auger 재결합(식(22)) 및 Avalanche 생성(식(23))으로 나타낸다.

$$R_{SRH} = \frac{n_p - n_i^2}{\tau_p(n + n_i) + \tau_n(p + p_i)} \quad (21)$$

$$R_{AUG} = (C_n \cdot n + C_p \cdot p) (np - n_i^2) \quad (22)$$

$$G_{AV} = \alpha_n |J_n| + \alpha_p |J_p| \quad (23)$$

식 (21)에서의 n_i와 p_i는 trap의 밀도이며, SRH에서의 τ는 식(24)에서와 같이 주어진다.

$$\tau = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + (N_T/N_{ref})^\alpha} \quad (24)$$

여기서 0.3 < α < 0.6

식(22)에서의 Auger 상수 C_n과 C_p는 SRH에서와는 달리, 도우핑과 전송자 밀도 및 온도에 무관하다.

식(23)의 이온화 상수 α_n과 α_p는 전장의 세기에 지수적으로 비례하며 식(25)과 같이 주어진다.

$$\alpha_{n,p} = \alpha_\infty \exp(-b/|E|) \quad (25)$$

여기서 α_∞ = 7.03 × 10⁶ cm⁻¹,

b = 1.231 × 10⁶ V/cm : 전자

α_∞ = 1.58 × 10⁶ cm⁻¹, b = 2.036 × 10⁶ V/cm : 홀

3. 수치 해석법

(1) 분리화(Discretization)

소자의 방정식이 편미분 방정식으로 구성되었기에, 이를 풀기 위해서는 기본적으로 다음과 같은 두단계를

거쳐야 한다.

첫째, 공간영역을 그리드(grid)나 노우드(node)에 대응시켜, 소자의 방정식내의 연속함수들을 각 노우드에서 벡터의 함수로 표시하고, 미분연산자(differential operator)는 차등연산자(difference operator)로 바꾸어 주어야 한다.

둘째, 소자의 방정식에서 주어진 세계의 미지함수(ψ, J_n, J_p)를 풀기위해 실제 시뮬레이션에서는 3N 개(N=노우드수)의 미지수를 풀어야 한다.

(2) 풀이방법

분리화(discretization)에 의한 3 개의 비선형 방정식이 식(26)~식(28)에 나타나 있다.

$$F_\psi(\psi, n, p) = 0 \quad (26)$$

$$F_n(\psi, n, p) = 0 \quad (27)$$

$$F_p(\psi, n, p) = 0 \quad (28)$$

위의 3 개의 비선형 방정식을 풀때는 실제 3N 개의 비형선 방정식을 풀어야 하는데, 2 차원 시스템에서는 광대한 CPU시간이 요구된다. 그러므로 실제, 효과적인 수치해석적 알고리즘을 선택하여 이들 방정식을 풀어야 하는데, 가장 널리 알려진 방법이, Gummel 알고리즘과 Newton 알고리즘이다.^[17,18] Gummel 방법은 그림 2에서 보는바와 같이 식(26)~(28)에 나타난 방정식들을

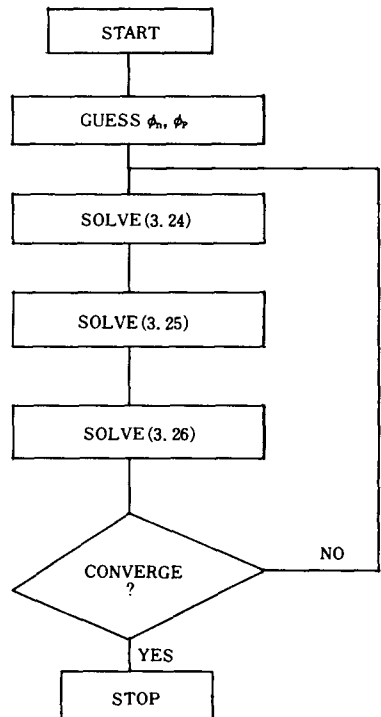


그림 2. Gummel 알고리즘

순차적으로 푸는 것이다.

즉 Quasi-Fermi 전위를 추측하여, 포아슨 방정식을 풀고, 여기서 얻은 새로운 전위를 연속방정식에 대입하여 원하는 정확도를 갖을 때까지 반복하여 푼다. Coupled 혹은 Successive 방법이라고도 불리는 Gummel 방법은 세계의 비선형 방정식의 coupling성이 약할때 쉽게 수렴하고, CPU 시간과 기억용량을 절약할 수 있다는 장점이 있다.

Gummel 방법이 비교적 방정식간의 coupling성이 약할 때 잇점을 갖는 반면, coupling성이 강한 조건, 즉 MOS의 반전영역이나, 포화영역에서는 발산하기에, 이때는 변수사이의 coupling성이 반복과정마다 고려되는 Newton 알고리즘이 유용하다.⁽¹⁶⁾

Newton 방법은 매우 안정하고, CPU 시간이 바이어스(bias) 조건에 무관하다. Newton 방법에서의 식(26)~(28)은 식(29)와 같은 Jacobian matrix 시스템으로 표시된다.

$$\begin{bmatrix} \frac{\partial F_\psi}{\partial \psi} & \frac{\partial F_\psi}{\partial n} & \frac{\partial F_\psi}{\partial p} \\ \frac{\partial F_n}{\partial \psi} & \frac{\partial F_n}{\partial n} & \frac{\partial F_n}{\partial p} \\ \frac{\partial F_p}{\partial \psi} & \frac{\partial F_p}{\partial n} & \frac{\partial F_p}{\partial p} \end{bmatrix} \begin{bmatrix} \Delta \psi \\ \Delta n \\ \Delta p \end{bmatrix} = - \begin{bmatrix} F_\psi \\ F_n \\ F_p \end{bmatrix} \quad (29)$$

Newton 방법의 단점은 노우드 수가 많을때 역 matrix를 구하는데 광대한 기억용량과 CPU 시간이 요구된다는 것이다. 그러나 보통 3~8 번의 반복과정을 통해서도 쉽게 수렴하는 장점이 있다. 이렇듯 Gummel 방법과 Newton 방법이 실제 시뮬레이션에서 사용될 때는 소자의 종류와 소자의 동작조건에 따라 조합하여 사용된다. 그림 3에서는 MOS의 게이트 특성을 구하는데 Gummel 방법과 Newton 방법을 사용하여 각각 시뮬레이션 했을때의 CPU 시간을 나타낸 것이다. 그림 3에서 보는 바와 같이 MOS 시뮬레이션의 임계전압 이전(subthreshold) 영역에서는 Gummel 방법을 쓰고, 임계전압 이후(strong inversion)영역에서는 Newton 방법을 사용하는 것이 보편화 되었다.

4. MOS 소자 시뮬레이션의 결과

필자들이 소속한 연구소가 보유하고 있는 MOS DE vice Simulator (MODES 2)에 의한 MOS 소자 시뮬레이션의 예가 그림 4~7에 나타나 있다. MODES 2는 2D-2캐리어 프로그램으로써 임의의 MOS 구조 과도(transient) 및 안정(steadx) 상태에서의 시뮬레이션이 가능하며 FEM을 사용하고 있다. 그림 4는 200Å의 게이트 옥사이드와 L_{eff} 가 0.8μm인 MOS에 대한 그리드

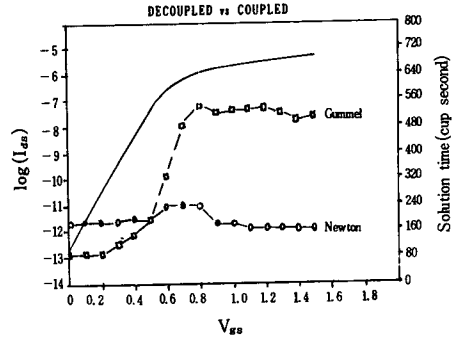


그림 3. MOS 게이트특성에 관한 시뮬레이션의 Gummel과 Newton 방법의 비교⁽¹⁶⁾

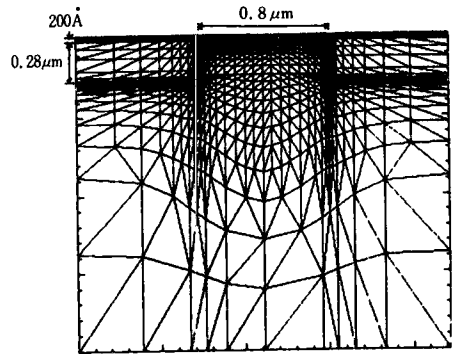


그림 4. MOS에서의 Mesh 생성

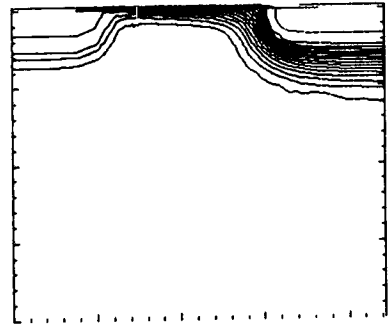


그림 5. $V_{DS} = V_{GS} = 3V$ 에서의 전위에 대한 Contour 그림

제거 card(grid elimination card)를 사용한 이후의 Mesh 형태를 보여 주었으며, 그림 5는 포화영역에서의 등전위 분포가 나타나 있다.

IV. 비정전 접근방식(Nonstafic Approach) : Microscopic 모델링

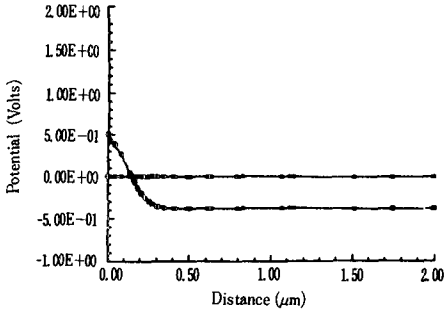


그림 6. $V_{gs}=1V$ 에서 MOS 게이트 아래의 실리콘표면 서부터 기판까지의 전위

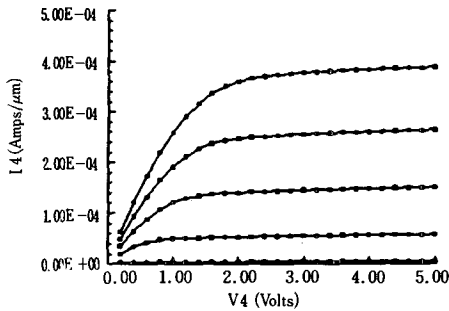


그림 7. $W=1\mu m, L=0.8\mu m$ 의 MOS 시뮬레이션에 대한 $I-V$ 특성곡선 ($T_{ox}=200\text{\AA}$)

앞에서 소개한 모델링 방법은 소위 총체적인 이동도의 이론에 근거를 두고 있다. 즉, 반도체 소자내의 x 점에서의 전자농도 n 의 속도 V 는 그 점에서의 전계 E 의 함수라는 가정이다. 따라서 Poisson 방정식에 의해서 전위분포를 알게되면 이에 의해 x 점에서의 전계를 구할 수 있고 이 전계로부터 일정한 전계에서 실험적으로 구한 이동도를 가정하였다. 이를 살펴보면 전자가 충분히 x 점에서의 충돌원(주로 결정격자)과 충돌하여 전자 system이 격자와 열적 평형상태를 이루고 있다는 가정에서 출발했음을 알 수 있다. 전자 system을 Maxwell 분포를 나타내면

$$f \sim e^{-\frac{1}{2} m v^2 / k T E}$$

로 표시할 수 있는데, 여기서 V 는 전자 system의 평균속도이며, T 는 전자의 자유이동도(random movement)를 나타내는 온도이다. 종래의 이동도 이론은 이 전자 system의 T_E 가 항상 격자의 온도 T_L 과 같다는 가정을 한 것이다. 그러나, 일반적으로 소자가 scaling down 되면서 소자내의 전계 E 가 커지고, 전계의 공간적인 변화(gradient)가 급격해짐에 따라 전자가 공간적

으로 충분히 격자와 충돌하지 못하고 다른 점으로 이동하게 되는 소위 nonstatic 한 운동을 하게되는 영역이 발생하게 되었다. 즉, 전자의 온도 T_E 와 격자온도 T_L 이 서로 다른 영역이 소자내부에 존재하게 되고 이러한 현상이 소자의 외부특성(전류-전압특성 혹은 속도특성)에 영향을 미치게 되는 시대를 맞이하게 된 것이다. 실제로 이러한 영향은 전자의 유효질량(effective mass)이 작고 충돌원이 작은 GaAs 소자에서 보다 더 중요하게 되었으며, 1970년대 말부터 GaAs 소자 모델링 및 시뮬레이션 영역에서 가장 중요한 과제로 등장하였다.

이를 모델링 하는 방법으로서 크게 두가지 방법이 제창되었는데, 그 방법에 대하여 간략하게 설명하면 다음과 같다.

1. Monte Carlo 방법

반도체 내에서 전자 system에 대하여 Maxwell 분포 함수를 가정하지 않고 전자가 충돌전까지 Δt 시간 동안 자유운동을 하다가 충돌에 의해서 속도(혹은 momentum)와 에너지가 변하고 다시 자유운동을 다음 충돌까지 하는 일련의 임의운동(random motion)을 Monte Carlo 방법에 의해 모의실험하는 것이다. 그림 8은 전계 E 가 존재하는 반도체 내에서의 전자의 운동을 표시한 것이며, 각각의 경우를 결정하기 위한 Monte Carlo 방법을 단계적으로 설명하면 다음과 같다.

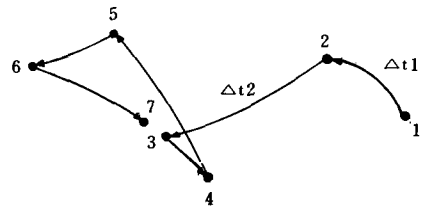
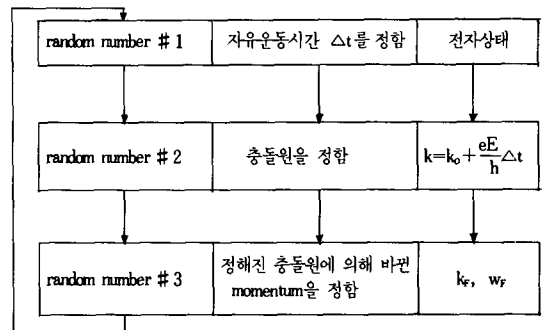


그림 8. 전계 E 가 존재하는 반도체 내에서의 전자의 운동



이렇게 하여 전자가 Monte Carlo 방법에 의해 충분한 시간 동안 시뮬레이션 되면 원하는 분포함수 및 원하는 물리적 양(평균속도, 에너지W 등)을 얻을 수가 있다. 이 방법을 처음 GaAs에 적용한 논문이 Fawcett^[20] 등에 의해 발표되었는데, 그 이후 Monte Carlo 방법을 GaAs의 band간의 전자이동에 의한 속도 Overshoot를 설명하는데 중요한 역할을 하였다. 이 방법을 GaAs MESFET에 적용하여 종래의 이동도 이론에 따른 시뮬레이션과의 차이를 보인 논문이 Hockney^[21] 등에 의해 발표되었다. 여기서는 한개의 전자를 시뮬레이션하지 않고 컴퓨터가 취급할 수 있는 적정량의 갯수를 하나하나에 대해 Monte Carlo 방법으로 추적하였는데 이를 many-particle Monte Carlo 방법이라고 한다. 이렇게 함으로써 일정시간(보통 momentum relaxation 시간보다 충분히 큰 시간)후 다시 이들의 공간적 재분포에 의한 전계의 변화를 Poisson 방정식으로 구해낼 수 있게 된다. 이를 종래의 시뮬레이션 방법(Gummel의 방법)과 비교하면 결국은 종래의 전류 연속방정식이 many-particle Monte Carlo 방법에 의해서 대체된 것 외에는 전체적 시뮬레이션 방법은 유사하다고 생각할

수가 있다. 그림9는 전극과 전극과의 간격이 각각 $1\mu\text{m}$ 이고 epi층의 두께가 $0.23\mu\text{m}$, 기판의 두께가 $0.385\mu\text{m}$, 도핑농도가 $10^{18}/\text{cm}^3$ 인 GaAs MESFET 내에서 바이어스가 $V_G = -0.1\text{V}$, $V_D = 3\text{V}$ 일 때의 전자의 공간적 분포를 Monte Carlo 방법으로 보인 것이다.^[21] 그림에서 (a), (b), (d)는 Monte Carlo 방법에 의한 결과이고, (c)는 종래의 이동도 이론에 의한 분포를 보인 것이다. 그림(c)와 (d)에서 알 수 있듯이, GaAs 내에서의 전자가 에너지 band의 central valley에서 upper valley로 천이되는 지점이 종래의 이동도 이론이 예측하는 것보다 뒤에서 일어나게 됨을 알 수 있다. 이는 전자의 에너지가 작은 소자내에서의 전계의 변화에 충분히 빨리 대응하지 못함으로써 종래의 이동도 이론이 예측하는 것보다 공간적으로 느리게 upper valley로 천이됨을 보이고 있는 것이다.

이 방법은 GaAs MESFET 뿐만이 아니라 $n^+i n^+$ 다이오드 등에도 적용되었는데, 앞에서 설명한 바와 같이 scaling-down된 소자의 전자운동 및 에너지 그리고 외부 특성을 구하는데 성공적인 방법으로 생각된다. 또한 실리콘 소자에서도 시도되었는데 Baccarani 등에 의해 최초로 bipolar 소자의 베이스 영역에 적용되었다.^[22] 그러나 many-particle Monte Carlo 방법의 단점은 소자 전체에 적용하기에는 컴퓨터 시간이 과다하게 필요하다는 점이다. 특히 종래의 이동도 이론이 잘 적용되어 Monte Carlo 방법이 그다지 필요하지 않은 N^+ 영역등에서 컴퓨터 시간을 써야하기 때문에 소자내에서 이 방법을 선별적으로 적용하고자 하는 방법이 Y. J. Park^[23]에 의해 발표되었는데, 이 방법이 window Monte Carlo 란 방법으로 Stanford대학등에서 시도되고 있다. 이와 같이 Monte Carlo 방법은 컴퓨터의 계산속도가 빨라질수록 소자내의 전자운동을 정확하게 알아낼 수 있는 일반적인 방법으로써 강력한 수단이 될 것이다.

2. Momentum과 Energy Balance 방정식에 의한 방법

앞 절에서는 전자가 충돌원과 충돌원 사이의 자유운동과 충돌원에 의해 충돌되었을 때의 momentum의 변화를 Monte Carlo 방법에 의해 추적할 수 있음을 보았다. 종래의 이동도의 가정을 사용하지 않고 반도체 소자를 시뮬레이션하는 또 한가지 방법으로는 Blotekjaer^[24]에 의해 발표된 바와 같이 Boltzmann의 운동방정식의 처음 세개의 평균, 즉 캐리어 농도, momentum과 에너지의 평균을 취한 방정식을 푸는 방법을 들 수 있다. 다시 말해서 Boltzmann의 방정식은



(a) Central Valley 전자의 분포도



(b) Upper Valley 전자의 분포도



(c) Monte Carlo 방법에 의한 전자의 분포도



(d) 이동도이론에 의한 전자의 분포도

그림 9. GaAs MESFET

$$\frac{df}{dt} = -\frac{\bar{p}}{m} \cdot \frac{\partial f}{\partial r} - \bar{f} \cdot \frac{\partial f}{\partial p} + \frac{\partial f}{\partial t} \Big|_{\text{coll}} \quad (30)$$

로 표시할 수가 있는데, 이는 전자의 상태함수 (혹은 분포함수)의 연속방정식을 표시하고 있다. 이 방정식에 임의의 함수를 곱하여 momentum 공간에 대하여 적분하면 각 항이 공간(x)적으로 물리적 평균 의미를 가지게 되는데, 이 임의의 함수를 $n, \bar{p}, p^2/2m$ 로 두면 각각에 대해 일차원적으로 다음과 같은 방정식을 구할 수가 있다.

$$\frac{\partial n}{\partial t} = -\frac{\partial}{\partial x}(nV) + G \quad (31)$$

$$\frac{\partial V}{\partial t} = -V\frac{\partial V}{\partial x} + \frac{eE}{m} - \frac{2}{3mn} \frac{\partial}{\partial x} \left\{ n \left(W - \frac{1}{2} mV^2 \right) \right\} - \frac{V}{\tau_v} \quad (32)$$

$$\frac{\partial W}{\partial t} = -V\frac{\partial W}{\partial x} + eEV - \frac{2}{3n} \frac{\partial}{\partial x} \left\{ n^v \left(W - \frac{1}{2} mV^2 \right) \right\} - \frac{W - W_0}{\tau_w} \quad (33)$$

여기서 n 은 전자농도, V 는 평균속도, W 는 평균 에너지이고, τ_v 와 τ_w 는 momentum과 에너지의 relaxation 시간이다. 이 방정식을 0.5 μm 실리콘 IMPATT 다이오드의 시뮬레이션에 적용된 논문이 R. K. froelich 등에 의해 발표되었는데 종래의 이동도 이론에 의한 시뮬레이션보다 10% 이상의 주파수 특성을 예측하고 있음을 보여주었다.

여기서 잠시 steady 상태 ($\partial/\partial t = 0$)에서 식(31)을 살펴보면 전자의 평균속도 V 는

$$V = \frac{e\tau_v E}{m} - \tau_v V \frac{\partial V}{\partial x} - \tau_v \frac{2}{3mn} \frac{\partial}{\partial x} \left\{ n \left(W - \frac{1}{2} mV^2 \right) \right\}$$

가 되며, 종래의 이동도 이론은 뒷식의 우변의 둘째 및 셋째항은 무시한 것이 됨을 알 수 있다. 즉, 여기서 x 점의 전자의 속도는 그 점에서의 전계 뿐만이 아니라 공간적으로 속도의 기울기(즉 전계의 기울기)에도 영향을 받게된다는 것이다.

이 방법은 비교적 수치 해석적으로 접근이 용이하고 이론적으로 해석이 간단하여 일차원적 소자의 해석에 많이 적용되어 왔는데 R. Cook 등에 의해 n^+n^+ 다이오드⁽²⁸⁾와 실리콘 bipolar 소자의 베이스에서의 전자의 운동을 시뮬레이션하는데 사용되었다.

식(31)에서 (33)까지를 Poisson 방정식과 같이 수치해석적으로 2차원(혹은 3차원) 공간에서 해석하려면 Gummel의 알고리즘과 같은 효율적인 방법이 나와야 한다고 생각되는데 이에 대한 방법이 아직 정립되어 있지 않은 상태이다. 따라서 momentum과 에너지의 연속 방정식까지를 포함한 2차원적 시뮬레이션 패키지의

완성은 대단히 중요한 이슈라고 생각한다.

3. 얇은 전하층에서의 양자화

고체 내에서의 전자의 에너지 준위는 격자간의 전위 분포에 의해서 에너지 band를 형성하고 있음은 잘 알려진 이론이다. 그런데 실리콘 MOSFET과 같이 캐리어의 이동이 그림10과 같이 반도체 표면에 근접해서 있게되는 경우(inversion layer)는 이 캐리어 자체가 n형일 때 conduction band에서 양자화 된다. 이는 일반적으로 입자가 좁은 전위 well 안에 들어 있을 때 에너지 준위가 양자화 됨과 같은 이유이다. 그러나 캐리어가 y방향으로만 양자화 되고 x축으로는 그렇지 않기 때문에 이를 2차원적 양자화라고 한다, 실리콘 MOSFET에서의 반전층(inversion layer) 내에서의 양자화는 IBM의 Stern⁽²⁹⁾ 등에 의해서 모델이 제안되었는데, 이에 의해 반전층에서의 2차원적 이동도의 성질이 밝혀졌다.

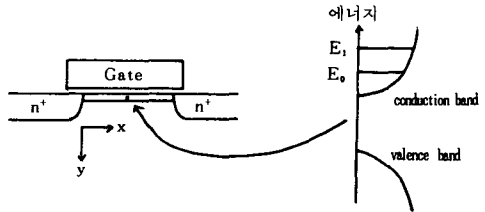
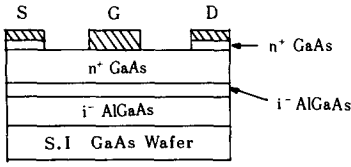


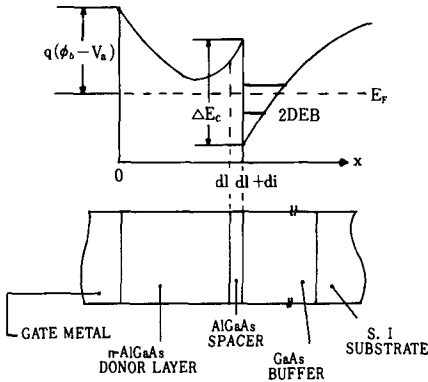
그림10. n형 MOSFET에서의 전자의 양자화

요즈음 MBE와 같은 방법으로 반도체의 도우핑 및 격자상태를 급격히 변화시킬 수 있는 기술들이 개발됨으로써 안정된 hetero 접합을 가진 소자가 출현하게 되었는데, 그림11과 같은 MODFET(modulation doped FET)의 형태가 한 예이다. 여기서는 n형의 AlGaAs 층에서의 전자가 AlGaAs와 GaAs의 금지대 차이에 의해 형성되는 전위 well 내에서 모이게 되고, 전자의 이동은 이 얇은 intrinsic AlGaAs 층을 통해서 이루어지게 된다. 따라서 그림에서 보는 바와 같이 이 전위 well 내에서 양자화 되는데 이에 대한 연구가 B. Vinter⁽²⁷⁾ 등에 의해 행하여졌다.

여기서 중요한 것은 전자의 운동이 momentum 공간(k-공간)에서 2차원적으로만 일어나고 3차원적(y방향)으로는 에너지 state간의 천이를 제외하고는 존재하지 않기 때문에 격자등과의 충돌 확률이 3차원의 경우와는 판이하게 달라진다. 따라서 2차원 k공간에서의 전자의 충돌에 대한 모델링이 되지 않고서는 이러



(a) MODFET의 구조



(b) MODFET의 Energy Band

그림11. MODFET의 구조와 Energy Band

한 소자의 정확한 시뮬레이션은 어려울 것이다. 그러므로 이러한 얇은 층 내에서의 전자의 운동을 이용하는 소자의 미시적 시뮬레이션을 위해서 2차원 공간내에서의 이동도 이론이 좀 더 연구되어야 할 과제이다.

V. 결 론

앞에서 본 바와 같이 종래의 Drift-Diffusion 방정식에 기초를 둔 이론은 그 수치 해석적 알고리즘이 비교적 잘 이해되고 있다. 또한 steady state에서 MOS-FET, bipolar 소자, GaAs 소자의 최적화에 널리 쓰이고 있으며, 공정 시뮬레이션에 의해서 doping profile 만 주어진다면 소자의 최적화 설계는 어려운 일이 아니다.

그러나 소자의 채널길이가 1 μ m이하로 내려감에 따라 종래의 물리적 모델, 즉 이동도의 이론이 흔들리게 되었고, 이에 대한 해결 방법으로 Monte Carlo 방법과 energy balance 방정식의 방법이 소개되었다. Monte Carlo에 의한 방법은 Mogslestue 등에 의해 최근일반적 소자 시뮬레이션 패키지로 소개되고 있으나,energy balance에 의한 방법은 그 수치 해석적 알고리즘이 정립되고 있지 않은 단계이다. 또한 앞에서는 언급하지 않았지만 기판 모델링은 날이 갈수록 중요성이 더해지

고 있다. 이는 소자가 작아지면서 소자내의 전계가 커지게 됨으로써 고온 전자와 정공에 의해 발생하는 기판 전류에 의해서 기판의 전위가 불안정하게 될 확률이 커지게 되기 때문이다. 이 이외에도 집적도가 커지고 회로의 속도가 증가함에 따라 칩의 전력이 커지며, 이에 따른 기판의 열적 불균일의 모델링도 개척되어야 할 분야이다.

參 考 文 獻

- [1] H.H. Heimeir, IEEE Trans. Electron. Devices, ED-20, p. 708, Aug. 1973.
- [2] O. Manck, et al., IEEE Trans. Electron. Devices, ED-21, p. 403, July 1974.
- [3] A. Yoshi, et al., IEEE Trans. Electron. Devices, ED-29, p.184, Feb. 1982.
- [4] F.Y. Chang, et al, IBM J. of Res. Develop., vol.29, no. 3, p.218, May, 1985.
- [5] M.B. Barron, Technical Rep., No 5501-1, Stanford Elect. Lab., Stanford, Nov. 1969.
- [6] D. Vandorpe and J. Borel, Solid State Electronics, vol. 15, p. 547, 1972.
- [7] M. S. Mock, Solid State Electronics, vol. 116, p.601, 1973.
- [8] G.D. Hatchel, et al, ISSCC Conf. Digest, Philadelphia, p.110, 1974.
- [9] P.E. Cottrell and E.M. Butula, IEDM. Tech. Diest, p.51, Dec. 1975.
- [10] T. Toyabe, et al., IEEE Trans. Electron. Devices, ED-25, p. 825, July 1978.
- [11] J.A. Greenfield, et al., Technical Rep. No. G201-7, Stanford Elect. Lab., Stanford, 1980.
- [12] S. Selberherr, et al., MINIMOS User's Manual, Univ. of Vienna, 1979.
- [13] M.S. Mock, Solid State Electronics, vol. 24, p. 959, 1981.
- [14] M.R. Pinto, et al., IEDM Tech. Digest, p. 288, Dec. 1984.
- [15] D.M. Caughey and R.E. Thomas, Proc. IEEE, vol.55, p. 49, 1980.
- [16] K. Yamaguchi, IEEE Trans. Electron. Devices, ED-26, p. 1068, 1979.
- [17] H.K. Gummel, IEEE Trans. Electron. Devices, ED-11, p. 455, 1964.
- [18] E. M. Buturla and P.E. Cotrell, Solid State Electronics, vol. 23, p. 331, 1980.

- [19] M.R. Pinto, et al., PISCES-II User's Manual, 1984.
- [20] Fawcett, et al., Phys. Chem. Solids, vol. 31, p. 1963, 1970
- [21] Hockney, et al., Elect. Lett., vol. 10, no. 23, p. —, 1974.
- [22] G. Baccarani, et al., Solid State Electron., vol. 20, p. 5, 1977.
- [23] Y.J. Park, et al., IEEE Electron Devices, vol. ED-31, p. 1924, 1984.
- [24] K. Blotkjaer, et al., IEEE Electron Devices, vol. ED-17, p. 38, 1980.
- [25] R.K. Cook, et al., IEEE Electron Devices, vol. ED-28, p. 951, 1981.
- [26] F. Stern, et al., Phys. Rev., vol. 163, p. 816, 1967.
- [27] B. Vinter, et al., Appl. Phys. Lett., vol. 44, p. —, 1984. *

♣ 用 語 解 說 ♣

바이폴라(Bipolar)

반도체 집적 회로에서 그 구성 소자인 트랜지스터나 다이오드의 작용에 의해 전자 또는 정공의 2 종류의 캐리어를 필요로 하는 것을 바이폴라형 집적회로라 하며, 이것을 약해 바이폴라라 한다

개별 부품

부품의 일종으로서 트랜지스터, 다이오드, 저항, 커패시터 등과 같이 단독으로 회로의 구성 부분이 될 수 있는 고유의 형태 및 기능을 가진 것을 말한다. 집적 회로와 대비되는 용어이다

게이트(Gate)

각각 1 개의 입력 단자, 출력 단자 그리고 제어 단자를 가지며 제어 단자가 어떤 특정의 조건을 만족하는 경우에만 입력 신호가 원래의 형태로 출력단자에 나타나는 회로를 말한다. 게이트 회로에는 다이오드를 이용한 회로 이외에 트랜지스터를 이용한 회로, 전계 효과 트랜지스터를 이용한 회로등이 있다

격자결함(Lattice Defect)

결정내의 원자는 이상적인 상태에서는 규칙적으로 배열된 위치(격자점이라고 함)에 존재하지만 실제의 결정에서는 외부로부터의 열에너지 등에 의해 격자점에서 원자가 튀어 나가 격자점에 원자가 없는 구멍이 생기는 경우가 많다. 이것을 격자 결함이라고 하며, 반도체에서는 전기 전도의 성질에 큰 영향을 준다

Dump(덤프)

어떤 기억장치 전체 또는 일부의 내용을 복사하는 것

DBMS(데이터 베이스 관리 시스템)

Data Base Management System

PABX(자동식 구내 교환기)

Private Automatic Branch Exchange

초전도 기억소자(Superconductive Memory Device)

금속의 초전도 상태에서의 성질을 이용하여 2 진수 정보를 기억하는 소자의 총칭. 현재는 주로 조셉슨 소자가 사용된다. 초전도 루프의 일부에 그것을 on-off 하는 초전도 스위치를 삽입한 것으로 정보는 루프의 순회 전류의 방향 또는 유무로 축적한다. 조셉슨 소자에 의한 기억 소자는 고속, 저전력이며 다음 세대의 컴퓨터용 소자로 기대되고 있다