

고성능 컴퓨터 기술

金 聖 天

(正 會 員)

西江大學校 電算學科 教授

I. 서 론

불과 10여년 사이에 대용량의 메인 프레임(mainframe)에서나 기대할 수 있었던 처리 능력이 데스크 탑(desktop) 형태의 퍼스날 컴퓨터 또는 (수퍼)마이크로 컴퓨터에서도 쉽게 얻어질 만큼 컴퓨터의 성능은 해가 다르게 급속도로 발전해 나가고 있다. 최근에 개발된 모토롤라의 M68020 (30), 인텔의 80386 등의 32-bit 마이크로 프로세서를 탑재한 이들 시스템들은 최대 20 또는 30MHz로 동작되어 약 10여 MIPS (million instructions per second : 초당 1,000만회의 연산)까지 성능을 발휘하며 또한 주기억 장치 및 보조기억 장치의 용량도 대형화됨으로써 전체적으로 소형화되고 값도 저렴한 시스템을 구성하여 소위 퍼스날 메인프레임(personal mainframe)이라 불려질 정도이다. 일례로 미국의 Opus 시스템사는 최근 페어차일드(Fairchild)사의 32-bit clipper 마이크로 프로세서를 사용한 Series 300 퍼스날 메인프레임을 개발하였는데 4~16Mbytes의 주기억용량을 갖고며 최고 5 MIPS까지 처리할 수 있는 성능을 보유하는 약 3,000여 볼의 시스템으로 되어 있다.¹⁾ 이처럼 컴퓨터의 기술은 고도화 되어 현재의 메인 프레임은 그 연산 속도가 무려 초당 일백억회 이상이 가능한 수퍼 컴퓨터(super computer)의 단계로 성능이 극대화 되고 있다. 즉 고성능의 컴퓨터 기술이 일반화 되어 흔히 일컬어지는 인공지능(artificial intelligence : AI)의 역할을 수행하는 생각하는(?) 컴퓨터가 출현될 수 있는 새로운 컴퓨터의 세대로 접어들고 있다. 이는 현대 문명의 전자기술의 발달로 인한 초고속 반도체 회로 및 병렬처리(parallel processing)의 컴퓨터 구조에 기인한다 하겠다.

본 고에서는 이러한 고성능 컴퓨터의 구조적인 면에서의 기술에 대하여 고찰하기로 한다.

II. 컴퓨터의 발달

1946년 최초의 컴퓨터인 ENIAC(electronic numerical integrator and computer)이 만들어진 이래 지금까지 컴퓨터는 하드웨어 구조와 소프트웨어 처리 기술면에서 그야말로 괄목할 만한 성장을 보여 왔다. 표 1은 이의 발달과정을 특징에 따른 세대로 구분하여 표시하고 있다.²⁻⁴⁾

처음의 제 1 세대에는 진공관을 사용하여 저장 프로그램 방식을 갖춘 von Neumann 구조를 따르고 있다.⁴⁾ 즉, 저장된 프로그램에 따라 연산이 순차적으로 수행이 되는 단일 프로세서(uniprocessor)를 사용하는 구조를 갖는 현재의 범용 컴퓨터에서도 계속 적용되는 기본 구조이기도 하다(그림 1).

이후 제 3 세대까지는 하드웨어의 기술이 반도체의 출현으로 인한 집적회로(integrated circuit : IC)로 이루어짐에 따라 값싸고 빠른 구조를 갖게 되었으며 또한 소프트웨어의 기술향상으로 인하여 가상(virtual) 메모리 운영시스템 및 멀티프로그래밍(multiprogramming) 시스템이 일반화 되었다. 제 4 세대에서는 초집적회로(very large scale integration : VLSI)의 제조에 따

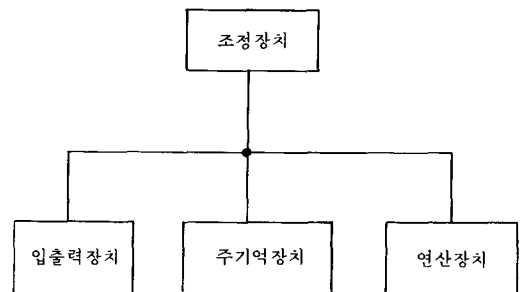


그림 1. Von Neumann 구조

표 1. 컴퓨터의 발달

| 세 대 | 제 1 세 대 | 제 2 세 대 | 제 3 세 대 | 제 4 세 대 | 제 5 세 대 |
|------------|------------------------------------|---|---|--|--|
| 년 도 | 1946~1956 | 1957~1963 | 1964~1975 | 1976~1989 | 1990~ |
| 대 표 적 시 스템 | ENIAC EDVAC IBM 650 | TRADIC IBM 1620 | CDC 7600 IBM 360 | Illiack-IV CRAY 1, 2 Cyber 205 | CRAY 3 ETA-10, 30 FAIM-1 |
| 하드웨어 특 징 | 진공관 회로 자기드럼 메모리 부동 소숫점 연산 회로 | 트랜지스터 회로 자기 Core메모리 Disk 장치 유동 소숫점 연산 회로 | 집적회로 반도체소자 메모리 마이크로 프로그래밍 조정장치 | 초집적회로 Cache 메모리 파이프라이닝 병렬 프로세서 광 Disk 장치 | GaAs 및 광소자 병렬 구조 두뇌구조 RISC 구조 Data flow 구조 |
| 소프트웨어 특 징 | 저장프로그램 목적어 코드 초급 언어 | Batch 프로세싱 고급언어 | Time Sharing 가상 메모리 시스템 Multi 프로그래밍 | Vector 프로세싱 자연언어 | Symbolic 프로세싱 인공지능 |

른 혁신적인 전자기술의 발달로 종래에는 개념만으로만 설명되었던 병렬처리가 실제로 실현되는 새로운 국면의 컴퓨터 구조를 갖는 시대로 접어들게 되었다.

곧 기술향상에 따른 하드웨어의 값이 현실화되어 단일 프로세서가 아닌 병렬프로세서(parallel processors) 또는 다중프로세서(multiple processors)를 채택하는 병렬처리가 가능하게 된 것이다. 따라서 초고속의 연산을 수행하는 슈퍼컴퓨터의 출현을 보게 된다. 이는 다변화하는 현대 문명에서 요구하는 여러 분야에 충족되기 위한 필연적인 것으로써 기존의 SISD(single instruction stream single data stream) 구조와는 다른 SIMD(single instruction stream - multiple data stream) 또는 MIMD(multiple instruction stream - multiple data stream)의 구조를 갖는 것이 특징이다.¹⁾

미래의 컴퓨터 시대 즉, 제 5 세대는 전기한 인공지능을 추구하는 symbolic 프로세싱을 주요 목표로 하여 하드웨어적으로는 매우 빠르며 간단한 구조를 갖는 수많은 'cell'로 구성되는 두뇌 구조(brain-like architecture)의 형태로서 connectionist 구조를 갖는다.^{2),3)} 물론 초고속의 numerical 처리를 위한 초고속 연산 구조를 갖는 제 4 세대의 연장인 고성능의 슈퍼컴퓨터의 개발도 포함이 된다.

III. 초집적 회로

컴퓨터는 기본적으로 연산 및 기억 소자내의 전달속도(propagation delay)가 얼마나 빨리 이루어지는가에 따라 성능이 결정된다.

다시 말하면 가장 빠른 논리회로로 구성된 컴퓨터에서의 연산속도 역시 가장 빠르기 때문에 논리회로를

만들어 내는 반도체 기술이 곧 컴퓨터의 성능을 좌우하는 주요한 요인으로 대두된다. 최근 수년간의 반도체 기술은 혁신적인 발달을 거듭하여 갈륨비소(gallium arsenide : GaAs)를 사용한 논리소자인 경우 적어도 200ps(pico second : 10⁻¹²s) 이하로 전달속도를 빠르게 실현할 수가 있다.¹⁰⁾ 현재의 반도체 기술하에서의 이론은 집적회로 내에서의 최소 가능한 선폭(line width)이 0.25 마이크로 메타($\mu\text{m} : 10^{-6}\text{m}$)로 알려져 있다.¹¹⁾

다시 말하면 약 1억개의 소자까지 한 chip에 넣을 수가 있으며 이때 가능한 논리회로의 수행 속도는 약 10ps까지 이르어 초당 최대 1,000억개의 명령어(100 giga instructions per second : 10⁸ MIPS)를 수행할 수가 있다.¹¹⁾ 최근 실현된 최고의 집적기술은 일본의 NTT(전신전화주식회사)의 16M DRAM의 개발로서 총 3 천 5 백만개의 트랜지스터의 소자를 내장하고 있으며 선폭은 0.7 μm 까지 접근하고 있다.^{12),13)}

참고로 1970년대부터의 대량 생산 기술을 정리하면 표 2 와 같다.¹⁴⁾ 불과 10여년 사이에 집적도가 250배가 향상되었음을 알 수 있다. 향후 집적도 및 전달속도가 더욱 증가되리라 기대되어 진다. 그러나 현재의 반도체 기술수준을 대체할 매우 혁신적인 가공할 만한 기술이 개발되지 않는 한 전기한 이론상의 물리적 한계는 극복하기가 어려울 것이다.

IV. 슈퍼 컴퓨터

그렇다면 이러한 현 수준의 기술 한계를 넘는 연산속도를 필요로 하는 분야가 있다면 어떻게 하여야 할 것인가? 일례로 미국방성 프로젝트인 U. S. Strategic Computing 프로젝트는 1T-Flops(1 tetra floating point

표 2. 반도체 기술(대량생산)

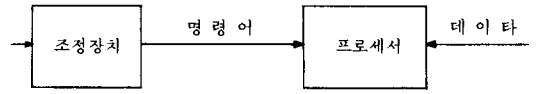
| 년 도 | DRAM 용량 | 선 폭 |
|------|---------|-----------------|
| 1974 | 4KB | 8 μ m |
| 1977 | 16KB | 5 μ m |
| 1980 | 64KB | 3 μ m |
| 1983 | 256KB | 1.3~2.5 μ m |
| 1986 | 1MB | 0.5~1.0 μ m |

operations per second : 10^5 M Flops)까지의 연산속도를 필요로 하고 있다.¹¹⁵⁾ 따라서 주어진 현 전자기술 수준하에서는 요구되는 연산속도를 충족시키기 위하여는 단 한가지의 방법인 병렬처리 방법이 적용되어야 한다. 즉 주어진 일을 SISD 구조에서 순차적으로 수행하는데 반해 이 방법은 여러 복수개의 중앙처리장치를 갖는 SIMD 또는 MIMD의 구조에서 동시에 처리하도록 하는 것이다(그림2). 지금까지 미국에서는 약 60여개의 제조업체들이 이러한 구조의 병렬프로세서 시스템을 제작하여 세계적으로 약 200여대 설치한 것으로 알려져 있으며 오는 90년대초까지는 약 1천여대를 넘을 것으로 예상하고 있다.^{116,17)}

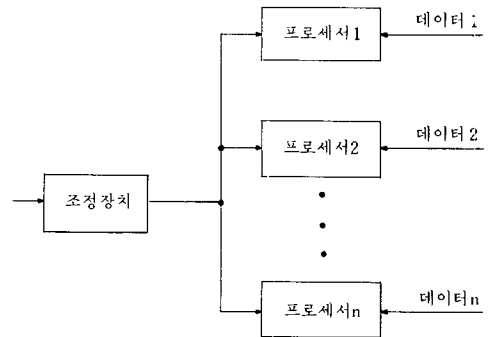
대표적인 100만불 이상의 대규모 상용 슈퍼컴퓨터를 나열하면 표3 과 같다.¹¹⁸⁾ 이들 상용 슈퍼컴퓨터는 구조적인 면에서 크게 셋으로 구분되어 대별되는데 초기의 슈퍼컴퓨터는 세 1세대라 하여 스칼라(scalar)의 파이프 라인만을 내장하고 있는 반면에 소위 2세대의 슈퍼컴퓨터는 벡터(vector) 파이프라인이 추가로 사용되어 연산속도가 더욱 증가한다. 제3세대의 슈퍼컴퓨터라 볼 수 있는 이후의 슈퍼컴퓨터는 스칼라 및 벡터 파이프라인은 물론 다중의 프로세서를 사용하여 연산속도를 극대화하고 있다(그림3).

이중 Control Data Corp.(CDC)는 1973년 Star 시스템을 제작하여 Cyber-205 시스템으로 향상시켰으며 슈퍼컴퓨터의 대명사로 불려지는 CRAY Research 회사는 CRAY-1 시스템을 1976년에 개발한 후 1983년에 다중프로세서인 CRAY X-MP/1을, 1984년에는 CRAY X-MP/2를, 그리고 1985년에는 CRAY 2를 발표하여 그 연산속도가 2G Flops에 상당한다. 약 1,000여만불의 고가 시스템이다.¹¹¹⁾

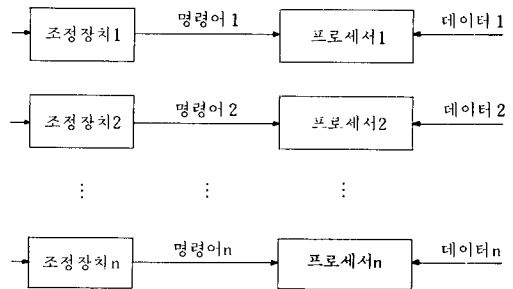
1988년에는 16 GFlops의 CRAY 3 시스템을 발표할 예정이다. 현재 약 150여대의 시스템이 전 세계에 설치되어 대부분의 슈퍼컴퓨터의 시장을 주도하고 있다.



(a) SISD 구조



(b) SIMD 구조



(c) MIMD 구조

그림 2. Flynn¹⁶⁾의 구분에 따른 병렬프로세서 구조

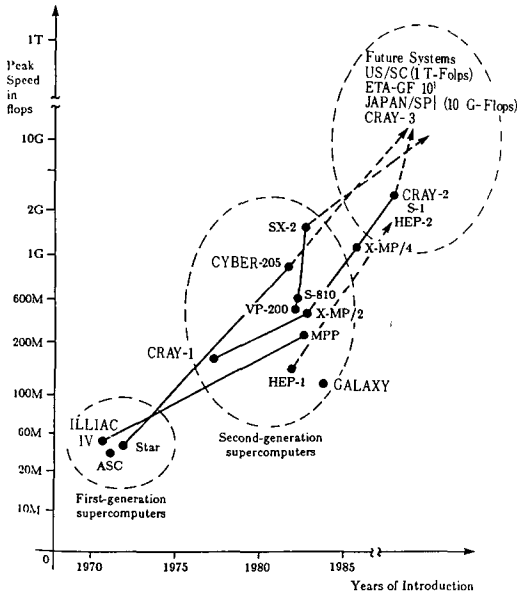
표 3. 대규모의 상용 슈퍼컴퓨터

| 기 종 | Word길이 (Bytes) | Peak연산속도 (Flops) | 주 기억장치 (MB) | 프로세서수 | 제작시기 |
|-----------|----------------|------------------|-------------|------------|------|
| CRAY X-MP | 64 | 700M* | 128 | 1, 2, 4 | 1984 |
| CRAY 2 | " | 2G** | 2,000 | 4 | 1985 |
| CRAY 3 | " | 16G | 16,000 | 16 | 1988 |
| ETA-10 | 32/64 | 10G | 2,048 | 2, 4, 6, 8 | 1987 |
| ETA-30 | " | 30G | ? | ? | 1991 |

*M=Mega(10^6)

**G=Giga(10^9)

ETA-10은 CDC의 자회사인 ETA 회사에서 금년에 제작한 시스템으로 최고 연산속도가 10 GFlops까지 수행되는 총 8개의 Cyber 205 프로세서로 구성된 슈퍼컴퓨터이다.



(원시자료 : 참고문헌 (15))

그림 3. 슈퍼컴퓨터의 연산속도 및 제작연도

1991년까지 ETA-30 시스템으로 30 GFlops까지 성능을 보강할 예정에 있다. 이 ETA-10 시스템은 현재로서는 세계에서 가장 빠른 컴퓨터로 인정되어 미국 플로리다 주립대에 설치되어 있다. 발생되는 열을 처리하기 위해 섭씨영하 1백 95도의 액화 질소 탱크에 담가놓고 있다.¹¹⁷⁾ 또한 US/SC 시스템은 DARPA(defense advanced research project agency)가 개발하고 있는 시스템으로 U. S. Strategic Computing Project의 부산물이다. 연산속도가 1 TFlops에 달하는 초고성능 슈퍼컴퓨터로서 1990년대에 가서 개발될 것으로 기대되고 있다.

V. 병렬성

초기의 컴퓨터는 주로 number crunching이라 불리는 기본 데이터를 처리하는 자료처리(data processing)를 위하여 사용되어 왔다. 이는 현재까지도 적용하고 있는 가장 근본적인 처리단계이다.

현재의 대부분의 컴퓨터는 주어진 자료를 영역별로 특성 분류하여 관련된 자료끼리 모아 구조적인 모델로 활용하는 정보처리(information processing)에 이용되고 있다. 즉 처리 단위가 원시자료가 아닌 정보단위로 수행된다. 이들의 두 처리단계는 기존의 SISD 구조의 컴퓨터로서 처리가 용이하나 차세대의 컴퓨터는 지식처리(knowledge processing) 및 지능처리(intelligence processing)를 그 기본으로 하기 때문에 병렬처리를

위한 궁극적인 MIMD 구조를 필요로 하게 된다.^(2, 11, 15)

일반적으로 지식 및 지능처리는 non-numeric의 symbol 처리에 의존하기 때문에 방대한 자료를 갖는 데이터 베이스에서 수 많은 반복처리의 대규모 연산을 주어진 시간내에 수행해야 하는 원천적인 병렬성(parallelism)을 갖는 컴퓨터의 구조가 요구되고 있다. 따라서 수백 또는 수천 M Flops의 연산속도의 고성능 대규모 병렬프로세서인 슈퍼컴퓨터 사용이 필수적이라 하겠다. 현재 우리는 복잡한 일상 문화생활에서 요구되는 여러가지의 필연적인 서서비스를 제공받고 있다.

예를 들면 일기예보 등의 예측에 관련된 분야, 인체의 다층 X-ray 촬영 등의 의료진단 분야, 대공방어망 구축 및 정보 분석을 위한 군사 관련 분야, 그리고 원자구조 및 유체역학 등의 기초 과학 분야, 또한 CAD/CAM의 디자인 모델링 분야 및 자원분포 분석과 탐사를 위한 지구물리 분야 등의 여러 분야에 밀접한 관계를 갖고 있다(표4).

표 4. 슈퍼컴퓨터를 활용하는 주요 응용분야

| 목 적 | 응 용 분 야 |
|------------------|---|
| 예 측 | <ul style="list-style-type: none"> • 일기예보 • 해양 및 기상변화 • 각종 사회 통계 |
| 디자인 및 자동화 | <ul style="list-style-type: none"> • 무한 요소의 구조분석 • 기류 분석 • 인공지능 및 전문가 시스템 • CAD/CAM/CAI/OA • 원격 조정 시스템 응용 |
| 에너지 탐사 | <ul style="list-style-type: none"> • 지진 분석 • 석유자원 탐사 • 원자로 안전관리 • 플라즈마 에너지 연구 |
| 의학, 군사 및 기초 과학연구 | <ul style="list-style-type: none"> • 인체 자동 다층 촬영 • 유전공학 • 대공 방어망 구축 • 무기설계 및 사용분석 • 양자 역학 • 분자구조학 • VLSI 설계 분석 |

(부분자료 : 참고문헌 (18))

모두 고도의 병렬성을 갖는 슈퍼컴퓨터를 사용하여 신뢰성 있는 정보를 제공함으로써 인류의 문명에 이바지하고 있음은 자명한 사실이다.

보통 병렬성은 두가지 측면에서 고려되어 질 수 있다. 즉 응용 활용면에서의 병렬성과 구조적인 면에서

표 5. AI Machines

| 기 종 | 제작 및 개발처 | 제작년도 | 처 리 계 층 | 구 조 적 특 징 |
|-----------------------|-----------------------|------|------------------------|------------------------------|
| PIM | ICOT, 일본 | 제작중 | 지식 (Prolog) | Loosely coupled |
| DFM | NTT, 일본 | 1986 | 지식 (functional 프로그래밍) | Data flow |
| NON-VON (4th version) | Columbia 대학 | 제작중 | 지식 (범용 AI) | Mesh Connected |
| Connection Machine | Thinking Maching Inc. | 1986 | 지식 (Sementic Net.) | 65,536 Processors Hyper cube |
| DADO 2 | Columbia 대학 | 1986 | 지식 (언어인식) | 1,023 Processors Binary tree |
| iAPX 432 | Intel Corp. | 1981 | 지식 (데이터 Encapsulation) | 공유버스, RISC |
| FAIM-1 | Fairchild | 제작중 | 지식 (logic 프로그램) | Mesh Topology |
| Butterfly | BNN Inc. | 1985 | 지능 (컴퓨터비전) | 256 Processors |
| Warp | CMU 대학 | 1986 | 지능 (영상처리) | Systolic Array |

의 병렬성이다. 응용 활용면에서의 병렬성은 numerical 처리와 symbolic 처리로 구분되는데 통상 초고속의 과학 연산을 위한 슈퍼컴퓨터는 기본적으로 numerical 처리에서의 병렬성을 제공하여 흔히 고효율의 대규모 병렬 프로세서 시스템으로 구성되어 있다(표3). 반면 symbolic 처리는 AI oriented의 non deterministic 처리를 위한 AND 및 OR 병렬성을 위한 다중 프로세서 시스템의 구조를 갖는다.⁸⁾ 물론 모두 병렬처리 및 분산처리를 필요로 하는 지식과 지능처리의 구조를 동반한다. 대표적인 AI 시스템이 표 5에 열거되어 있다. 대부분이 100만불 이하의 시스템으로서 symbolic 처리를 위한 구조적인 특성을 갖고 있다.

특히 Thinking Machine사의 Connection Machines은 14~16 차원의 hypercube로 연결된 총 65,536 개의 one-bit 프로세서로 구성되어 최고 7,000 MIPS의 연산속도를 갖는 300만분의 시스템이다.¹⁶⁾ 각각의 프로세서는 마치 인간의 두뇌 세포에 비교한다는 개념으로 4 K bits의 메모리를 갖고 있으며 전체의 메모리는 약 30ms만에 sort가 되는 numeric 및 symbolic 처리를 모두 할 수 있는 슈퍼컴퓨터이다.^{14,18)}

또 하나의 구조적인 면에서의 병렬성은 수행기능상의 병렬성이 아닌 시스템 자체가 부여하는 하드웨어의 병렬성으로 검토된다. 하나의 중앙처리 장치 내에 복수개의 연산장치를 두어 병렬성을 얻는 임시 병렬성(temporal parallelism)과 여러 개의 프로세서가 동기(synchronized)되어 연산되는 공간 병렬성(spatial parallelism), 그리고 궁극적 병렬성을 부여하여 독립적인 제어를 갖는 다중 프로세서의 비동기 병렬성(asynchronous parallelism)으로 구분된다. 이들의 구조적인 특성을 살펴보면 다음과 같다.

VI. 병렬구조

1. 파이프라인 (pipeline) 프로세서

파이프라인 컴퓨터는 하나의 일관된 제어하의 연산 장치내에, 처리과정을 하드웨어적으로 세분화시켜서 병렬성을 얻는 임시 병렬성에 속하는 병렬구조를 갖는다. 세분화된 연산 하드웨어는 서로 순차적으로 연결되어 중간결과가 각각 저장될 수 있는 레지스터를 보유하고 있다(그림4). 따라서 각각의 연산장치는 제작기 바로 전에 수행된 중간결과를 동시에 처리함으로써 연산속도를 높히게 된다. 일례로 하나의 명령어 cycle은 그림 4에서 보듯이 4 개의 단계로 나누어 처리됨으로써 마지막 단계에 중간 결과가 올 때에는 동시에 서로 다른 4 개의 명령어가 수행되는 병렬성을 얻는다. 주로 복잡한 여러 단계의 연산단위를 갖는 floating point(유동소수점)의 연산에 활용되어 여러 자료가 동시 처리되는 벡터 프로세싱이 가능하도록 한다. 하드웨어가 공간적인 병렬구조로 되어 있지 않으면서도 병렬성을 유지하기 때문에 임시 병렬성이라 불리운다.

각각의 연산단계를 효율성 있게 조정하기 위해 여러가지의 기능이 추가되는 것이 일반적이다. 대표적인 파이프라인 컴퓨터로서는 CRAY-1 시스템으로서 12종류의 서로 다른 파이프라인을 갖고 있으며 이를 위한 8 셀의 벡터 레지스터와 또 다른 스칼라 레지스터를 갖는 것이 특징이다. 최대 연산속도는 약 160 MFlops

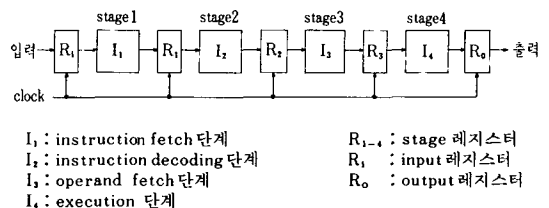


그림 4. 명령어 파이프라인의 기본 구조

로 병렬처리의 시대를 예고한 병렬컴퓨터의 효시라 볼 수 있다.

현재 수 많은 미니(mini) 또는 슈퍼미니(supermini)가 이를 참고 모델로 할 정도로 매우 현실적인 병렬성을 제공한다.¹⁶⁾

그 외의 시스템으로는 그림 3의 슈퍼컴퓨터들이 있다. 보편적으로 슈퍼컴퓨터에서는 기초적으로 사용되는 구조이기도 하다.

2. 배열(array) 프로세서

이 구조는 프로세서와 이의 전용메모리를 갖춘 연산 처리 장치인 복수개의 PE(processing elements)를 공간적으로 병렬 배치하여 하나의 조정장치하의 동기조정에 의한 병렬성을 갖는 SIMD 방식의 병렬 프로세서이다. 파이프라인 프로세서와는 달리 더 명확한 병렬 구조를 갖기 때문에 이를 공간 병렬성의 병렬프로세서라 일컫는다. 그림 5는 이 구조의 일반형태를 보여주고 있다. 특히 프로세서간의 데이터 전송을 위해서 상호연결 네트워크가 필수적이다.

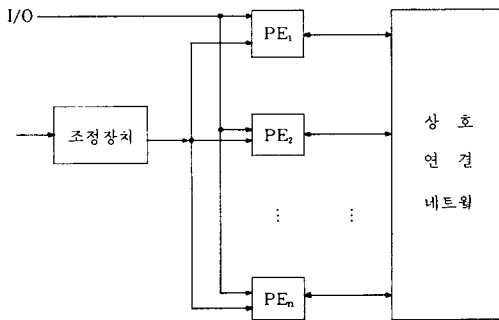


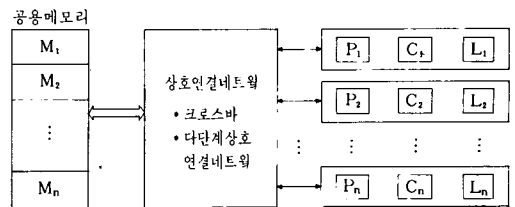
그림 5. SIMD 형태의 배열프로세서 시스템

이는 시스템 전체의 성능을 좌우하는 매우 중요한 부분의 하나이기도 하다. 상호연결 네트워크는 여러 형태로 디자인 될 수가 있다. 예로써 메쉬(mesh) 네트워크, 크로스바(cross bar) 네트워크, 그리고 다단계 상호연결 네트워크 등이 존재한다.¹²⁾ 어느 네트워크를 채택해야 하는지는 시스템이 요구하는 여러 요인 즉, 스위칭방법, 네트워크의 위상(topology), 그리고 조정방법 등에 좌우된다. 배열프로세서의 시스템에서는 각각의 PE가 주어진 서로 다른 데이터로 동시 연산을 하기 때문에 진정한 의미에서의 병렬성을 제공한다고 볼 수 있다. 물론 조정장치에서 분산된 동일한 명령어를 동시 수행하므로 궁극적인 병렬처리라고는 볼 수 없다. 서

로 다른 명령어의 동시처리가 아니기 때문이다. 대표적인 시스템으로는 버로스(Burroughs)사에서 1972년에 제작한 Illiac-IV 시스템으로 64개의 PE의 메쉬네트워크를 채택하였으며, 미항공우주국의 Goddard 센터에서 사용된 위성사진 분석용 컴퓨터인 MPP(massively parallel processor)로 총 16,384 PE의 1983년에 Good-year Aerospace사에서 제작한 시스템을 들 수 있다. 특히 MPP는 최고 연산 속도가 200 MFlops로서 역시 메쉬 네트워크를 갖추었으며 기존 Illiac-IV의 upgrade 형태라 볼 수 있다. 일반적으로 배열 프로세서의 병렬성은 파이프라인 프로세서와는 달리, 공간병렬 형태로 인한 프로세서의 독립성 때문에 프로그램 작성이 매우 복잡하고 어려운 것으로 알려져 있다.

3. 다중 프로세서

기본적인 개념은 하나의 일을 서로 다른 독립제어의 복수개의 프로세서가 처리함으로써 궁극적인 병렬성을 갖는 구조를 얻는데 있다. 즉 완전 독립적인 분산처리 시스템으로 프로세서 상호간의 데이터 전송이 자유자재로 이루어져야 하며 하나의 통일된 운영체제 하에서 제어되어야 한다. 일반적으로 그림 6과 같이 대용량의 공용 메모리(shared memory)를 두어 전용 로컬(local) 메모리를 갖는 여러 프로세서가 상호 연결 네트워크를 통하여 연결되어 있다. 배열 프로세서의 구조에서와는 달리 다중 프로세서에서는 공용 메모리를 모든 프로세서가 사용하기 때문에 각각 프로세서와 연결된 상호 연결 네트워크의 구조가 시스템 전체에 미치는 영향이 매우 크다. 이 구조에서는 무엇보다도 운영되는 process의 동기방식이 제일 문제시 된다. 또한 최대의 병렬성을 보기 위한 알고리즘이 최적으로 수행되어야 한다. 스위 시스템의 deadlock 현상을 없애는 데이터 처리 및 전송을 위한 동기방식을 채택하는 것이 주요한 관건이다.



M_i : 메모리모듈 i
 P_i : 프로세서 i
 C_i : 조정장치 i
 L_i : 로컬메모리 i

그림 6. MIMD 형태의 다중 프로세서 시스템

대표적 시스템은 범용처리를 위한 것으로는 IBM의 3081, 3084 시스템과 CDC의 Cyber 170 시스템 등이 있으며 특수 목적을 위한 Denelco사에서 제조한 HEP 시스템(1983년) 등이 있다. HEP는 첫 상용 MIMO 컴퓨터시스템으로 알려진 16개의 프로세서와 128개의 메모리 모듈 및 독자적인 패킷 스위칭 네트워크(packet switching network)를 사용한 슈퍼컴퓨터이다. 전술한 범용컴퓨터는 보통 2 개의 내부 프로세서가 소위 loosely coupled 형태로 구성되어 연산처리 속도가 최대 10여 MIPS이므로 tightly coupled의 일반 슈퍼컴퓨터와는 구별되어 메인프레임 다중 프로세서 시스템이라고 구분지어 분류한다.

CRAY사의 CRAY-3 시스템은 최대 16프로세서의 MIMD 구조로서 프로세서당 1,000 MFlops의 연산 속도를 갖는 초고속 슈퍼컴퓨터이다. (총 연산 속도는 16 GFlops 임). 물론 symbolic 처리를 위한 AND 또는 OR 병렬성을 위한 대부분의 시스템도 MIMD 구조를 갖는 초고속 슈퍼컴퓨터임은 자명한 일이다. 예로써 전술한 hypercube의 상호연결 네트워크로 연결된 connection machine, 그리고 메쉬 네트워크로 구성된 FAIM-1 등이 그 대표적인 시스템이라 하겠다. 궁극적인 병렬성을 위한 MIMD 구조가 다중 프로세서 시스템을 이룬다고 볼 수 있다.

4. Data flow 및 Systolic 시스템

Data flow 시스템은 종래에 수행하여 왔던 control-driven 방식이 아닌 data-driven 방식의 병렬처리 시스템이다. 즉 데이터가 연산장치에 존재하기만 하면 연산이 수행되는 특수 구조를 갖고 있다(그림7). 연산처리 장치 내에 병렬 연산 하드웨어 소자(즉 +, ×, ÷...등 수행소자)를 반복적으로 두어 데이터 토큰이 발생될 때 해당되는 소자가 자동 병렬 수행되어 그 결과가 소자 전용 메모리 블록 B_n에 저장된다. 물론 데이터의 전송은 상호 연결 네트워크를 통하여 이루어진다. 이 구조의 특징은 수 많은 연산소자를 병렬 배치하는 점이 기존의 구조와 다르다.

최초의 실험시스템은 1976년 Utah대학의 DDM(data-driven machine)이며 최근 일본에서 개발된 NTT의 DFM이 제작되어 AI machine으로 활용되고 있다.¹¹⁹⁾ 아직도 초보단계에 있는 새로운 개척분야이다.

이 외에도 systolic array라 불리우는 역시 수 많은 연산소자를 배치하여 기존의 파이프라인 기술을 활용하는 특수구조가 있다. 즉 수백 또는 수천 개의 연산소자를 하나의 chip에 넣어 초고속 연산을 병렬처리하는 시스템이다(그림8). 이는 초집적회로의 기술을 최

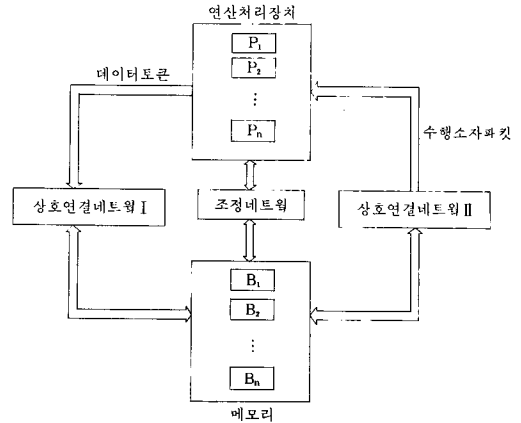


그림 7. Data Flow 구조

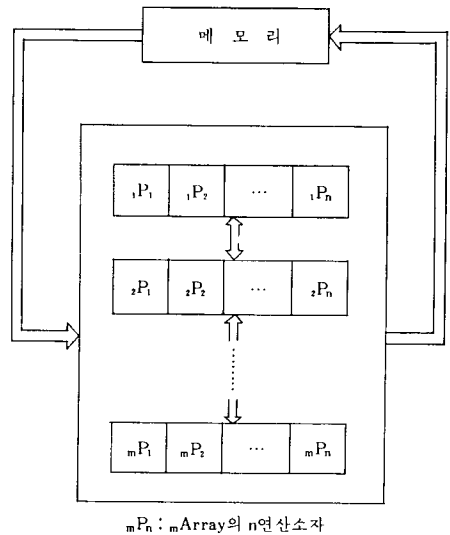


그림 8. Systolic Array

대한 활용함으로써, 경제성이 있으며 동시에 고성능을 갖는 특수 용도를 위한 구조로서 각광을 받는다. 한정된 특수용도의 알고리즘을 하드웨어화 하여서 데이터 처리에 소요되는 'fetching'을 최소화한 다중의 파이프라인 구조를 갖고 있다. 그만큼 하드웨어 의존도가 높다고 하겠다. 구조적인 제약점은 수 많은 데이터 배열이 병렬 전송되는 I/O bandwidth를 집적회로 chip의 한정된 I/O 핀(pin)수 때문에 수용을 못하는 물리적 한계에 있다.

역시 최근에 제안된 시스템으로서 실용화에 있어서 아직 초보적 단계에 머물고 있다 하겠다.¹²⁰⁾ 실험모델

시스템으로서 1986년에 CMU 대학에서 제작한 Warp 시스템이 있다.¹²⁾ AI machine으로서 영상처리 및 로봇트 제어에 활용하고 있으며 최고 100MIPS의 연산속도를 갖고 있다.

Ⅶ. 결 론

고성능 컴퓨터를 위해서는 이렇듯 여러 구조로 만들어져 최대의 병렬성이 필요하게 된다. 컴퓨터 구조에 있어서 관련분야의 최대의 목적은 아마도 인류와 같이 생각하고 판단하며 동시에 인간이 할 수 없는 초고속 연산 및 대용량의 기억을 갖춘 고성능 컴퓨터의 제작에 있을 것이다. 이를 위한 가장 기본적인 조건은 그 시스템이 범용 목적을 위해서 이용되어야 한다는 점이다. 즉 주어진 특수 분야의 응용에만 국한되지 않은 고성능의 초고속 범용 슈퍼컴퓨터를 제작하는데 있다. 궁극적인 병렬성은 하드웨어적인 병렬성을 그대로 linear 하게 얻을 수 있는 소프트웨어의 기술이 발달되어야 한다. 현재의 하드웨어의 기술, 그리고 소프트웨어의 수준으로는 범용성의 인공지능에는 요원하다.

그러나 컴퓨터 기술이 불과 40여년 사이에 엄청나게 발달한 것을 근거로 할 때 그야말로 향후 기간에 혁신적인 기술 개발이 하드웨어 및 소프트웨어 분야에 이루어진다면 우리의 궁극적인 목적을 달성하리라 믿는다.

參 考 文 獻

- [1] "New Products," *IEEE, Computer*, pp. 92-99, Apr. 1987.
- [2] K. Hwang & F. Briggs, *Computer Architecture and Parallel Processing*, McGraw Hill, 1984.
- [3] R. Kahn, "A New Generation in Computing," *IEEE, Spectrum*, pp.36-41, Nov. 1983.
- [4] J.P. Hayes, *Computer Architecture and Organization*, McGraw Hill, 1978.
- [5] J. von Neumann et al., "Preliminary Discussion of the Logical Design of an Electrical Computing Instrument," U.S. Army Ordnance Dept. Report, 1946.
- [6] M.J. Flynn, "Very High-speed Computing Systems," *IEEE, Proc.*, vol.54, pp.1901-1909, 1966.
- [7] D. Hammerstrom, "Connectionist VLSI Architectures," Oregon Graduate Center

Internal Report, May 1986.

- [8] K. Hwang et al., "Computer Architectures for Artificial Intelligence Processing," *IEEE Computer*, pp. 19-27, Jan. 1987.
- [9] J.F. McDonald et al., "Wafer Scale Interconnections for GaAs Packaging-Applications to RISC Architecture," *IEEE, Computer*, pp. 21-35, Apr. 1987.
- [10] J.M. Early, "The theoretical ideals come ever closer," *IEEE, Spectrum*, pp. 38-39, Jan. 1984.
- [11] 김성천, "병렬처리 시스템의 응용 및 아키텍처," 정보산업, pp. 46-47, 1986년 12월.
- [12] 컴퓨터(Computer Journal), pp. 164-166, 1987년 5월.
- [13] 이진효, "반도체 기술," 전자공학회지, pp. 106-115, 1987년 4월.
- [14] 김성천, "대규모 병렬프로세서의 구조," 정보과학회지, 제 5 권, 제 1 호, pp.22-29, 1987년 3월.
- [15] K. Hwang, "Multiprocessor Supercomputers for Scientific/Engineering Applications," *IEEE, Computer*, pp. 57-73, Jun. 1985.
- [16] P. Wallich & G. Zorpette, "Mins & Mainframes," *IEEE, Spectrum*, pp. 28-31, Jan. 1987.
- [17] 전자시보, 1987년 5월 14일자, 6면.
- [18] K. Hwang, *Supercomputing with Multiprocessors and Multicomputers*, Supplementary Notes, Tutorial, ICPP, Aug. 1986.
- [19] M. Amamiya et al., "Implementation and Evaluation of a List-Processing-Oriented Data Flow Machine," Proc. 13th Annual Int. Symp. Computer Architecture, *IEEE*, pp. 10-19, Jun. 1986.
- [20] H.T. Kung, "Why Systolic Architecture," *IEEE, Computer*, pp. 37-46, Jan. 1982.
- [21] M. Annaratone et al., "Warp Architecture and Implementation," Proc. 13th Annual Int. Symp. Computer Architecture, *IEEE*, pp. 346-356, Jun. 1986. *

* 본 논문의 주요 내용은 1987년 3월 정보과학회지 제 5 권 제 1 호에 "대규모 병렬프로세서의 구조"의 제목하에 발표된 바 있습니다.