■ 特輯 · 技術解說

GaAs 디지탈 IC의 설계 및 제작기술

朴 亨 茂
(正 會 員)
韓國電子通信研究所 基盤技術研究部 化合物半導體研究室

Ⅰ. 서 론

Ⅲ-Ⅴ족 화합물 반도체 중의 하나인 GaAs는 실리콘에 비해 빠른 전자이동속도와 적은 기생용량을 가지므로 초고속 저소비전력의 LSI 제작에 많은 기대를 모으고 있으며 표 1에 실리콘과 GaAs의 물성을 비교하였다.[1]

GaAs는 실리콘에 비해 전기적 특성의 우수성 외에도 방사선에 대한 저항력이 강하고 넓은 온도범위에서 동작이 가능하다는 장점을 가지고 있어서 특수용도의 IC를 만드는데 쓰이기도 한다. 특히 schottky 장벽전압이 높아서 MESFET을 만들었을 때 게이트 전극으로의 누설전류가 작고 논리회로에서의 논리진폭을 좀 더 크게 할 수 있다.

GaAs가 초고속 디지탈 IC에 사용될 수 있으리라는 것은 오래전부터 알려져 있었으나 1970년대말에 와서 실현 가능성이 보이기 시작했다.[2] 그후 약 10년에 걸쳐 GaAs 디지탈 IC에 대한 연구는 꾸준히 계속되어 회로의 설계면에서나 제작공정면에서 많은 발전을 이룩하였다. 현재는 소비전력 1.46W에서 address access 시간이 4.1ns인 16Kbit SRAM[3] 및 소비전력 200mW에서 address access 시간이 2.5ns인 4Kbit SRAM[4] 그리고 700mW에서 address access 시간이 1ns인 256×4bit SRAM[5] 등이 발표되어 있다. GaAs 초고속 SRAM은 대형 컴퓨터의 cache 메모리로서 혹은 IC 테스터, 교환기, 각종 신호처리기기에 사용되어 시스템의 부가가치를 비약적으로 향상시킬 수 있으므로 GaAs 디지탈 IC의 주요 연구분야로 되어 있다.

GaAs LSI의 설계는 실리콘 소자의 설계기술을 기반으로 개발되고 있으나, 기본소자가 실리콘에서는 metal oxide semiconductor field effect transistor (MOSFET) 또는 bipolar junction transistor (BJT) 인데 반하여 GaAs에서는 metal semiconductor FET (MESFET), high electror mobility transistor (HEMT), hetero-junction bipolar transistor (HBT) 를 사용하기 때문에 각 기본소자를 실리콘 설계방법에 적용하기 위하여 새로운 모델링 작업이 필요하다. 한편, GaAs 디지탈 IC의 제작공정에 있어서도 실리콘 공정에 비해 크게 두가지의 문제점을 가지고 있는데, 첫째는 GaAs 결정 성장 기술이 발달되지 못한 상태에 있어서 같은 회사의 제품이라 할지라도 웨이퍼와 웨이퍼간의 재현성이 부족하고 웨이퍼내의 특성분포도 고르지 못하다는 점이며, 둘째는 GaAs LSI의 역사가 짧기 때문에 공정기술에 대한 기본 데이타가 부족하다는 점이다.

웨이퍼 내에서의 특성변화 및 웨이퍼 사이에서의 특성변화는 IC 제작공정의 수율을 결정짓게 되므로 매우 중요하다.

특히 집적도가 높아져가면 매우 중요하게 되어 웨이퍼의 질에 의해 GaAs 기술이 제한받게 된다.

실리콘과 같은 단원자 물질과는 달리 화합물 반도체인 GaAs는 고열처리시 분해되는 성질을 가지고 있으므로 실리콘 공정을 그대로 이용할 수 없으며, 실리콘

표 1. 실리콘과 GaAs의 물성비교 (300°K)

물 성	GaAs	실 리 콘
전자의 이동도 ($N_d = 10^{17}cm^{-3}$)	$5000cm^2/V/s$	$800cm^2/V/s$
포화이동속도	$2\times10^7cm/s$	$1\times10^7cm/s$
정공의 이동도 ($N_d = 10^{17}cm^{-3}$)	$250cm^2/V/s$	$350cm^2/V/s$
에너지 갭	1.43eV	1.12eV
천이형태	직접천이	간접천이
전도대의 상태밀도	$5\times10^{17}cm^{-3}$	$3\times10^{19}cm^{-3}$
최대저항율	10^9ohm. cm	10^5ohm. cm
소수 캐리어 life time	10^{-8}sec	10^{-3}sec
항복전계	$4\times10^5V/cm$	$3\times10^5V/cm$
Schottky 장벽 전압	0.7−0.8V	0.4−0.6V
표면전하밀도 (Q_{ss}/q)	$10^{12}-10^{13}cm^{-2}$	$10^{10}cm^{-2}$

공정에서와 같이 안정한 산화막이 없어서 MOS 형태의 소자개발을 지연시키고 있다.

이러한 문제점을 극복하고 GaAs 결정자체가 갖는 우수한 성질을 활용하여 초고속 저소비전력의 LSI를 성공적으로 개발하기 위해서는 재료, 공정기술, 소자 설계 및 LSI 설계기술, package, 측정기술등이 서로 밀접한 연관을 가지고 유기적으로 연구되어야 한다.

Ⅱ. GaAs MESFET

GaAs는 표 1에 나타낸 바와 같이 표면상태 밀도가 실리콘에 비해 100～1000배 크므로 MOSFET 형태의 소자는 만들기 어려운 반면 schottky 장벽전압이 높아서 MESFET 소자를 만들기에는 실리콘에 비해 유리하다. GaAs MESFET은 약 20년동안 초고주파 통신용 소자로 이용되어 왔기 때문에 HEMT나 HBT에 비해 공정기술이 많이 축적되어 있고, 소자구조가 간단하여 현재로서는 집적도가 높은 IC의 설계에 유리하다. 현재 LSI급 디지탈 IC로 GaAs MESFET를 이용한 6000 게이트급(19,000개의 FET와 다이오드) 게이트 어레이가 발표되어 있으며,[6,7] HEMT를 이용한 IC로는 1,500 게이트급 게이트 어레이가 발표되어 있다.[7]

1. GaAs MESFET의 설계

GaAs MESFET의 일반적인 단면구조를 그림 1에 나타냈다. 금속과 반도체를 접촉시키면 두가지 경우가 생기는데, 하나는 저항성 접촉으로 반도체와 금속이 전기적으로 연결되기만 한다. 또다른 경우는 정류형 접촉으로 전류의 흐름이 방향성을 가지게 된다.[8,9] 그림 1과 같이 MESFET의 소오스와 드레인은 저항성 접촉으로 만들고 게이트는 정류형 접촉으로 만든 다음 게이트전극의 전압을 변화시키면 전도층의 실효 두께가 변한다. 전도층의 실효두께 a_{eff}는 다음과 같이 나타낼 수 있다.

$$a_{eff}=a\left(1-(V_{bi}-V_{GS})^{1/2}/V_P^{1/2}\right) \quad (1)$$

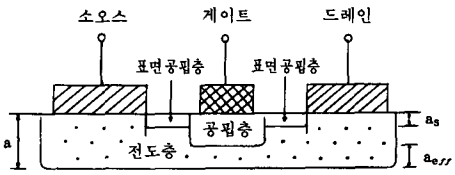
a : 전도층의 두께

V_{bi} : built-in 전압

V_P : pinch-off 전압

V_{GS} : 게이트－소오스간 전압

윗 식은 소오스와 드레인사이에 전압이 걸리지 않았을 경우이며 전류의 흐름을 생각하기 위해서는 전계와 전자이동속도와의 관계를 알아야 한다. 그림 2에 GaAs 결정내에서의 전계와 전자이동속도의 관계를 나타냈다. 그림에서 알 수 있는 바와 같이 전계가 낮을때는 이



a : 전도층의 두께
a_s : 표면 공핍층의 두께
a_{eff} : 전도층의 실효두께

그림 1. MESFET의 단면 구조

동속도와 전계가 직선적으로 비례하지만 높은 전계에서는 전자의 이동속도가 포화된다.[10] 이 현상을 고려하기 위하여 전계와 전자 이동속도의 관계를 그림 2의 점선과 같이 가정하고 MESFET의 게이트 아래 부분을 그림 3과 같이 두 영역으로 나누어 생각한다. L_1 영역에서는 전자의 이동속도가 전계에 비례하며, L_2 영역에서는 전자의 이동속도가 전계에 관계없이 일정하다. L_1 영역에서의 전계 I_{DL1}과 L_2 영역에서의 전류 I_{DL2}는 다음과 같다.[8,9,10]

$$I_{DL1}=\frac{1}{L_1}\cdot q\cdot N_d\cdot z\cdot\mu\cdot a\left[V-\frac{2}{3}(V_{bi}+V-V_{GS})^{3/2}/V_P^{1/2}\right]_{V=0}^{V=V_{L1}} \quad (2)$$

$$I_{DL2}=q\cdot N_d\cdot z\cdot b_s\cdot v_s \quad (3)$$

$$b_s=a\{1-[(V_{bi}-V_{GS}+V_{DS}-V_{L2})/V_P]^{1/2}\} \quad (4)$$

$$V_{L2}=\frac{2a}{\pi}E_s\sinh\left(\frac{\pi L_2}{2a}\right) \quad (5)$$

N_d : 전도층의 불순물농도

z : 게이트 전극의 폭

μ : 전자의 이동도

V_{GS} : 게이트와 소오스 사이의 전압

V_{DS} : 드레인과 소오스 사이의 전압

주어진 V_{DS}, V_{GS} 조건에서 L_1을 변화시켜 I_{DL1}과 I_{DL2}가 같도록 하면 이때의 전류가 드레인 전류이다. 만약 L_1이 게이트 길이와 같은 경우에도 I_{DL2}이 I_{DL1}보다 크면 I_{DL1}이 드레인 전류가 된다.

IC의 집적도가 높아짐에 따라 높은 특성 균일성이 요구된다. 따라서 소자의 특성 균일성이 좋은 이온주입이 의한 전도층 형성이 필요하게 된다. 이온주입 공정을 이용하면 활성화 공정이 필요하며 활성화 공정에 의한 불순물의 재분포에 따라 임계전압이 바뀌게 되므로 주입에너지와 dose량의 결정은 활성화 조건에 맞추

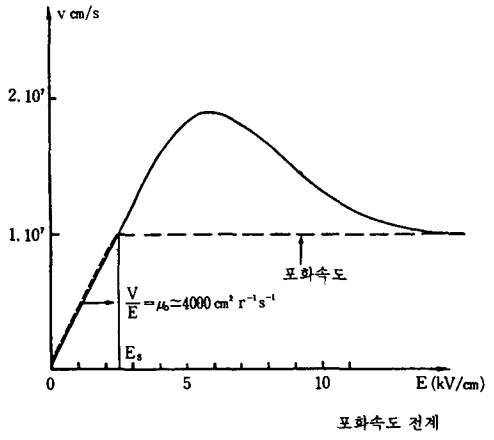


그림 2. GaAs 내에서의 전계와 이동도 관계
(불순물 농도≈$10^{17}cm^{-3}$)

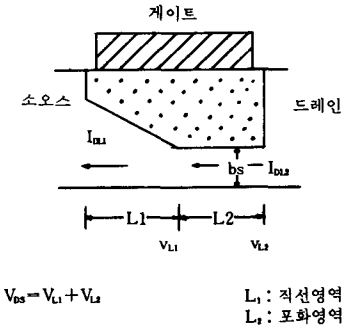


그림 3. GaAs MESFET 모델의 개념도

어서 행해야 한다.

이온주입에 의해 생성된 전도층의 임계전압 V_{th}는 다음과 같이 표시된다.[11]

$$V_{th}=\phi_B-\phi_n-\frac{qR_PQ}{2\varepsilon_S}\mathrm{erf}\left(\frac{R_P}{\sqrt{2}}\right)-\frac{qQ\sigma}{\varepsilon_S\sqrt{2\pi}}\exp\left(\frac{R_P^2}{2\sigma^2}\right) \quad (6)$$

$$\phi_n=\frac{kT}{q}\ln\left(\frac{N_C(R_P+2\sigma)}{Q}\right) \quad (7)$$

ϕ_B : 장벽전위

R_P : projection range

σ : 표준편차

Q : Dose량

열처리과정을 거치면 불순물은 재분포를 하게 되는데, 이때 R_P는 변하지 않고 σ만 변한다.[12,13]

$$\sigma=\sqrt{(\sigma_o+2Dt)} \quad (8)$$

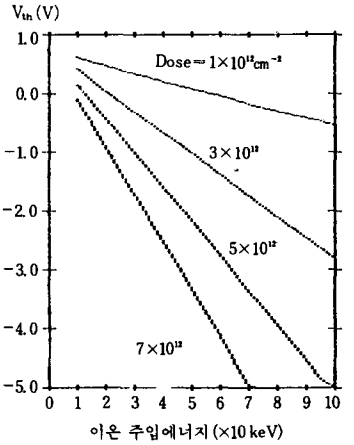
$$D=D_o\exp\left(-\frac{E_a}{2KT}\right) \quad (9)$$

$D_o=8.08\times10^{-9}cm^2/sec$

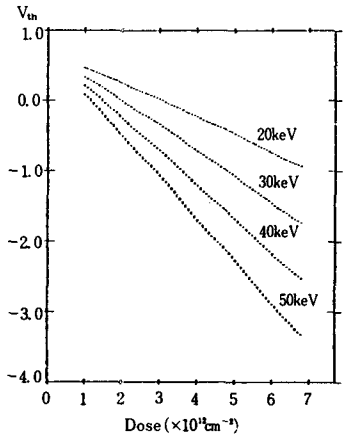
(0.2μm SiO_2 cap인 경우)

850℃에서 30분간 활성화 하는 경우에 대하여 에너지와 Dose량에 따른 임계전압의 변화를 그림 4에 나타냈다. 앞에서의 모델을 이용하여 이온주입 에너지와 트랜스 콘덕턴스 g_m과의 관계를 구해보면 그림 5와 같다. 이온주입 에너지를 낮게 할 수록 트랜스콘덕턴스를 크게 할수 있음을 알 수 있다. 트랜스 콘덕턴스는 게이트 전압의 변화에 대한 드레인 전류의 비이며 IC의 특성 향상을 위해 필수적이다. 논리게이트의 순수지연시간 τ_o와 최소 noise figure NF_{min}는 다음과 같다.

$$\tau_o=\frac{1}{2\pi f_T}=C_{gs}/g_m \quad (10)$$



(a) 이온에너지에 따른 임계전압의 변화



(b) Dose량에 따른 임계전압의 변화

그림 4. 이온 주입조건에 따른 임계전압의 변화

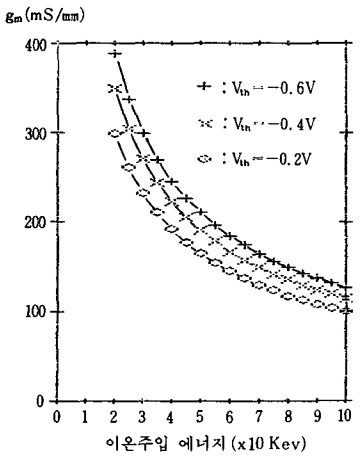


그림 5. 이온주입 에너지에 따른 트랜스 콘덕턴스의 변화(활성화 조건 : 975℃, 5sec)

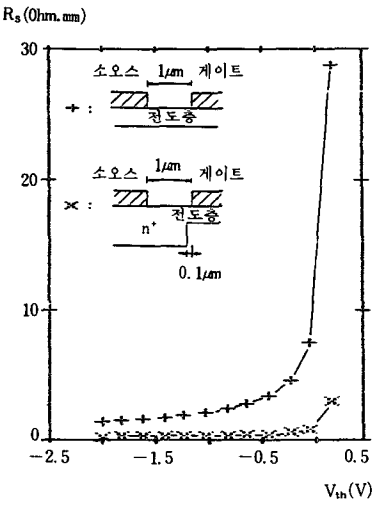


그림 6. MESFET의 임계전압에 따른 소오스 저항 R_s의 변화
(전도층 불순물 농도 : $2\times10^{17}cm^{-3}$, n^+ : $1\times10^{18}cm^{-3}$)

$$NF_{min} = 1 + Kf\ C_{gs}\sqrt{(R_g+R_s)/g_m} \quad (11)$$

$$g_m = g_{mo}\left(\frac{1}{1+R_s g_{mo}}\right) \quad (12)$$

C_{gs} : 게이트−소오스 간의 정전 용량

R_s : 소오스 저항

R_g : 게이트 저항

g_{mo} : R_s를 무시할 경우의 g_m

다음으로 고려할 점은 표면공핍현상이다. GaAs와 같이 표면상태밀도가 큰 경우에는 금속과의 접촉이 없이도 표면공핍층이 생기게 되어 소오스 저항을 증가시킨다. 표면공핍층의 두께는 표면상태에 따라 변할 수 있으며 다음과 같이 나타낼 수 있다.[8,9]

$$a_s = \sqrt{\frac{2\varepsilon_s V_{FB}}{qN_d}} \quad (13)$$

V_{FB} : flat band 전압

여기서 V_{FB}는 공정조건 및 표면상태에 따라 바뀌며 0.5V 정도이다.[14] 그림 6 에 self align 구조의 MESFET와 일반 MESFET에서 임계전압 V_{th}에 따른 소오스 저항 R_s를 비교하였다. 임계전압이 (+)로 커지게 되면 소오스 저항의 증가현상 때문에 self-align 구조를 써야만 함을 알 수 있다.

2. GaAs Self Align MESFET의 제작 공정

앞에서 언급한 바와 같이 g_m을 크게 하기 위해서는 소오스 저항을 줄여야 하며 이를 위하여 소오스와 게이트간의 거리를 줄여야 한다. 소오스와 게이트의 간격을 줄이는 방법으로 대표적인 두가지는 refractory 금속을 이용하는 방법과 dummy 게이트를 이용하는 방법이다.[14,15,16]

(1) Refractory 금속을 이용하는 방법

이온주입 후에는 활성화 공정을 거쳐야 하는데 활성화는 일종의 고온처리 공정이므로 게이트 금속과 GaAs가 서로 반응하기 쉽다. 이러한 문제를 줄이기 위하여 게이트 금속으로 refractory 금속을 사용한다. 공정순서별 단면도를 그림 7 에 나타냈다. MESFET를 만들 부분만을 선택적으로 이온주입한 다음 웨이퍼 전면에 refractory 금속인 텅스텐 실리사이드를 증착한다. PR을 마스크로 하여 게이트 부분만 남기고 텅스텐 실리사이드를 에칭하면 (b)와 같이 된다. 전면에 SiO_2를 입힌 다음 건식각을 하면 (d)와 같은 side wall이 형성된다. 소오스와 드레인 부분에 대하여 PR과 게이트 금속 그리고 sidle wall을 마스크로 하여 n^+ 이온주입을 한다. 다음 (f)와 같이 소오스 드레인 부분만을 노출시키고 저항성 금속을 증착시킨 다음 PR을 제거하면 하나의 MESFET가 완성된다.

(2) Dummy 게이트를 이용하는 방법

Refractory 금속을 이용하는 방법은 게이트 금속이 증착된 후에 열처리 과정을 거쳐야 하므로 게이트 금속으로 열에 강한 refractory 금속을 사용해야만 했지만 게이트의 저항을 줄이고 게이트 접합을 보다 좋게 하기 위해서는 열처리 후에 게이트 금속을 증착하는 것이 바람직 하다. 그림 8 에 dummy 게이트를 이용하

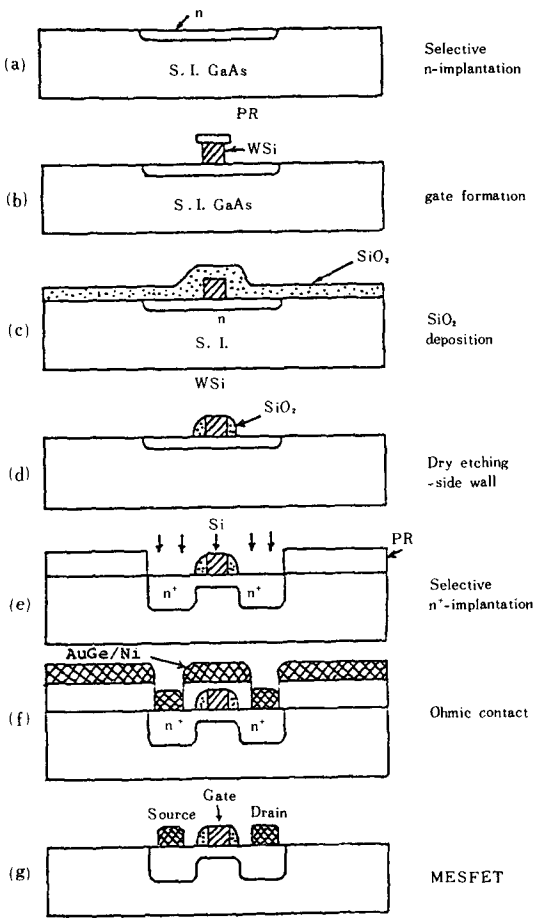


그림 7. Refractory 금속을 이용한 self-align MESFET의 제작공정

는 MESFET의 제조방법을 공정 순서별로 나타냈다.

MESFET를 제작할 부분에 대하여 PR을 마스크로 하여 이온주입 함으로써 전도층을 형성한다. (b)와 같이 Si_3N_4, T_i, 금을 차례로 증착한 다음 PR을 마스크로 하여 금과 T_i를 에칭한다. 이때 T_i을 좀더 많이 에칭시키면 (c)와 같은 형태를 만들 수 있다. 금과 PR을 마스크로 하여 소오스와 드레인 영역을 n^+로 이온주입한 다음 SiO_2를 입힌다.

SiO_2는 (e)와 같이 입혀지게 되며 dummy 게이트를 에칭한다. 활성화 공정을 거친 다음 (f)와 같이 PR 작업을 하고 Si_3N_4를 에칭한 다음 저항성 금속을 증착한 후 PR을 제거하면 소오스와 드레인의 금속작업이 끝난다. 다시 (g)와 같이 PR 작업을 한 후 게이트 금속을 증착하고 PR을 제거하면 (i)와 같은 MESFET이

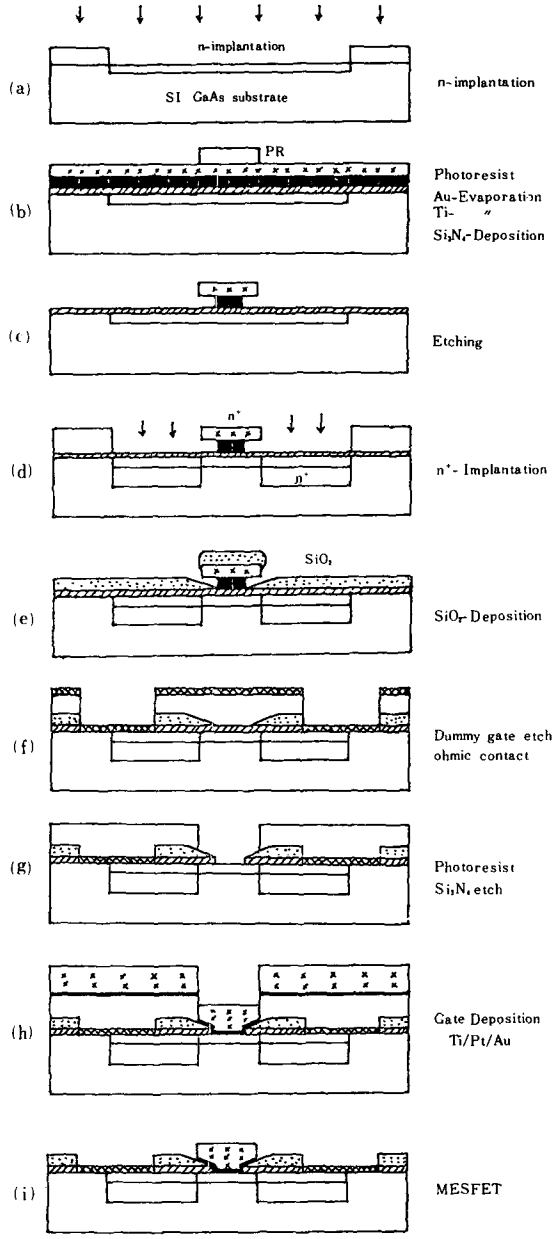


그림 8. Dummy 게이트를 이용한 self-align MESFET의 제작공정

제작된다.

Ⅲ. GaAs 디지탈 IC

GaAs는 고저항의 기판을 만들 수 있을 뿐아니라 전자의 이동속도가 빠르기 때문에 고속소자로 응용하기

에 적합하다. 그림 9 에 각종 기본소자에 대하여 ring 발진기에서의 논리게이트당 지연시간 및 전력소모를 나타냈다. GaAs 소자에 의한 논리게이트의 지연시간은 실리콘 소자에 비해 훨씬 작음을 알 수 있는데, 이것은 근본적으로 GaAs 소자의 부하용량(load capacitor)이 작기 때문이다.

표 2 에는 GaAs MESFET를 이용한 각종 디지탈 IC의 개발현황을 나타냈다.[17] 메모리 IC에 대해서는 뒤에 다시 언급하기로 한다.

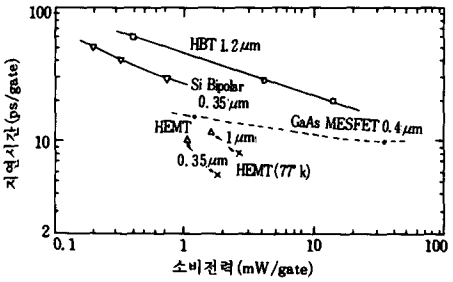


그림 9. 논리게이트의 소비전력 및 지연시간의 비교

1. GaAs MESFET 모델

GaAs MESFET 회로의 설계에 보편적으로 쓰이는 방법은 SPICE를 이용하는 방법이며 GaAs MESFET 모델이 없는 경우 junction field effect transistor (JFET) 모델을 이용한다.

SPICE 2G.6내의 JFET 모델은 그림 10과 같으며 점선 내부의 특성은 다음과 같다.

$$I_{GD}=I_S[\exp(V_{GD}/V_T)-1] \quad (14)$$

$$I_{GS}=I_S[\exp(V_{GD}/V_T)-1] \quad (15)$$

$$I_{DS}=\begin{cases} 0 & V_{GS}\le V_{th} \quad (16)\\ \beta\cdot(V_{GS}-V_{th})^2\cdot(1+\lambda V_{DS}) & V_{DD}\ge V_{GS}-V_{th} \quad (17)\\ \beta\cdot V_{DS}[2(V_{GS}-V_{th})-V_{DS}]\cdot(1+\lambda V_{DS}) & 0\le V_{DD}\le V_{GS}-V_{th} \quad (18)\end{cases}$$

회로 시뮬레이션을 위해서는 사용될 MESFET의 특성을 결정하는 변수를 입력시켜야 하며 변수로는 R_S, R_D, I_S, C_{GSO}, C_{GDO}, β, λ, V_{th}등이 있다. R_S와 R_D는 각각 소오스와 드레인의 직렬저항이며 I_S는 게이트쪽 다이오드의 역방향 포화전류, C_{GSO} 및 C_{GDO}는 게이트와 소오스 게이트와 드레인간의 정전용량으로 전압을 가하지 않았을 때의 값이다. V_{th}는 임계전압을 나타내며 β는 트랜스콘덕턴스 파라메터, λ는 포화상태에서 드레인전압의 변화에 대한 채널길이의 변화정도를 나타낸다.

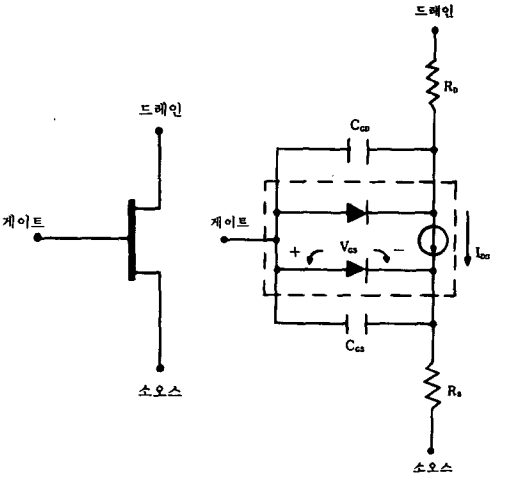


그림 10. SPCE 2G.6 내의 JFET 모델

JFET 모델은 pinch off 모델이라 부르며 게이트 영역에서 전자의 이동속도가 포화되지 않는다고 가정한다. 그러나 GaAs는 작은전계에서 포화되어 버리므로 pinch-

표 2. GaAs MESFET 디지탈 IC의 종류 및 성능

기 능	집 적 도 (논리게이트 수)	동작속도	게이트 지연시간	게이트 길이
16×16 MULTIPLIER	3.2K	6.8ns	115ps	1μm
8×8 MULTIPLIER	1.8K	5.6ns	170ps	1μm
12×12 MULTIPLIER	1.08K	4ns	170ps	0.7μm
12bit DAC		1G Word/s		1μm
4ch DIGITAL TIME SWITCH	0.23K	2Gb/s		0.55μm
16ch DIGITAL TIME SWITCH	1.11K	740Mb/s		0.5μm
8b ALU	0.25K	0.8ns	57ps	0.5μm
8b WORD GENERATOR		1.4GHz	190ps	1μm
20b SHIFT REGISTER	3K	1.32Gb/s	177ps	1.4μm

off 모델로 설명하기 보다는 포화속도 모델로 설명되어야 한다. 따라서 게이트전압과 드레인전압의 전 영역에서 만족하는 파라메타를 추출해 내기 쉽지 않다. GaAs MESFET의 특성을 보다 잘 나타내기 위하여 Walter R. Curtice는 비대칭형 모델과 대칭형 모델을 제안하였다.[16] Curtice 모델을 그림 11에 나타냈으며 각 모델에 사용되는 수식은 다음과 같다.

-비대칭 모델

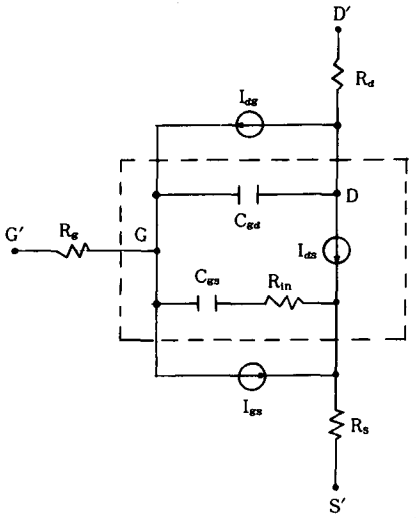
$$I_{ds}=\beta\cdot(V_{gs}-V_{th})^2(1+\lambda V_{ds})\tanh(\alpha V_{ds}) \quad (19)$$

-대칭 모델

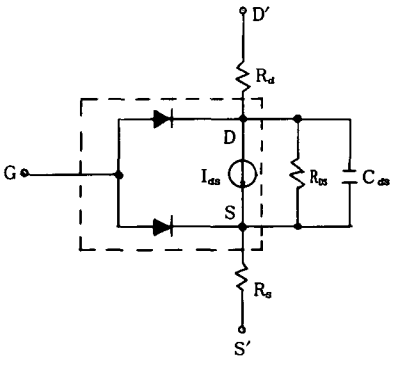
$$V_i=V_{GS}[1+\beta(V_{DSO}-V_{DS})] \quad (20)$$

$$I_{ds}=(A_0+A_1V_i+A_2V_i^2+A_3V_i^3)\tanh(\gamma V_{DS}) \quad (21)$$

여기서 V_{DSO}는 A_0, A_1, A_2, A_3를 구할 때의 드레인-소오스전압이다. Curtice 모델은 직류특성에서부터 고주파 특성까지 만족스러운 결과를 얻을 수 있는 장점이 있다.



(a) 비대칭 Curtice



(b) 대칭 Curtice

그림11. MESFET의 Curtice 모델

2. GaAs MESFET의 기본 논리회로

MESFET는 게이트와 소오스사이가 다이오드로 동작하므로 순방향전압에 한계가 있다. 또 역방향전압은 MESFET의 임계전압보다 낮은 값은 의미가 없으므로 논리진폭은 임계전압에 의해 거의 결정된다. 공핍형(depletion type) MESFET를 사용하면 (-)전원이 필요하게 되며 전력소비가 많은 반면 증가형(enhancement type) MESFET를 사용하는 경우는 소비전력을 줄일 수는 있지만 논리진폭이 작아서 공정이 까다로와진다. 따라서 공정상태와 IC특성의 조건에 의해 여러가지 형태의 기본논리가 발표되어 사용되고 있다. 표 3에는 많이 사용되고 있는 논리회로에 대하여 그 특성을 나타냈다.[1]

표 3. 기본논리회로의 특성

logic	FET type	V_{th}	$\triangle V_{th}$	gate delay	power
BFL	D-FET	-2.5V	±500mV	75ps	20mW
lpBFL	D-FET	-0.5V	±300mV	125ps	2mW
SDFL	D-FET	-1.0V	±300mV	100ps	2mW
DCFL	E-FET	+0.1V	±100mV	200ps	0.5mW
	E/D-FET	+0.2/ -0.5V			
LPFL	quasi off	0.0V	±200mV	150ps	1mW
CCL	D-FET	-1.6V	±400mV	100ps	3mW
SCFL	D-FET	-2.0V	±500mV	less than 75ps	more than 20mW

V_{th} : 임계전압
$\triangle V_{th}$: 임계전압의 허용 변화값
D-FET : depletion type FET
E-FET : enhancement type FET

(1) BFL(buffered FET logic)

BFL의 회로구성을 그림12에 나타냈다.[19,20,21] BFL에 사용되는 FET는 모두 공핍형이며 게이트전극에 전압을 가하지 않은 상태에서도 드레인전류가 흐를 수 있다.

BFL 인버터는 Q_1, Q_2로 이루어지는 논리 인버터 단과 Q_3, D, Q_4로 이루어지는 레벨변환 단으로 나눌 수 있다. 인버터에 사용되는 임계전압을 -2V로 하였을 경우 V_{IN}이 -2V이면 Q_2의 드레인 전압은 V_{DD}이고 V_{IN}이 0.7V이면 Q_2의 드레인전압은 0V근처의 값이 되며 Q_1

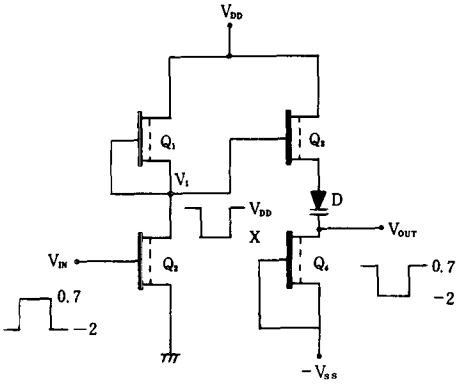


그림12. BFL의 회로 및 동작

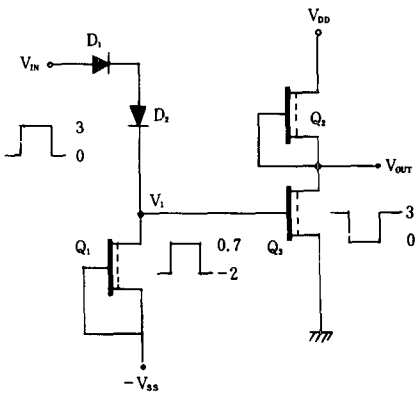


그림13. SDFL의 회로 및 동작

과 Q_2의 게이트 폭에 의해 결정된다. Q_1과 Q_2에 의해 논리적으로는 전환이 되었지만 인버터의 출력이 다음 인버터의 입력으로 사용되기 위해서는 레벨변환을 해야한다. Q_3, D, Q_4는 레벨변환 단이며 Q_3, Q_4는 포화영역에서 동작한다. 즉 MESFET의 드레인전류는 드레인-소오스전압에 관계없이 게이트-소오스전압에만 관계된다.

Q_4의 게이트-소오스전압은 "0"이므로 Q_3와 Q_4가 같은 크기의 MESFET이라면 Q_3의 게이트-소오스전압도 "0"이 될 것이다. 따라서 Q_2의 드레인전압은 D에서의 전압만큼 강하되어 출력된다. 이때 출력되는 전압은 레벨만 변환되었을 뿐 진폭은 변하지 않는다. 전압강하를 크게 하기 위해서는 Q_3의 게이트폭을 줄이는 방법과 다이오드를 여러개 직렬로 다는 방법이 있다. 논리진폭을 유지하기 위해서 V_{DD}는 논리진폭보다 커야하며 Q_4를 포화영역에서 동작시키기 위해서는 $-V_{SS}$가 $2V_{th}$보다 낮은 값이어야 한다. BFL은 논리진폭이 커서 구성 MESFET의 특성변화에 민감하지 않기때문에 공정조건의 미세변화가 논리회로의 동작에 큰 영향을 주지 않는다. 또 레벨전환 단이 포화영역에서 동작하므로 부하의 구동능력이 크다. 그러나 두개의 전원을 필요로 한다는 점과 소비전력이 큰 단점이 있다.

(2) SDFL(schottky diode FET logic)

그림13에 SDFL의 회로도 및 동작을 나타냈다. BFL과 마찬가지로 공핍형 MESFET를 사용한다.[22,23] SDFL은 Q_2, Q_3에 의한 논리인버터 단과 D_1, D_2, Q_1에 의한 레벨변환 단으로 나눌 수 있으며 레벨변환 단이 논리인버터 단보다 앞 부분에 있다. SDFL이 직렬로 연결된 회로를 생각해 보면 BFL과 동작이 유사함을 알 수 있다. SDFL은 입력측 레벨변환 단의 특성때문에 입력이 많은 회로에 유리하다.

(3) DCFL(direct coupled FET logic)

DCFL은 공핍형 MESFET와 증가형 MESFET를 조합하여 구성한다. 그림 14에 DCFL회로를 나타냈다.[24] Q_1을 부하 FET라 하고 Q_2를 구동 FET라 한다. 구동 FET로 증가형 MESFET를 사용함으로써 V_{IN}이 (-)가 아니더라도 OFF 상태로 만들 수 있어서 DCFL의 동작은 실리콘 NMOS logic과 유사하다. 그림 14에서는 Q_2의 일계전압이 -0.2V인 경우에 대하여 동작파형을 나타냈다. BFL 혹은 SDFL에 비한 큰 장점은 레벨변환 단에 의한 전력손실을 없앨 수 있다는 것과 단일전원에 의해 동작한다는 점이다. DCFL은 논리진폭이 작으므로 구성소자의 특성변화가 전체회로의 특성에 큰 영향을 미치며 증가형과 공핍형 MESFET를 모두 사용하므로 제조공정이 복잡하고 까다롭다. DCFL은 적은 소비전력 특성과 빠른 동작특성 때문에 현재

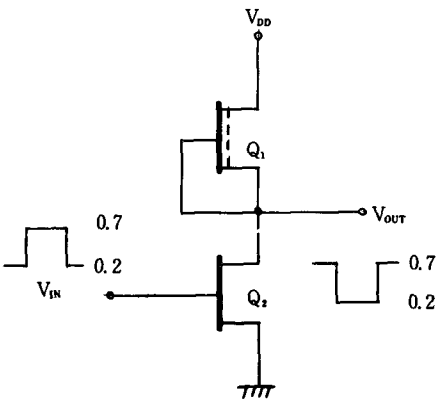


그림14. DCFL의 회로 및 동작

발표되고 있는 GaAs 논리회로의 상당부분을 차지하고 있다.[17,24]

(4) LPFL(low pinch off voltage FET logic)

DCFL의 저 소비전력성 및 빠른 동작특성을 이용하면서 공정의 오차범위를 높일 수 있는 논리회로이다. 그림 15에 LPFL의 회로 및 동작파형을 나타냈다.[25,26]

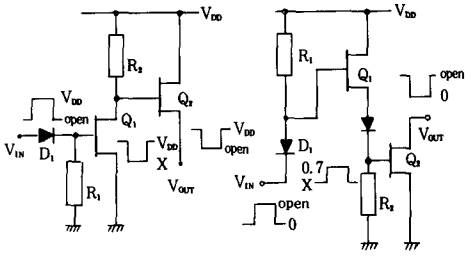


그림15. LPFL의 회로 및 동작

LPFL에 사용되는 MESFET의 임계전압은 0V이므로 DCFL의 논리진폭보다 크지만 레벨변환단을 필요로하는 단점이 있다. 그러나 BFL, SDFL처럼 많은 양의 레벨을 변환하는 것은 아니므로 소비전력이 크지는 않다. 그림15에 보인 바와 같이 직결형 LPFL과 반전형 LPFL을 구성할 수 있으며 결선논리(wired logic)를 구성할 수 있다. 결선논리란 논리게이트의 출력들을 서로 연결하는 것만으로 OR 혹은 AND 회로를 구성할 수 있음을 뜻하며 직결형 LPFL은 결선 NOR로, 반전형 LPFL은 결선 NAND로 사용할 수 있다. IC의 설계에 결선논리를 적용하면 논리게이트의 수를 줄일 수 있으므로 회로의 집적도를 높일 수 있다.

(5) CCL(capacitor coupled logic)

공핍형 MESFET를 사용하면 증가형 MESFET를 사용할 때보다 동작속도를 빠르게 할 수 있고 많은 부하를 감당해낼 수 있는 장점이 있으나 두가지의 전원이 필요하다는 점과 레벨변환 회로에 의한 전력손실이 크다는 단점이 있다. 이와 같은 단점을 보완하기 위해 제안된 공핍형 논리회로가 CCL이며 그림 16에 회로 및 동작파형을 나타냈다.[27] 논리진폭은 전원전압과 MESFET의 특성에 따라 결정되며 여기서는 논리진폭 4V, 전원전압 5V인 경우에 대하여 설명한다. 입력전압은 capacitor를 통하면서 직류성분이 제거되고 교류성분만 남게 되는데 MESFET의 게이트 전압이 0.7V 이상되면 게이트 전극으로 전류가 흘러서 더이상 전압이 높아지지 않는다. Q_2, Q_3에 의한 논리 인버터 작용으로

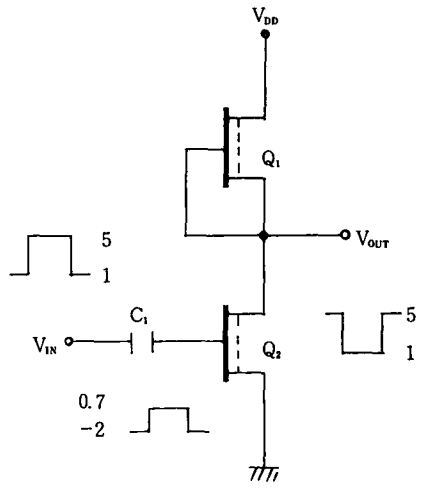


그림16. CCL의 회로 및 동작

출력된 전압은 다음 논리게이트의 입력으로 사용된다. 위와 같은 동작은 입력주파수가 높을 경우에만 가능하며 낮은 주파수에서는 게이트 전극으로의 누설전류때문에 논리회로로 동작이 불가능하다. 동작주파수의 하한은 수십 KHz정도이다.[27] 실제회로를 구성할 때는 역방향 바이어스된 다이오드를 사용한다.

(6) SCFL(source coupled FET logic)

SCFL은 실리콘 논리회로에서의 emitter coupled logic(ECL)에 해당하는 GaAs 논리회로이며 그림17에 그 회로를 나타냈다.[28] 사용되는 모든 MESFET는 포화영역에서 동작하며 Q_5는 정전류원으로, Q_1, Q_2 및 Q_6, Q_7은 레벨변환 단으로 사용된다.

SCFL은 서로 반대되는 출력이 동시에 나오며 V_{ref}를 조절함으로써 논리레벨을 변환할 수 있다. 또 모든

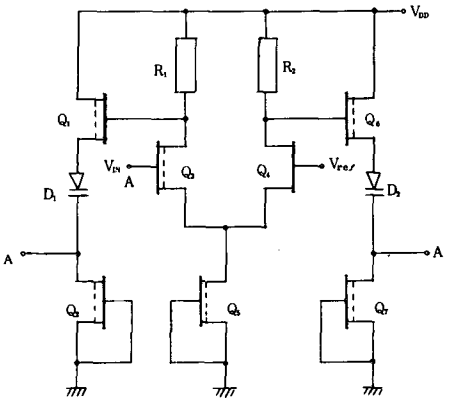


그림17. SCFL의 회로

MESFET이 포화영역에서 동작하므로 속도가 빠른 반면 회로가 복잡하고 소비전력이 많다.

3. GaAs Static Random Access Memory (SRAM)

GaAs 초고속 SRAM은 대형 컴퓨터의 chache 메모리로서 혹은 교환기, 신호처리기에 사용되어 시스템의 부가가치를 비약적으로 향상시킬 수 있으므로 GaAs 디지탈 IC의 주요 응용분야로 되어 있다. 메모리 회로를 구성하기 위해서는 디지탈 IC의 모든 기술이 동원되어야 하므로 설계 및 제작기술의 수준을 평가하는 척도가 되기도 한다. 표 4 에 각 연구기관별로 발표된 특성을 나타냈다.[3,4,5][29-33] 메모리의 기본구성은 그림18에 보인 바와 같이 크게 6 개의 블럭으로 나눌 수 있으며 연구기관에 따라 약간의 변형이 있을 수 있다. 블럭자체를 구성하는 방법은 여러가지가 있을 수 있으며 각 연구기관마다의 특징을 가지고 연구되고 있다.

메모리 cell은 정보를 기억하는 최소 기본단위로 cell의 갯수가 곧 기억용량이 된다. 메모리 cell은 그림19에 보인 바와 같이 두개의 인버터와 두개의 스윗치로 구성된다. 여기서 스윗치는 필요할 때만 ON 상태가 되어 메모리 cell과 주변회로를 연결하는 역활을 한다. 회로에서는 MESFET을 이용하여 스윗치를 구성한다.

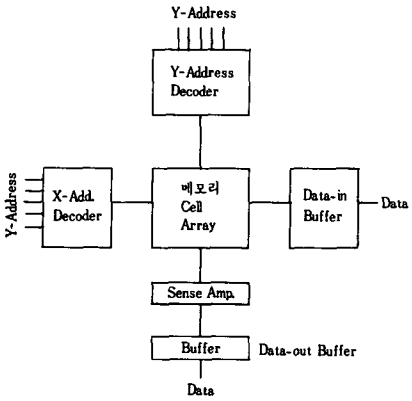


그림18. 메모리 회로의 기본구성

메모리 cell엔 정보를 기억시키거나 저장된 내용을 읽어내기 위해서는 주변회로와 메모리 cell을 전기적으로 연결하여야 하므로 연결 길이를 줄이기 위해 메모리 cell들을 정방형으로 배열하는 것이 일반적이다.

예를 들어 4Kbit 메모리를 만들기 위해서는 가로 64bit 세로 64bit의 정방형으로 구성하고 12bit의 address 중 6bit는 가로축(X축) address로 나머지 6bit는 세로축(Y축) address로 사용한다.

표 4. GaAs 1K, 4K SRAM의 제원 및 특성

기 관	구 성	Cell (μm)	Chip (mm)	V_{TH} (V)	소 자	회 로	TAA (ns)	소비전력 (W)	전 원 (V)	집 적 도 (개)
NTT '83.	1024×1	69×56	3.3×3.3	E : 0.145 D : −0.227	SAINT	DCFL	2.0	0.459	V_c = 1.0 V_p = 1.0	E : 4811 D : 2273
Fujitsu '83.	1024×1	47×34	3.0×2.0	E : 0.146	WSix	DCFL	3.6	0.068	V_c = 0.8 V_p = 1.5	E : 4652 D : 2200
Hitachi '84.	254×4	61×39	3.0×3.8		WSix	DCFL FLSC	2.3	0.55	V_c = −1.8 V_{p1} = −3.0 V_{p2} = −5.2	
NTT '84.	4096×1	62×65	5.6×6.0	E : 0.085 D : −0.409	SAINT	DCFL	2.8	1.2	V_c = 1.3 V_p = 1.8	FET : 26,600
Fujitsu '84.	4096×1	47×32	4.6×3.4	E : 0.11 D : −0.71	WSix	DCFL	3.0	0.7	V_c = 1.0 V_p = −0.8	E : 17436 D : 8595
Toshiba '84.	4096×1	48×67	4.4×5.1	E : 0.185 D : −0.563	Sintered Pt.	DCFL SCFL	2.6	1.8	V_c = 1.0 V_{p1} = 2.0 V_{p2} = −1.5	
NEC '85	1024×4	68×55	7.0×6.6	E : 0.2 D : −0.4	SWAT	DCFL SCFL	2.4	1.1	V_c = −1.0 V_{p1} = −0.25 V_{p2} = −3.3	E : 9605 D : 17861 Diode : 983 R : 12

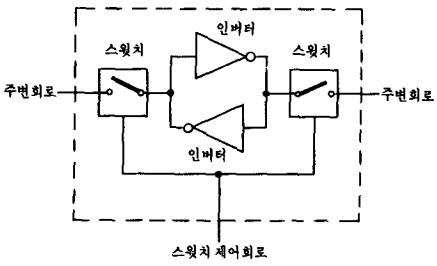


그림19. 메모리 Cell의 구성

X-address decoder와 Y-address decoder는 그림 20에 나타낸 바와 같이 n-bit의 address로 부터 특정한 메모리 cell을 선택하는 작용을 한다. 즉, X-address로부터 특정한 word line을 하나 선택하여 그 word line에 해당되는 메모리 cell내의 스윗치를 ON시키고 Y-address로 부터 해당되는 bit line을 선택하여 해당 bit line에 붙어 있는 스윗치를 ON하여 특정한 메메리 cell을 주변 회로와 연결시켜 준다. Decoder 회로 자체도 address 입력단에서 보면 큰 부하가 되며 bit line과 word line도 decoder 회로에서 보면 큰 부하이므로 decoder의 입력측과 출력측에 buffer를 추가하여 구동능력을 향상시켜 줌으로써 동작속도를 바르게 한다.

데이타 입력 buffer는 입력되는 데이타의 구동능력을 향상시켜 주어 쓰기 동작을 완전하게 해준다.

Sence 앰프는 decoder에 의해 선택된 특정 cell의 내용을 읽어내기 위한 회로이며 pull-up MESFET를 bit line에 연결함으로써 신호의 변화폭을 제한하여 동작속도를 증가시키는 것이 보통이다. 그림 21에 pull-up MESFET를 사용한 예를 보인다. 메모리 cell의 전압이 low상태일 때 bit line의 전압은 특정한 값 V_{bL}로 되며 더이상 떨어지지 않는다. 만약 V_b가 V_{DL}보다 높으면 I_T가 I_{Pull} 보다 커져서 V_b를 낮추게 되고 V_b가 V_{bL} 보다 낮으면 I_{Pull}이 I_T보다 커져서 V_b를 상승시키게 된다. 따라서 bit line의 전압이 상승할 때의 시간은 전압변화가 작으므로 훨씬 빨라진다. 이때 V_{bL}은 pull-up MESFET와 스윗치 MESFET의 기하학적인 크기에 의해 결정된다. Bit line의 전압 변동폭을 줄여줄 수록 동작속도는 빨라지지만 sense 앰프가 감지하기 어려워지므로 보통 100mV 정도로 하고 있다.

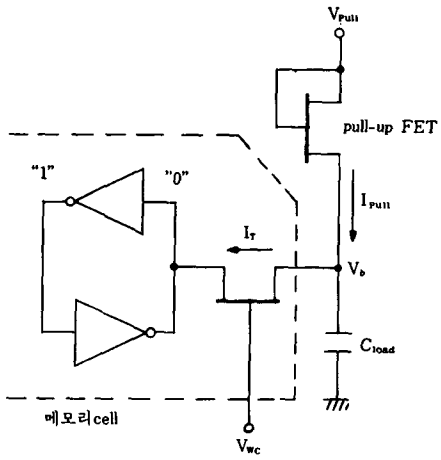


그림21. Pull-up FET에 의한 전압하한의 제한효과

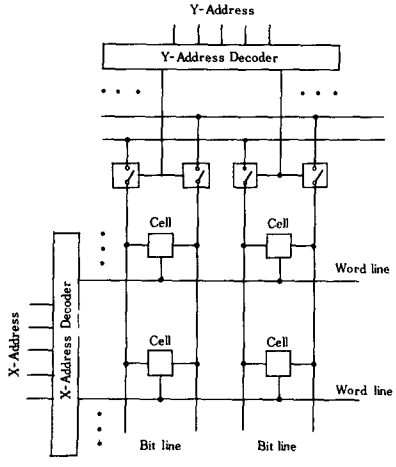
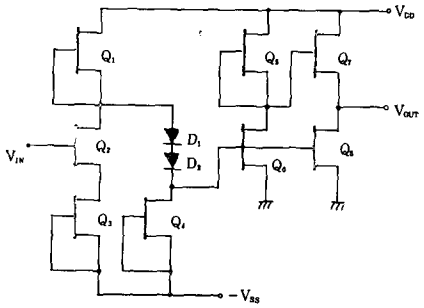


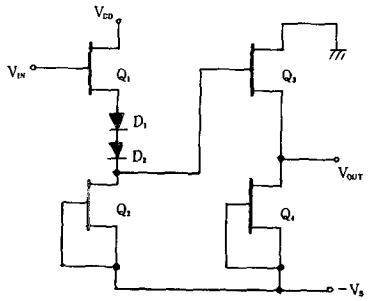
그림20. Address Decoder 회로의 역할

데이타 출력 buffer는 메모리 출력의 구동능력을 증가시켜 주어 메모리 출력단에 연결될 부하에 의해 발생할 수 있는 지연시간을 줄이기 위한 회로이다.

GaAs MESFET 논리회로의 또 하나의 문제로는 실리콘 논리레벨과 일치하지 않았는 점이다. 따라서 기존의 실리콘 논리회로와의 연결을 위해서는 데이타의 입출력단에 레벨변환 회로를 포함하는 interface buffer 회로가 첨가되어야 한다. 한 예로 ECL 논리와 SDFL 논리간의 레벨변환을 위한 interface buffer 회로를 그림 22에 나타냈다.[34] 그림 22(a)에 ECL 레벨의 입력을 SDFL 레벨의 출력으로 변환하기 위한 회로를 나타냈다. Q_5, Q_6, Q_7, Q_8으로 구성되는 회로는 super buffer라고 부르며 큰 부하에 대한 구동력을 증가시켜 속도를 빠르게 할 뿐 아니라 구동 MESFET와 부하 MES-



(a) ECL-SDFL 레벨 변환회로



(b) SDFL-ECL 레벨 변환회로

그림22. ECL-SDFL Interface Buffer의 회로도

FET의 구조차이에서 오는 비대칭성을 해결한다. 입력이 low인 경우에는 Q_7의 게이트 전압이 V_{DD}가 되어 출력전압이 보다 빨리 상승하게 하여 주며, 입력이 high인 경우에는 Q_7의 게이트 전압을 낮추어 주어 출력전압이 보다 빨리 하강하게 하여 준다. Super buffer와 D_1, D_2, Q_4가 함께 사용되어 SDFL 인버터 및 buffer로 동작한다. Q_1, Q_2, Q_3는 레벨변환 회로이며 Q_1, Q_3가 정전류원으로 동작하고 Q_2가 인버터로 동작하면서 ECL 논리레벨(−0.72V~−1.71V)을 SDFL 논리레벨(0.66V~2.45V)로 변환하여 준다. 논리레벨의 상승정도는 Q_1과 Q_3의 구조적 크기에 의해 결정된다. 그림 22(b)에는 SDFL 논리레벨을 ECL 논리레벨로 변환하는 회로를 나타냈으며 단순히 논리레벨을 낮추어 주는 역활을 한다. 이 외에도 여러가지 레벨변환 회로가 가능하며[27,32] 잡음여유, 공정의 제한성, 동작속도 및 소비전력등을 고려하여 목적에 맞게 선택되어 이용된다.

메모리 cell의 수가 많아짐에 따라, 메모리 cell의 구성은 공핍형 MESFET와 증가형 MESFET에 의한 DCFL 방식이 주로 채택되고 있으며 주변회로는 DCFL, BFL, SCFL등을 조합하여 초고속성과 저소비전력을 만족시키려는 시도가 지배적으로 많다.[3,4,5,29-33]

Ⅳ. 결 론

GaAs는 물질자체의 전기적 특성이 실리콘에 비해 우수하여 설계 및 공정에서 아직 해결하여야 할 점이 많음에도 불구하고 초고속, 저소비전력이 LSI 제작에 많은 기대를 모으고 있다. GaAs는 전자의 이동도가 높고 포화속도전계가 낮아서 pinch-off 모델이 그대로 적용될 수 없으며 포화속도를 고려한 모델이 사용되어야 한다. 이에 따라 GaAs MESFET 회로의 해석도 기존의 JFET 모델을 사용하기 보다는 새로운 GaAs MESFET 모델개발이 필요하다. 한편, 소자제작에 있어서도 증가형 MESFET이 많이 사용됨에 따라 self align 구조의 MESFET 제작이 필수적이며 소자특성의 향상을 위해 낮은 이온주입에너지에 의한 전도층 형성기술이 확립되어야 한다.

GaAs 기본 논리회로는 여러가지 형태가 제안되어 있으며 각 기본 논리회로는 고유의 특성을 가지고 있으므로 목적에 맞게 선택하여 사용하여야 한다. GaAs SRAM의 경우, 메모리 cell은 저소비전력 특성을 위하여 E/D DCFL이 주로 사용되고 있으며 주변회로의 구성에는 설계목표에 따라 여러가지 기본논리가 혼합되어 사용되는 것이 일반적이다. 또한 GaAs 논리회로와 기존 실리콘 논리회로와의 연결을 위한 interface buffer에 대한 연구도 활발히 진행되고 있다.

지금까지의 연구실적 및 경향으로 미루어 보아[7] 1988년 경에는 상품화된 GaAs LSI를 일반회로 설계자가 이용할 수 있을 것으로 기대된다.

參 考 文 獻

[1] G. Nuzillat, et al., 'GaAs MESFET IC's for gigabit logic applications," *IEEE J. Solid State Circuits* vol. SC-17, no. 3, pp. 569-584, June 1982.

[2] R.V Tuyl and C. Liechti, "High speed integrated logic with GaAs MESFET's", *IEEE J. Solid State Circuits,* vol. SC-9, pp. 262-276, Oct. 1974.

[3] M. Hirayama, et al., "A GaAs 16 Kbit static RAM using dislocation free crystal," *IEEE Tr. Electron Devices,* vol. ED-33, no. 1, pp. 104-110, Jan. 1986.

[4] N. Tamino, et al., "A 2.5ns/200mW GaAs 4kb SRAM", *Proc. GaAs IC Symposium*, pp. 101-104, 1986.

[5] B.L. Grung, et al., "A high speed GaAs 256×4-bit RAM," *Proc. GaAs IC Symposium*, pp. 93-96,1986.

[6] A. Peczalski, et al., "A 6k GaAs array with fully functional LSI personalization," *Proc. GaAs IC Symposium*, pp. 23-26, 1986.

[7] B.C. Cole, et al., "GaAs goes commercial," *Electronics*, pp. 57-60, Sep. 1986.

[8] S.M. Sze, *Physics of semiconductor devices*, John Wiley & Sons, New York, 1981.

[9] B.L. Shama, *Metal-semiconductor Schottky barrier junctions and applications*, Plenum Press, New York and London, 1984.

[10] R. Soaer, *Applications of GaAs MESFET's*, Artech House Inc. MA, 1983.

[11] J.A. Higgins, "Modeling the influence of carrier profiles on MESFET characteristics," *IEEE Tran. Electron Devices*, vol. ED-27, pp. 1066-1073, June 1980.

[12] H. Maemura, et al., "A comparison of rapid thermal annealing and controlled atomosphere annealing of Si-implanted GaAs," *J. Appl. Phys.*, vol. 57, pp. 4732-4737, May 1985.

[13] M.E. Greiner, et al., "Diffusion and electrical properties of silicon doped gallium arsenide," *J. Appl. Phys.*, vol. 57, pp. 5181-5187, June 1985.

[14] Ralph E. Williams, *Gallium arsenide processing techniques*, Artech House Inc., 1984.

[15] C.E. Weitzel, "A review of GaAs MESFET gate electrode fabrication techniques," *J. Electrochem. Soc.*, vol. 133, no. 10, pp. 409C-416C, 1986.

[16] Peter H. Shinger, et al., "Dry etching of SiO and Si N," *Semiconductor International*, pp. 98-103, May 1986.

[17] T. Sugeta, et al., "High speed technology comparison," Proc. GaAs Symposium, pp. 3-6, 1986.

[18] W.R. Curtice, "A Nonlinear GaAs FET mode for use in the design of output circuits for power amplifiers," *IEEE Tr. MTT*, vol. MTT-33, no. 12, Dec. 1985.

[19] Ernesto H. Peaea, et al., A GaAs low-power normally-on 4-bit ripple carry adder," *IEEE J. Solid State Circuits*, vol. SC-18, no. 3, pp. 365-368, June 1983.

[20] Marc Rocchi and Bertrand Gabillard, "GaAs digital dynamic IC's for applications up to 10GHz," *IEEE J. Solid State Circuits*, vol. SC-18, no. 3, pp. 368-376, June 1983.

[21] K. Suyama, et al., "An MSI GaAs integrated circuit:4-bit arithmatic and logic unit," *IEEE J. Solid State Circuits*, vol. SC-17, no. 4, pp. 654-657, Aug. 1982.

[22] R.C. Eden , "Planar GaAs IC technology: applications for digital LSI," *IEEE J. Solid State Circuits*, vol. SC-13, no. 4, pp. 419-426, Aug. 1978.

[23] E.R. Walton, "High speed GaAs SDFL divider circuit", *IEEE Tr. Microwave Theory and Techniques, vol.* MTT-30, no, 7, July 1982.

[24] M. Ino, et al., "Analysis for optimum threshold voltage and load current of E-D-type DCFL circuits", *Electronics Letters*, vol. 17, no. 15, pp. 522-523, July 1981.

[25] G. Nuzillet, et al., "High speed low power logic IC's using quasi-normally-off GaAs MESFET's", *IEEE J. Solid State Circuits*, vol. SC-16, no. 3, pp. 226-232, June, 1981.

[26] K. Suyama, et al., "Design and performance of GaAs normally-off MESFET integrated circuits", *IEEE Tr. Electron Devices*, vol. ED-27, no. 6, pp. 1092-1097, June 1980.

[27] A.D. Welbourn, et al., "A high speed GaAs 8bit multiplexer using capacitor-coupled logic", *IEEE J. Solid State Circuits*, vol. SC-18, no. 3, pp. 359-364, June 1983.

[28] T. Ducourant, et al., "1GHz, 16-mW, 2-bit analog to digital GaAs converter", *IEEE J. Solid State Circuits* vol. SC-21, no. 3, pp. 453-456, June 1986.

[29] M. Ino, et al., "Design of GaAs lk bit static RAM", *IEEE Tr. Electron Devices*, vol. ED-31, no. 9, pp. 1139-1144, Sept. 1984.

[30] N. Yokoyama, et al., "A 3-ns GaAs 4k×

1-bit static RAM", *IEEE Tr. Electron Devices*, vol. ED-32, no. 9, pp. 1797-1801, Sept. 1985.

[31] N. Yokoya, et al., "A GaAs lk SRAM using tungsten silicide gate self-aligned technolology", *IEEE J. Solid State Circuits*, vol. SC-18, no. 5, Oct. 1983.

[32] T. Hayashi, et al. "ECT compatible GaAs SRAM circuit technology for high performance computer applications", *GaAs IC Symp. Tech.* Dig., pp. 111-114, 1984.

[33] T. Mizoguchi, et al., "A GaAs 4kbit static RAM with normally-on and -off combination circuit", *GaAs IC Symp. Tech. Dig.*, pp. 117-120, 1984.

[34] Tho T. Vu, et al., "A gallium arsenide SDFL gate array with on-chip RAM", *IEEE Tr. Electron Devices*, vol. ED-31, no. 2, pp. 144-156, Feb. 1984. *

♣ 用 語 解 說 ♣

自己整合技術 (Self-align Technology)

LSI를 만드는 공정에서는 여러장의 마스크를 써서 회로 패턴을 가공하거나 박막을 형성하거나 한다. 이때 위치를 정확하게 맞출 필요가 있다. 그것은 lithography에서 쓴 패턴을 다음 공정에서도 이용해서 위치를 맞추는 제어를 자기적으로 시키는 것과 또한 공정을 간략화하는 기술이다.

예를 들어 bipolar transistor에서 금속이온을 주입한 에미터 확산층에 배선용 컨택트 구멍을 만들려 할 때의 경우를 본다. 일반적으로 컨택트 구멍의 형성에는 이를 위한 리도그라피가 필요한데 확산용으로 썼던 실리콘 산화막의 패턴을 그대로 이용해서 컨택트 구멍을 형성시킨다. 이 경우에 실리콘 산화막 패턴은 정합용으로 사용된 것이다.

Self-align Technology 기술은 VLSI 실현을 위한 열쇠가 되는 기술중의 하나이다.

Magnetic bubble

원칙적으로는 1967년 미국의 Bell Lab.에서 발견되었다. 그러나 재료가 되는 페라이트 단결정을 양산하기가 어려워 실용이 어렵다고 하였으나, 1970년 7월, 일본의 NEC에서 양산기술이 개발되어 주목을 받게 되었다.

최근에는 써넣기와 읽어내기를 하는 기억장치(RAM) 대신에 자기 버블메모리는 전원을 끊어도 기억내용이 지워지지 않고, 자유로 바꿔 쓰기가 가능하기 때문이다.

버블이란 거품이라는 뜻이다. 磁界 가운데 생긴 거품을 이용하는 것으로 기억밀도가 LSI의 약 10배에 달하게 되어 컴퓨터 기억장치로 쓰이게 되었다. 엷은 자성재료에 영구자석으로 외부로부터 재료면에 수직으로 자계를 가하면 한쪽 면이 N극으로, 다른 면이 S극으로 자화방향이 결정된다. 그러나 그중에는 전체와는 반대로 되는 부분이 나타난다. 물론 이것은 눈에 보이지 않는다. 偏光 현미경으로 이 반대로 되어 있는 부분을 보면 마치 둥근 조그만 거품이 생긴 것같이 보인다. 이 거품 부분을 자기 버블이라 부르는 것이다. 자기 버블은 인위적으로 발생시키거나 끄거나 할 수가 있다.

이 거품은 100분의 1mm 이하의 작은 것이나, 이것과 재료표면에 붙인 회로와의 결합으로 기억기능이나 논리기능을 가지게 할 수가 있다.

자기 버블에는 LSI를 쓰는 기억장치에 비해 다음과 같은 장점이 있다.

① 기억밀도가 LSI에 비해 약 10배나 된다.

② 이미 10mm각에 1M비트(100만 비트)를 기억할 수 있는 것이 실용화되었다.

③ LSI를 쓴 RAM은 전원을 끊으면 기억내용이 소실되지만, 자기 버블 메모리는 버블 그 자체가 그대로 있기 때문에 기억이 사라지지 않는다.

④ 자기 버블 메모리는 자유로 바꿔 써 넣을 수가 있다.

이러한 특징을 살려서 전자교환기, NC 공작기계, 산업용 로보트 등의 메모리로 사용되고 있다.