

論 文

開閉루프 交代方式에 의한
周波數合成器의 設計

正會員 金 翊 相*, 正會員 韓 榮 烈**

The Design of Frequency Synthesizer
by Open and Closed Loop
Alternation Method

Ik Sang KIM*, Young Yeul HAN** *Regular Members*

要 約 본 논문에서는 주파수 도약시 천이상태에서 발생하는 주파수의 오차를 없애기 위하여 새로운 형태의 개폐루프 교대 주파수합성기를 개발하였다. 본 주파수합성기는 단일 위상비교기(PC), 두 개의 저역통과여파기(LPF), 두 개의 전압제어발진기(VCO), 스위칭소자, 가변분주기 및 주파수도약제어기로 구성되어 있으며 스위칭 동작에 의해 안정된 출력 주파수를 얻게 된다. 아울러 본 주파수합성기의 회로구성상 개루프에서 외부회로의 인가가 용이할 것으로 생각된다.

ABSTRACT In this paper, a new Open and Closed Loop Alternation(OCLA) frequency synthesizer is developed to eliminate a frequency error occurring in the transition state of a frequency hopping. This frequency synthesizer consists of a phase comparator(PC), two low pass filters(LPF), two voltage controlled oscillators(VCO), switching elements, a programmable divider and frequency hopping controller, and the stabilized output frequency can be obtained by switching performance. In addition, it can be found that the characteristic of its circuit construction makes it easy to attach an external circuitry to the open loop.

1. 서 론

주파수합성기 개발의 역점은 제한된 대역폭 내에서 최대의 통신채널을 보유하는데 있다. 초기에는 단파통신에 응용되었는데 특히 단파라디오 수신기에서 연속적으로 튜닝하는 국부발진기를

주파수합성기로 대체하게 되었다. 또한 라디오 방송의 경우 한 번에 여러 송신기를 사용하게 되므로 주파수합성기로써 모든 송신기를 제어할 수 있으며 TV 방송에서는 같은 채널상에 있는 여러 송신기로부터의 간섭을 줄이기 위해서 주파수합성기가 응용되고 있다. 또한 정보신호가 차지하는 주파수대역을 확산시킴으로써 정보누설 방지나 자연적, 인위적 간섭에 대한 내인성을 위하여 개발된 확산대역 통신방식에서도 주파수합성기를 사용함으로써 주파수 도약을 시켜 대역을 확산시킬 수 있다.¹⁾

*,** 漢陽大學校 電子通信工學科
Dept. of Electronic communication Engineering,
Han Yang University, Seoul 133, Korea.
論文番號 : 87-13(接受 1987. 1. 13)

주파수합성 방식에는 직접방식과 간접방식이 있으며 또한 다수의 주파수로부터 합성할 경우 이를 incoherent 방식, 단일 기준주파수로부터 합성할 경우 coherent 방식으로 분류할 수 있다.^[2]

주파수합성기 설계시 고려해야 할 중요한 사항은 출력주파수의 범위, 주파수 분해능, 주파수 안정도, 주파수 정확도, 기생고조파 출력, 위상잡음 등이 있다.^[1]

확산대역통신에서 정보신호의 대역을 확산시키기 위해 주파수도약을 행하게 되는데 그 과정에서 야기되는 주파수의 천이로 인하여 출력주파수의 불안정이라는 문제가 대두되었다. 이러한 문제점을 해결하기 위해 다중루프(multiple loop) 주파수합성기와 같이 두 개의 독립적인 PLL (Phase Locked Loop)을 이용하여 두 루프중에서 안정되어 있는 루프로부터 교대로 안정된 출력주파수를 얻을 수 있게 되었다.^[3] 그러나 본 논문에서 제시하는 개폐루프교대 주파수합성기는 다중루프 주파수합성기와 원리적으로는 유사하나 회로구성상 단일 위상비교기를 사용하고 있고 또한 그와는 달리 스위칭 작용으로 인해 개루프가 형성됨으로써 외부회로의 인가가 용이하리라는 이점을 가지고 있다. 본 논문에서는 이와같은 새로운 형태의 주파수합성기를 설계하여 실험을 통해 그 성능을 입증하였다.

2. PLL의 기본원리

먼저 본 논문에서 제시하게 될 개폐루프교대 주파수합성기는 기본적으로 PLL을 이용한 coherent 간접 주파수합성 방식을 채택하고 있기 때문에 그 동작 원리에 앞서 PLL의 전반적인 이론을 통해 주파수도약을 수행함에 있어 양호한 성

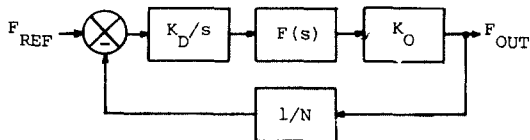


그림 1 PLL 주파수합성기의 신호흐도
Signal flow graph of PLL frequency synthesizer.

능을 기한다는 측면에서 이론을 전개하고자 한다.

그림 1에서 개루프 및 폐루프 전달함수 $G(s)$, $H(s)$ 는 다음 식과 같다. 여기서 K_D 는 위상비교기(PC)이득, K_O 는 전압제어발전기(VCO) 이득, $F(s)$ 는 저역통과여파기(LPF)의 전달함수, N 은 분주기의 분주수를 표시한다.

$$G(s) = \frac{K_D K_O F(s)}{s}$$

$$H(s) = \frac{G(s)}{1 + \frac{G(s)}{N}}$$

또한 출력주파수 F_{OUT} 는 루프가 lock 되었을 때 기준주파수 F_{REF} 의 분주수 N 배 만큼 체배되어 나온다.

LPF는 PLL의 동작 특성에 지대한 영향을 주는데 그 기능은 우선 잡음을 제거하고 PC의 출력으로부터 고주파 성분을 제거함으로써 위상차에 비례하는 평균 적류전압을 얻는데 있다. 또한 출력주파수의 capture range, lock range^[4] 및 천이응답, 루프대역폭 등과도 관련한다. 일반적으로 1차 및 3차 이상의 PLL은 그 효용성 및 안정도라는 면에서 좋지 않기 때문에 보통 2차 PLL을 사용하게 되며 표 1은 2차 PLL의 동작 특성을 나타내고 있다.^[5]

루프대역폭(BW)은 폐루프 전달함수의 주파수 응답곡선상에서 $-3dB$ 되는 주파수로서 정의되며,^[6] 그림 2에서 주목해야 할 점은 servo 이론에 따라 루프대역폭과 위상추적시간은 반비례 관계에 있다는 것이며 이로부터 다음에 언급하게 될 출력주파수의 양호한 성능을 위해서 중요한 인자로서 작용한다는 그 의미가 크다고 하겠다.

주파수합성기에서 가장 중요한 것은 양질의 주파수를 생성하는데 있으며 그러기 위해서는 먼저 출력주파수가 빠른 시간내에 안정되어야 하는데 이로부터 주파수 도약율을 높이는 효과가 있다. 이를 위해서는 앞서 설명했던 것처럼 BW를 크게 해 줌으로써 해결될 수 있겠다. 다음으로 생각해야 할 것은 일단 주파수가 안정되었다 하더라도 정확해야 한다는 점이다. 이를 위해서는 ζ 가 1보다 큰 over damping 조건하에서 출력주파수를

표 1 세 종류의 LPF에 대한 2차 PLL 특성
Second order PLL characteristics for three types of LPF's

LPF 명칭	lag	lag lead	integrator lead
회로도			
LPF 전달함수 F(s)	$\frac{1}{1+s\tau_P}$ $\tau_P=R_1C$	$\frac{1+s\tau_Z}{1+s\tau_P}$ $\tau_P=(R_1+R_2)C$ $\tau_Z=R_2C$	$\frac{1+s\tau_Z}{s\tau_P}$ $\tau_P=R_1C$ $\tau_Z=R_2C$
고유주파수 ω_n	$\sqrt{\frac{K}{\tau_P}}$	$\sqrt{\frac{K}{\tau_P}}$	$\sqrt{\frac{K}{\tau_P}}$
감쇠율 ζ	$\frac{1}{2} \frac{1}{\omega_n \tau_P}$	$\frac{1}{2} \left(\frac{1}{\omega_n \tau_P} + \omega_n \tau_Z \right)$	$\frac{1}{2} \omega_n \tau_Z$
α	0	$\frac{1}{1 + \frac{1}{K\tau_Z}}$	1
폐루프전달함수 H(s)	$N\omega_n \frac{2\alpha\zeta s + \omega_n}{s^2 + 2\zeta\omega_n s + \omega_n^2}$		
K	$\frac{K_b K_o}{N}$		

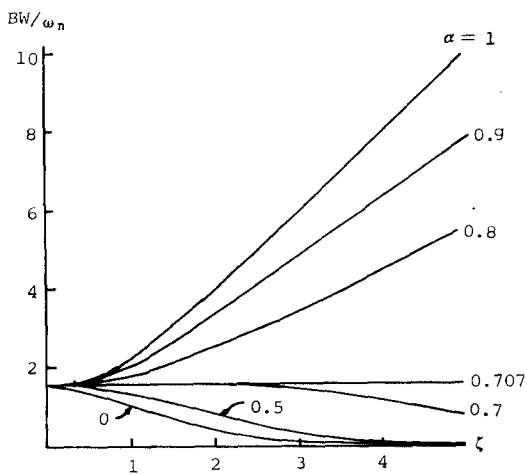


그림 2 α, ζ 에 대한 ω_n 으로 정규화된 루프대역폭
Loop-bandwidth normalized by ω_n vs. α & ζ .

진동하지 않도록 해 주는 것이 필요하다. 그리고 앞서 BW를 크게 해주려고 VCO 자체의 이득 K_o 를 무한정 크게 할 수도 있는데 이는 단위 주파수에 대한 VCO 입력전압 (I_{VCO})이 세밀화되어 I_{VCO} 의 약간의 변동만으로도 출력주파수의 오차가 커질 수 있으므로 이러한 경우에는 VCO 전단에 증폭기를 접속함으로써 BW도 크게 해 주고 주파수의 정확도도 기할 수 있다고 생각된다.

이러한 관점에서 표 1에 나와 있는 세 가지 LPF에 대한 성능 및 최적설계 방안을 생각해 보면, lag LPF의 경우 그림 2의 α 가 0인 그래프에서 ζ 와 BW는 반비례하여 주파수의 정확도와 천이시간의 단축에 있어 상충됨을 알 수 있다. BW를 크게 하려면 ω_n 을 크게, ζ 를 작게 해주

면 되는데 표 1에서 ω_n 이 $\sqrt{\frac{K}{\tau_p}}$ 에서 K를 크게 τ_p 를 작게 하고, ζ 가 $\frac{1}{2\sqrt{K\tau_p}}$ 에서 K를 크게 τ_p 를 크게 함으로써 해결될 수 있으나 두 조건이 τ_p 에 있어서는 상충되고, K는 두 조건에서 모두 크게 해 주면 된다. 또 α 가 0와 1사이의 값을 가지는 lag-lead LPF는 그림 2에서 보듯이 ω_n , α , ζ 를 모두 크게 하면 주파수의 정확도 및 천이시간을 단축시킬 수 있다. 여기서도 앞서 lag LPF의 경우처럼 회로 변수 조절에 있어 상충조건이 있게 된다. 그러나 α 가 1인 integrator lead LPF의 경우 ω_n , ζ 를 크게 하면 좋은 성능을 가지게 되는데 표 1에서 τ_p , τ_z 를 상호 독립적으로 조절할 수 있으므로 K, τ_z 는 크게 τ_p 는 작게 함으로써 양호한 성능을 기할 수 있다.

3. 개폐루프교대(OCLA) 주파수합성기의 동작원리 및 회로구성

3-1 동작 원리

그림 3에서 LPF 1, VCO 1은 각각 SW 1, SW 2에 의해 PC와 가변분주기에 연결되어 페루프를 형성함으로써 기준신호(I_R)의 주파수에 대해 가변분주기의 분주수로 채배된 출력주파수가 나타나도록 추적(tracking)하는 동시에 LPF2, VCO 2는 각각 PC와 가변분주기로부터 단절되어 개루프를 형성함으로써 VCO 2의 고입력 임피던

스로 인하여 전류의 차단상태에서 LPF2의 커패시터는 이전의 추적과정을 거쳐 안정된 정상전압을 그대로 유지하게 되어 VCO 2로부터 안정된 출력주파수가 나오게 된다.

반대로 LPF 1과 VCO 1이 형성한 폐루프가 정상상태에 돌입하게 되면 SW1, SW2는 주파수도약제어기의 스위칭 제어신호에 의해 LPF2, VCO 2에 연결됨으로써 앞서 LPF2, VCO 2의 경우처럼 개루프를 형성하게 되고 이때 LPF 1의 커패시터는 안정된 정상전압으로 유지되어 VCO 1으로부터 안정된 출력주파수가 나오게 된다. 이와 동시에 역시 주파수도약제어기의 분주 제어신호에 의해 가변분주기의 분주수가 다음 주파수도약을 위해 새로이 바뀐 상태하에서 LPF 2, VCO 2는 폐루프를 형성함으로써 새로운 출력주파수를 내기 위해 추적과정을 시작하게 된다.

이와같이 본 주파수합성기는 두 쌍의 LPF, VCO가 SW에 의해 교대로 개폐루프를 형성함으로써 전이상태가 없는 정상주파수로 도약을 실행하게 되고 이러한 이유로 해서 개폐루프교대 주파수합성기라 명명하게 되었다.

3-2 회로 구성

4046B 저전력 CMOS PLL은 두 종류의 PC 및 VCO를 내장하고 있으며 여기서는 기준신호(I_R)와 위상비교신호(I_c)의 duty cycle에 무관한 PC를 사용하였다. 본 PC는 4단의 FF(flip-flop)으로 구성된 edge triggered digital memory 회로로서 그 출력단은 증가형(enhancement) p,n 채널 CMOS로 되어 있으며 I_R 및 I_c 의 상승 edge에 따른 p,n MOS의 on, off에 의해 저전위, 고출력 임피던스, 고전위 순으로 높은 출력상태를 가진다. 또한 PC 출력단에 lag lead LPF가 연결될 경우 세 가지 출력상태하에서 LPF의 커패시터를 통해 각각 방전, 전압의 유지, 충전이 일어나게 된다. 여기서 I_R 의 상승 edge에서는 보다 높은 출력상태로, I_c 의 상승 edge에서는 보다 낮은 출력 상태로 변함으로써 위상비교를 행하게 되며 그 결과 그림 4와 같이 파형이 나타난다. 여기서 O_{PC} 는 PC 출력전압, V_c 는 LPF의 커패시터 양단전압, I_{VCO} 는 VCO 입력전압을 표시한다.

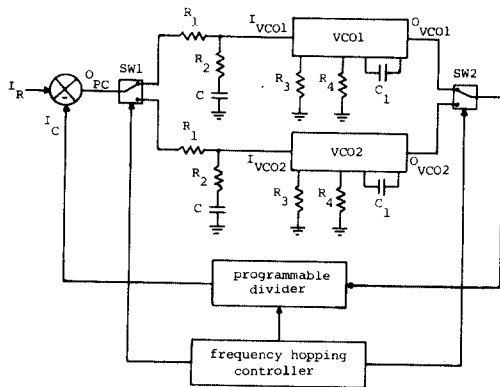


그림 3 개폐루프교대 주파수합성기 개략도
Block diagram of Open and Closed Loop Alternation (OCLA) frequency synthesizer.

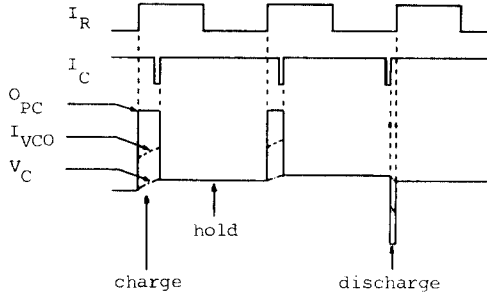


그림 4 laglead LPF의 경우 위상비교에 따른 각부 파형
Several wave shapes corresponding to phase comparison in case of laglead LPF.

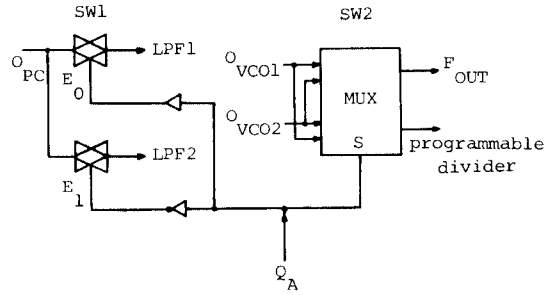


그림 6 스위칭 회로
Switching circuit.

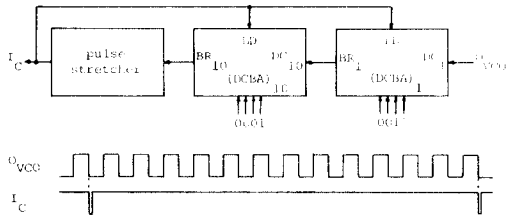


그림 5 가변분주기의 개략도 및 입출력 파형
Block diagram of programmable divider and input and output wave shapes.

VCO는 그림 3에서 R_3, C_1 에 의해 VCO 이득이 결정되고 R_4 에 의해 offset 주파수가 결정된다. 또한 MOS 공급 전압의 반되는 I_{VCO} 에서 중심주파수가 결정되고 VCO 발진주파수대는 이 중심주파수로부터 LPF에 의해 결정되는 lock range $2f_L$ 의 발진대역을 가진다.

그림 5에서와 같이 가변분주기는 두 개의 74LS193내림계수기를 중속접속함으로써 각각 십자리, 일자리의 분주기 역할을 하고 주파수도약제어기로부터의 분주 제어신호가 각 4비트 BCD수로서 내림계수기의 분주입력(DCBA)으로 들어가서 분주수를 변화시키게 된다. 각 내림계수기는 DC (Down Count) 입력의 상승 edge에서 4비트 BCD 계수출력이 앞서 지정된 분주수를 시점으로 하여 내림계수를 실행하게 되며 4비트 BCD 계수출력과 DC입력이 모두 0이 될 때 BR (Borrow) 출력이 0으로 나타난다. 특히 최종단인 십자리 분주기의 BR 출력이 0이 될 때 펄스폭 확장기에 의해 늘어난 negative pulse가 각 분주기의 LD

(Load)입력으로 들어감으로써 분주입력에 인가되어 있는 분주수가 4비트 BCD 계수출력에 load되어 앞서와 같이 내림계수를 반복함으로써 VCO 출력 (O_{VCO})은 분주시키게 된다.

여기서 74LS123 펄스폭 확장기를 사용한 것은 십자리 분주기의 BR 출력의 negative pulse폭이 너무 작아 십자리 분주기의 BR 출력을 그대로 LD에 연결할 경우 십자리 분주기의 4비트 BCD 계수출력이 DC 입력의 상승 edge로 인하여 하나 줄어들게 됨으로써 원하는 분주수에서 10을 뺀 분주수로서 오동작을 유발시키기 때문이다. 반대로 지나치게 펄스폭을 확장시키게 되면 일자리 분주기가 내림계수를 실행해야 함에도 불구하고 그대로 4비트 BCD 계수출력을 유지함으로써 원하는 분주수보다 1이 더 많은 분주수로서 분주하게 된다. 이와같은 이유로 펄스폭 확장기에서 펄스폭을 조정할 때 가급적 작은 폭으로 늘려 줄 것이 요구된다.

그림 6은 앞서 그림 3에 나와 있는 SW1, SW2의 회로도로서 SW1은 4066B CMOS analog switch를, SW2는 74LS157 multiplexer를 사용하였다. 주파수도약제어기로부터의 스위칭 제어신호 Q_A 가 1일 때 LPF1과 VCO1이 PC 및 가변분주기에 연결되고 반대로 0일 때 LPF2와 VCO2가 연결된다.

그림 7에서 주파수도약제어기는 회로 구성상 간단하게 J, K를 1로 한 3비트 2진 계수기를 사용하였다. 또한 그림 5에서 십자리 분주입력(DCBA)₁₀을 0100으로, 일자리 분주입력의 MSB

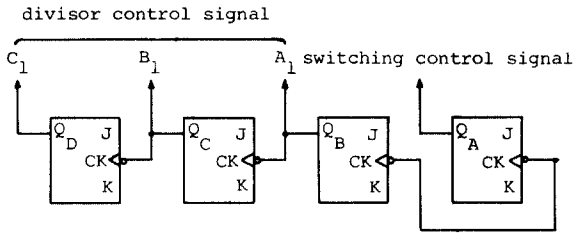


그림 7 주파수도약제어기 회로
Frequency hopping controller circuit.

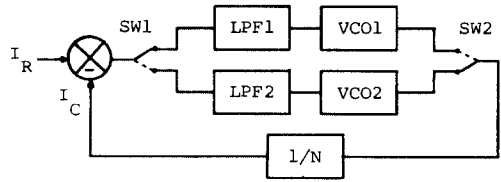


그림 9 스위치 전환 시점의 불일치
Asynchronism of switch exchange timing.

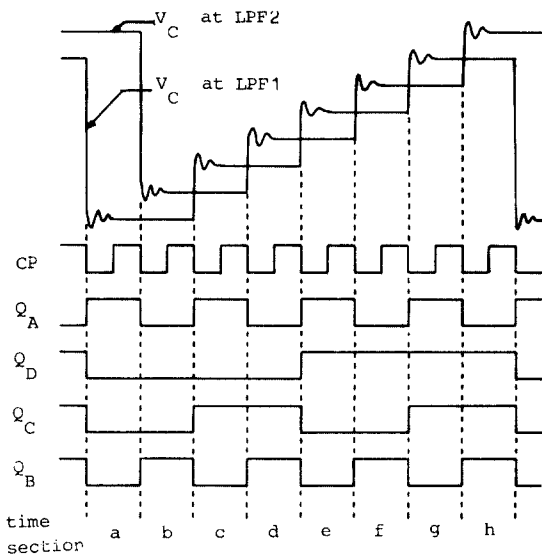


그림 8 LPF 1, LPF 2의 커패시터 및 주파수도약제어기의 출력파형
Wave shapes of capacitor voltages at LPF 1 and LPF 2 and frequency hopping controller outputs.

(D)₁을 0으로 그리고 나머지 (CBA)₁을 주파수도약제어기의 분주 제어신호 Q_DQ_CQ_B로 해서 40에서 47의 분주수로서 주파수 도약을 실행시킬 경우 그림 8과 같이 파형이 나타난다. 그림 8을 보면, a, c, e, g 시구간에서 스위칭 제어신호 Q_A에 의해 LPF1, VCO1은 페루프를 형성하고 LPF2, VCO2는 개루프를 형성하여 MUX를 통해 천이상태가 없는 안정된 출력주파수를 내게 되고 반면 b, d, f, h 시구간에서는 LPF2, VCO2가 페루프를 형성하고 LPF1, VCO1이 개루프를 형성하여 MUX를 통해 안정된 출력주파수를 내게 된다.

본 주파수합성기는 스위치를 사용함으로써 루

프를 전환시키기 때문에 스위치 소자의 propagation delay에 따른 SW1, SW2의 전환 시점의 불일치로 야기될 수 있는 오동작을 검토해 볼 필요가 있다. 먼저 SW1이 SW2보다 빨리 전환되어 그림 9의 실선의 위치에 놓여 있다면 VCO2는 이미 lock된 주파수를 냄으로써 I_R과 I_C의 위상차가 없기 때문에 I_{VCO1}은 변하지 않고 VCO1은 여전히 안정된 출력주파수를 내게 된다. 반면 SW2가 SW1보다 빨리 전환되어 그림 9의 점선의 위치에서 VCO1이 가변분주기에 연결될 경우를 가상하면 I_R의 상승 edge 바로 전시점에서 SW2가 전환될 때 I_R과 I_C의 위상 불일치로 인하여 I_{VCO2}가 변함으로써 VCO2의 출력주파수가 바뀌게 된다. 그러나 주파수도약제어기의 CP(Clock Pulse)와 I_R이 공통의 X-tal을 분주해서 얻은 신호인 경우에는 SW2의 전환 시점이 반드시 I_R의 상승 edge 바로 다음에 나타나기 때문에 하등의 문제점이 없다고 본다.

4. 최적화설계 및 실험결과

실험에 앞서 최적화설계 시뮬레이션을 통해 그 결과를 분석함으로써 천이시간의 단축, 출력주파수의 정확도 등을 개선하는 방안을 모색해 보고자 한다.

여기서 사용된 입력변수는 다음과 같다.

A : VCO 이득 (kHz/V)

B : VCO의 offset 주파수 (kHz)

RF : 기준주파수 (kHz)

TA : lag lead LPF의 τ_o, 즉 (R₁+R₂)C (sec)

N : 도약후 분주수

ND : 도약전후 분주수차

$$G : 1 - \frac{\tau_z}{\tau_D}, \text{ 즉 } \frac{R_1}{R_1 + R_2}$$

또한 출력변수는 다음과 같다.

H : 기준신호의 주기로 정규화된 천이시간 즉 천이시간 × 기준주파수

S : I_{VCO} 의 정상상태까지의 극점수

먼저 그림10에서 TA가 작아지면 H가 최소가 되게 하는 G도 따라서 작아지는 규칙성을 찾아볼 수 있다. 이것은 작은 TA에 대해서 G가 커지면 그만큼 분주수차 ND를 세는 시간이 길어지고 이는 I_{VCO} 의 급격한 상승을 초래하게 되므로 다음 I_n 의 상승edge에서의 분주수차는 심한 변동을 일으켜 결국 H도 커지고 진동도 심해져 S가 커진다. 요컨대 되도록 TA와 G를 작게 해주면 H도 감소될 뿐더러 진동도 적어져서 천이시간의 단축이나 정확도를 높일 수 있으리라고 본다. 그러나 G를 지나치게 작게 해주면 분주수차 계수시간이 짧아 I_{VCO} 의 전위변동이 미미하기 때문에 오히려 H는 커지게 되어 좋지 않다.

그림11은 4V의 일정한 I_{VCO} 시초전위에서 120 kHz의 주파수 변동에 미치는 A의 효과를 보여주기 위한 것이다. 표 2에서 보드시피 A값이 클수록

록 진동이 적어지는 것은 일정한 분주수차 ND에 대해서 큰 A의 경우에는 그 계수시간이 짧아 L-PF 커패시터의 총방전에 의한 I_{VCO} 전위변동이 매우 작아지는데 원인이 있다. 결국 그림11에서 보는 것처럼 A는 클 수록 H, S가 작아져 매우 양

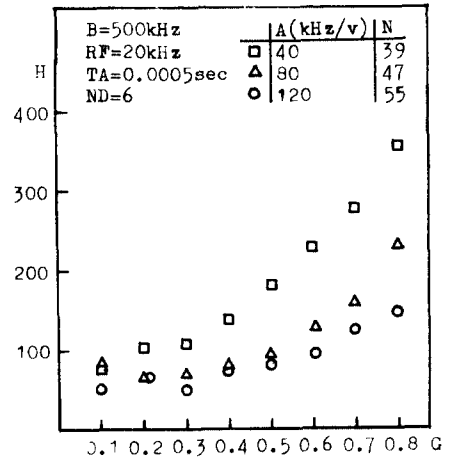


그림11 H에 대한 A의 효과
The effect of A on H.

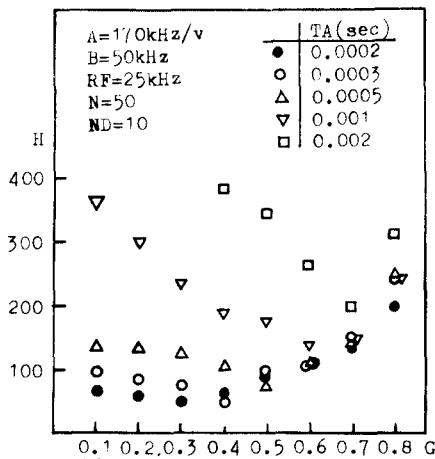


그림10 H에 대한 TA와 G의 효과
The effect of TA and G on H.

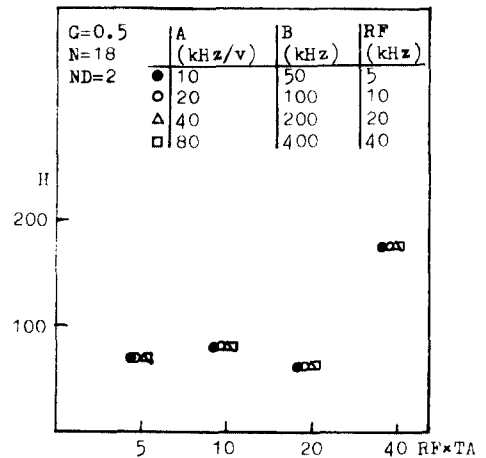


그림12 출력의 일치
The correspondence of outputs.

표 2 그림 10, 11, 12의 S of Fig 10, Fig 11, and Fig 12.

G	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8
Fig. 10 ●	1	1	3	5	9	13	15	23
S ○	1	1	1	1	7	9	13	21
△	1	1	1	1	1	7	9	13
▽	0	0	1	1	1	1	6	11
□	0	0	0	0	1	1	1	9
Fig. 11 □	2	3	4	5	7	7	12	17
S △	1	1	2	4	5	7	10	15
○	0	1	2	3	4	6	8	10
RF×TA	5	10	20	40				
Fig. 12 ●	7	4		1	0			
S ○	7	4		1	0			
△□	7	4		1	0			

이상에서 최적화설계 방안은 큰 A와 작은 TA와 G가 되도록 하면 천이시간의 단축과 아울러 진동도 줄어들어 향상시킬 수 있다.

본 주파수합성기는 기준신호의 주파수 25kHz, 주파수도약제어기의 CP를 250Hz 구형파로 함으로써 주파수도약을 250hps(hops/sec), 앞서 설명한 것처럼 40에서 47로 분주를 실행함으로써 1000kHz에서 1175kHz의 25kHz단위로 도약하게 된다. 또한 여기서 사용된 lag lead LPF의 R₁, R₂, C의 값은 앞서의 최적화설계 방안에 따라 사진 1과 사진 2에 그 성능을 비교할 수 있다. 즉 사진 2의 천이시간이 사진 1의 경우보다 많이 단축되었음을 볼 수 있다. 이와 아울러 TA를 작게 한다고 해서 C를 작게 하면 전압유지시 누설전류에 의한 전압변동이 커지므로 지나치게 작게 해

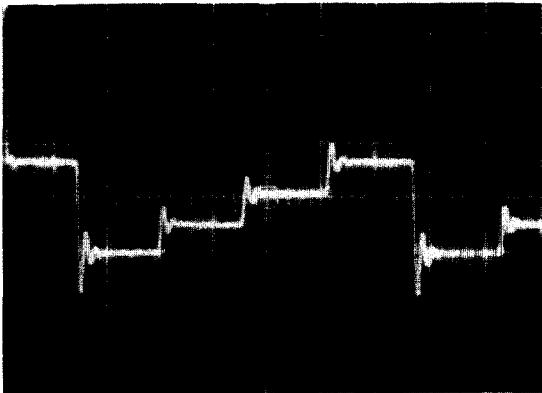


사진 1 LPF 커패시터 전압파형
 R₁ = 2KΩ R₂ = 300Ω C = 0.22μF
 R₃ = 2.2KΩ R₄ = 100KΩ C₁ = 100pF
 Capacitor voltage wave shape at LPF
 R₁ = 2KΩ R₂ = 300Ω C = 0.22μF
 R₃ = 2.2KΩ R₄ = 100KΩ C₁ = 100pF

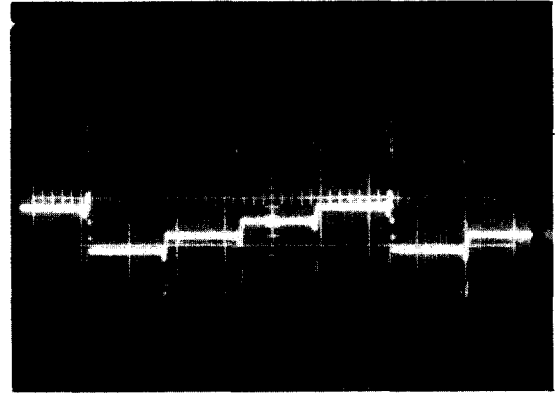


사진 2 VCO 입력 전압파형
 R₁ = 100Ω R₂ = 200Ω C = 0.22μF
 R₃ = 2.2KΩ R₄ = 100KΩ C₁ = 100pF
 VCO input voltage wave shape
 R₁ = 100Ω R₂ = 200Ω C = 0.22μF
 R₃ = 2.2KΩ R₄ = 100KΩ C₁ = 100pF.

호한 결과를 기대할 수 있겠다.

그림 12에서는 네 가지 경우 모두 다 H, S가동 일함을 보여준다. 다시 말해서 I_{vco}의 천이응답이 시간대의 변화이외에는 같다는 점이다. 이것은 앞서의 큰 A와 작은 TA일 때 가장 천이시간이 짧다는 점과 상통한다. 또한 여기서 주목할 것은 TA가 I_R 주기의 5배일 때보다 20배일 때가 오히려 H가 작아지는 것은 G의 효과로 인한 것이다. 덧붙여 둘 것은 TA뿐만 아니라 G에 의한 효과도 네 가지 경우 모두 동일하다는 점이다.

서는 않된다.

5. 결 론

본 주파수합성기는 기존의 주파수 합성기와는 달리 단일 PC와 두 쌍의 LPF, VCO를 사용해서 회로의 간단화와 아울러 안정된 출력주파수만을 얻을 수 있으며 또한 외부 변조에 대한 정합이 용이하리라는 점이 기대된다.

이 논문은 한국전기통신공사의 학술단체육성
지원금의 일부로 이루어졌습니다

參 考 文 獻

(1) J.G. Popiel, Frequency Synthesis Techniques and Applications, IEEE Press, pp. 20-50, 1975.

(2) Vadim Manassewitsch, Frequency Synthesizers Theory and Design, New York, John Wiley & Sons, pp. 1-37, 1976.
(3) R. C. Dixon, Spread Spectrum Systems, New York, John Wiley & Sons, pp. 113-114, 1976.
(4) H. M. Berlin, Design of Phase Locked Loop Circuits with Experiments, Indianapolis, Howard W. Sams, pp. 70-73, 1978.
(5) W. F. Egan, Frequency Synthesis by Phase Lock, New York, John Wiley & Sons, pp. 175-182, 1981.
(6) F. M. Gardner, Phase Lock Techniques, New York, John Wiley & Sons, pp 13, 1979



金 翊 相 (Ik Sang KIM) 正會員
1960年 9月 8日生
1984年 2月 : 漢陽大學校 電子通信工學
科 卒業
1986年 2月 : 漢陽大學校 大學院 電子通
信工學科 卒業



韓 榮 烈 (Young Yeul HAN) 正會員
1938年 6月 10日生
1960年 2月 : 서울大學校 電子工學科 卒業
1976年 5月 : 美미주리大學校 (工學碩士)
1979年 5月 : 美미주리大學校 (工學博士)
1961年 8月~64年 8月 : 西獨Siemens社
근무
1969年 8月~70年 9月 : KAIST근무
1980年 1月~80年 9月 : ADD근무
現在 : 漢陽大學校 電子通信工學科 副教授, 本學會理事
Sigma Xi, IEEE 正會員