

불순물 농도에 따른 산화막 성장률의 차이를 이용한 자기 정렬된 금속 게이트 MOSFET 구조

A Self-Aligned Metal Gate MOSFET Structure Utilizing The Oxidation Rate Variation on The Impurity Concentration

高 堯 煥* · 崔 普 鎬* · 金 忠 基**
 (Yo-Hwan Koh, Jin-Ho Choi, Choong-Ki Kim)

ABSTRACT

A metal gate MOSFET with source/drain regions self-aligned to gate region is proposed. The proposed MOS transistor is fabricated by utilizing the higher oxidation rate of source/drain regions with high doping concentration when compared with channel region with moderate doping. The thick oxide on the source/drain regions reduces the gate and drain(source) overlap capacitance down to that of a self-aligned polysilicon gate device while allowing the use of a metal gate with much lower resistivity than the more commonly used polycrystalline silicon.

A ring oscillator composed of 15 inverter stages has been computer simulated using SPICE. The results of the simulation show good agreement with experimental measurement confirming the fast switching speed of proposed MOSFET.

1. 서 론

MOSFET에서 게이트와 소오스/드레인 사이의 overlap capacitance는 MOSFET 회로의 스위칭 속도를 낮추는 큰 요인이 된다. 자기 정렬된 다결정 실리콘 게이트 MOSFET 기술은 이 overlap capacitance를 크게 줄일수 있으며 따라서 소자의 동작 속도를 향상시킨다는 것은 잘 알려져 있다. 그러나 다결정 실리콘은 일반적으로 금속보다 훨씬 큰 저항을 가지므로 긴 연결선이나 폭이 넓은 게이트에는 사용되기 어렵다. 이와같은 문제점을 해결하기 위해 현재 refractory metal silicides등이 자기 정렬된 게이트 기술에 응용 연구되고 있다.¹⁾ 자기 정렬을 하는 금속

게이트 MOSFET 을 만드는데는 Si₃N₄를 이용하여 소오스/드레인 위에 self-aligned thick oxide(SATO)를 형성하는 방법이 제안되어 있으며,²⁾ 이 기술은 Dynamic RAM등에 응용되어 졌다.³⁾ 또한 질화 산화막을 게이트 절연막으로 사용하여 self-aligned metal gate MOSFET을 만드는 방법이 최근에 발표되었다.⁴⁾

소자의 스위칭 속도에 영향을 주는 overlap capacitance는 MOSFET의 게이트와 소오스/드레인 사이의 overlap에 의해 결정되는데 주로 얇은 게이트 산화막과의 overlap이 큰 영향을 미친다. 실리콘이 산화되는 과정에서 불순물 농도가 높은 영역이 높은 산화률을 갖는다는 사실을 이용하면 불순물 농도가 높은 소오스/드레인 영역에 두꺼운 산화막을 형성 시키면서 소오스/드레인 접합의 끝과 얇은 게이트 산화막의 끝을 정확히 일치시킬 수 있다. 이와 같이 제조된 MOSFET에서는 결과적으로 얇은 게이트 산화막에 의한 소오스/드레인과 게이트의 overlap capacitance가 크게 줄어 들게 된다.

소오스/드레인 영역에 있는 두꺼운 산화막은 over-

*正 會 員 : 韓國科學技術院 電氣 및 電子工學科 博士 課程

**正 會 員 : 韓國科學技術院 電氣 및 電子工學科 教授 · 工博

接受日字 : 1987年 2月 26日

lap capacitance를 다결정 실리콘 게이트 MOSFET과 비슷한 정도까지 줄여주며 금속 게이트는 다결정 실리콘 보다 수 order가 적은 저항을 갖으므로 이러한 MOSFET은 높은 스위칭 속도를 필요로 하는 VLSI에 적합한 소자가 될 것이다.

본 논문에서는 소오스/드레인의 높은 불순물 농도에 의한 산화막의 높은 성장률을 이용하는 새로운 자기 정렬된 금속 게이트 MOSFET을 제안하고 그 동작 특성을 SPICE로 시뮬레이션하여 보았다. 또 제안된 소자로 구성된 15 inverter stage를 갖는 ring oscillator를 실험실에서 제작하였으며 oscillator의 동작 주파수가 컴퓨터 시뮬레이션 결과와 일치함을 확인함으로써 제안된 금속게이트 MOSFET이 높은 주파수에서 동작하는 집적회로에 적합함을 보였다.

2. 산화막 성장률

본 연구에서 제안하고 있는 자기 정렬된 금속게이트 MOSFET은 소오스/드레인의 높은 불순물 농도에 의한 높은 산화막 성장률을 이용하여 만든다. 그림 1은 불순물 농도에 따라 850°C에서 85분간 wet oxidaton을 했을때 산화막 두께의 차이를 VAX 11/780 computer에 내장되어 있는 SUPREM II program으로 시뮬레이션한 결과이다.

그림 1에서 보면 불순물 농도가 $1.4 \times 10^{20} \text{ cm}^{-3}$ 이상이 되면 산화막 성장률은 $1 \times 10^{15} \text{ cm}^{-3}$ 의 불순물 농도를 갖는 실리콘 기판에 비해 약 3배 이상 커지는 것을 알 수 있다. 그림2는 $1 \times 10^{15} \text{ cm}^{-3}$ 불순물 농도를 갖는 실리콘 기판 영역과 소오스/드레인 diffusion영

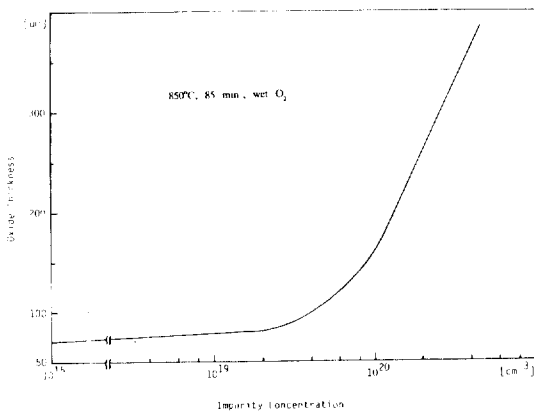


그림 1. 불순물 농도에 따른 산화막 두께의 변화
Fig. 1. Variation of oxide thickness for various phosphorous concentrations

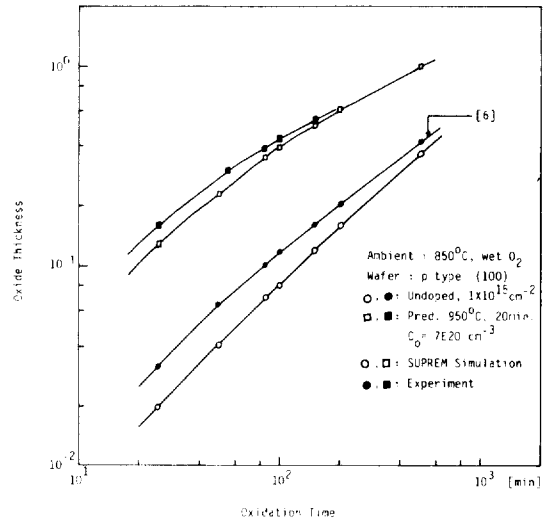


그림 2. 인 도핑된 실리콘에서 산화 시간에 따른 산화막 두께의 SUPREM 시뮬레이션 및 실험 결과

Fig. 2. SUPREM simulation results and experimental results of the oxide thickness for various oxidation times.

The substrate is phosphorous doped silicon.

역에서의 산화 시간에 따른 산화막 성장의 차를 보여주는 시뮬레이션 결과이다. 이 결과는 실험 결과와도 비교되어 있는데 SUPREM II program에는 불순물 농도가 높은 영역에서의 높은 산화막 성장률에 대한 정확한 modeling이 되어 있지 않아 시뮬레이션 결과와 실험 결과는 약 20-30% 정도 차이를 보여 주었다.

게이트와 소오스/드레인이 overlap되는 영역에서의 산화막 모양이 실제 소자의 특성에 큰영향을 미치는데 그림 3은 이 영역에서의 산화막 모양을 불순물 농도의 분포에 따라 1차원적으로 시뮬레이션한 결과이다. 한편 그림 4에는 높은 불순물 농도를 갖는 소오스/드레인 영역을 형성하는 방법의 하나로 100 KeV, $5 \times 10^{15} \text{ cm}^{-2}$ 로 As implantation을 수행한 다음 산화막을 성장시켰을 때의 SEM 사진이다. 이 사진으로부터 실리콘 기판 영역과 높은 불순물 농도를 갖는 영역에서의 산화막 성장률의 차를 볼 수 있으며 소오스/드레인 접합의 끝과 얇은 게이트 산화막의 끝이 거의 일치하고 있는 것도 볼 수 있다. 그림 3과 그림 4를 비교하여 보면 overlap 되는 영역에서의 산화막 모양에 크게 차이가 있는데 불순물 농도에 따른

산화막 성장률에 대한 정확한 modeling과 2차원적인 산화 공정 및 확산 시뮬레이션이 이루어질 경우 이 영역에서의 산화막 모양에 대한 시뮬레이션은 훨씬 더 정확해 질수 있을 것이다. 본 연구에서는 SU-

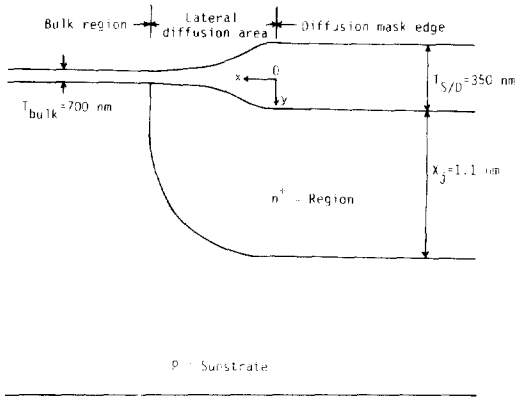


그림 3. 높은 불순물 농도를 갖는 영역과 실리콘 기판 영역이 Overlap되는 영역에서 산화막 모양의 일차원적 시뮬레이션 결과

Fig. 3. One dimensional simulation result of oxide profile in the overlap region of bulk and heavily doped region

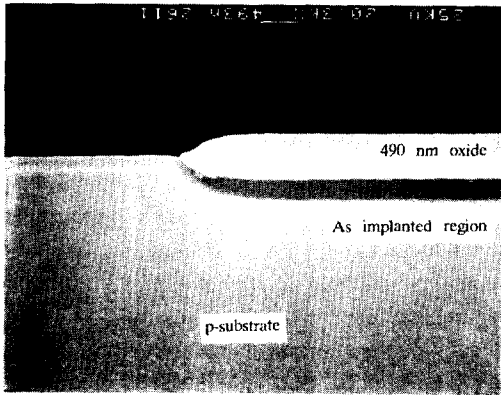


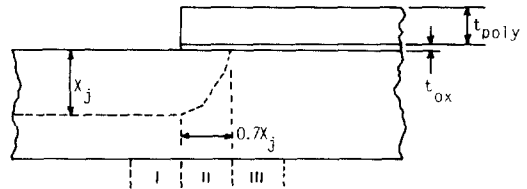
그림 4. 높은 불순물 농도를 갖는 영역에서의 높은 산화막 성장률의 차이를 보여주는 SEM 사진 (100 KeV, $5 \times 10^{15} \text{ cm}^{-2}$ 로 As implantation을 한후 850°C 에서 85분간 wet oxidation을 수행한 경우)

Fig. 4. An SEM picture showing the enhanced oxidation rate in heavily doped region (As implantation, 100 KeV , $5 \times 10^{15} \text{ cm}^{-2}$ and 850°C wet O_2 for 85 min.)

PREM 시뮬레이션으로는 대략의 조건만을 알아 보았으며 회로의 동작특성 시뮬레이션 및 소자의 제작 공정은 실험 결과를 이용하였다.

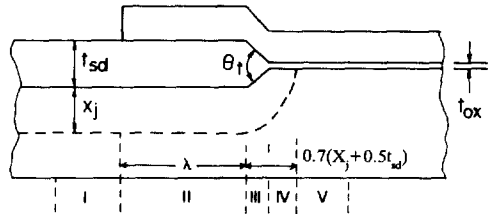
3. 회로 시뮬레이션

회로의 동작 특성을 시뮬레이션하기 위해 주안점을 두고 있는 변수는 overlap capacitance인데 본 연구에서는 이에 대한 modeling은 기존의 overlap capacitance model^{4),5)}을 사용하였다. 그림 5는 다결정 실리콘 게이트, 자기 정렬된 금속 게이트, 그리고 일반적인 금속 게이트 MOSFET에 대한 overlap ca-



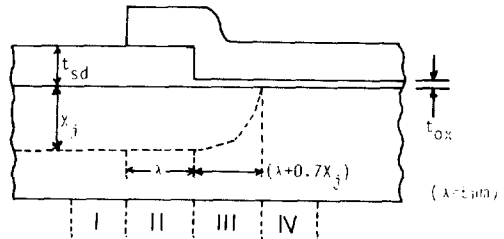
(a) 다결정 실리콘 게이트 MOSFET

(a) Polysilicon gate MOSFET



(b) 자기 정렬된 금속 게이트 MOSFET

(b) Self-aligned metal gate MOSFET



(c) 일반적인 금속 게이트 MOSFET

(c) Conventional metal gate MOSFET

그림 5. 3가지 형태의 MOSFET에 대한 overlap capacitance 성분

Fig. 5. Overlap capacitance components for 3 types of MOSFET's

capitance의 각 성분을 나타내 주고 있다. 다결정 실리콘 게이트 MOSFET(그림 5.(a)의 경우 overlap capacitance는 세가지 성분으로 나눌 수 있는데 I 부분은 exterior fringing 성분이며 II 부분은 간단한 평행판 capacitor, III 부분은 interior fringing 성분이다. 자기 정렬된 금속 게이트 MOSFET(그림 5.(b)의 경우는 I 부분은 두꺼운 산화막과의 fringing 성분으로 매우 작은 값이므로 본 논문에서는 무시한다. II는 두꺼운 산화막의 평행판 capacitor, III은 θ_t 의 각도를 갖는 두판의 capacitor 성분이다. IV는 다결정 실리콘 게이트 MOSFET의 II 부분과 같은 평행판 capacitor 성분이고 마지막으로 V는 다결정 실리콘 게이트 MOSFET의 III부분과 같은 interior fringing 성분이다. 또 일반적인 금속 게이트 MO-

SFET(그림 5.(c)에서는 I은 역시 exterior fringing 성분이고 II는 두꺼운 산화막의 평행판 capacitor, III은 게이트와 소오스/드레인 사이의 얇은 산화막에 의한 평행판 capacitor 성분이며, IV는 interior fringing 성분이다. 표1에서는 실제 규칙이 $5\mu\text{m}$ 일때 overlap capacitance의 각 성분에 대한 이론적인 계산식과 값을 나타내 주고 있다. 여기서 t_{sd} 는 소오스/드레인 위의 산화막 두께로 300nm , t_{ox} 는 게이트 산화막 두께로 50nm 이며 X_j 는 접합 깊이로 $1.1\mu\text{m}$ 정도이다.

또 θ_t 는 그림 4로 부터 볼 때 약 65° 정도이다. 그림 6은 자기 정렬된 금속 게이트 MOSFET으로 구성된 15 stage ring oscillator의 stage 당 지연 시간이 overlap capacitance에 따라 변화하는 모양을 보여주

표 1. 3 가지 형태의 MOSFET에 대한 overlap capacitance의 이론식과 계산값

Table 1. Equations and calculated values of overlap capacitance components for 3 types of MOSFET's

Device	Segment	Description	Capacitance Equation	Calculation(F/m)
Polysilicon Gate	I	Exterior Fringing	$\frac{\epsilon_{ox}}{\pi/2} \cdot \ln\left(\frac{t_{poly} + t_{ox}}{t_{ox}}\right)$ 5)	5.27×10^{-11}
	II	Thin Oxide Overlap	$\frac{\epsilon_{ox} \cdot 0.7x_j}{t_{ox}}$	5.32×10^{-10} 5.32×10^{-10}
	III	Interior Fringing	$\frac{\epsilon_{ox}}{\beta} \cdot \ln\left(1 + \frac{x_j \sin\beta}{t_{ox}}\right)$ 5)	1.64×10^{-10}
	Total			7.49×10^{-10}
Self-Aligned Metal Gate	I	Exterior Fringing	Neglect	
	II	Thick Oxide Overlap	$\frac{\epsilon_{ox}(5\mu\text{m})}{t_{sd}}$	5.76×10^{-10}
	III	Tapered Oxide Overlap	$\frac{\epsilon_{ox}}{\theta_t} \cdot \ln\left(\frac{t_{sd}}{t_{ox}}\right)$ 4)	5.45×10^{-11}
	IV	Thin Oxide Overlap	$\frac{\epsilon_{ox}}{t_{ox}} \cdot [0.7 \cdot (x_j + 0.5t_{sd}) - 0.5t_{sd} \cot\left(\frac{\theta_t}{2}\right)]$ 4)	4.42×10^{-10} 4)
	V	Interior Fringing	$\frac{\epsilon_{ox}}{\beta} \cdot \ln\left(1 + \frac{(x_j + 0.5t_{sd}) \sin\beta}{t_{ox}}\right)$ 4)	1.72×10^{-10}
	Total			1.24×10^{-9}
Conventional Metal Gate	I	Exterior Fringing	Neglect	
	II	Thick Oxide Overlap	$\frac{\epsilon_{ox}(\lambda)}{t_{sd}}$	5.76×10^{-10}
	III	Thin Oxide Overlap	$\frac{\epsilon_{ox}(\lambda + 0.7X_j)}{t_{ox}}$	3.45×10^{-9}
	IV	Interior Fringing	$\frac{\epsilon_{ox}}{\beta} \cdot \ln\left(1 + \frac{x_j \sin\beta}{t_{ox}}\right)$ 5)	1.64×10^{-10}
	Total			4.19×10^{-9}

$$\left(\lambda = 5\mu\text{m}, t_{sd} = 300\text{nm}, \beta = \frac{\pi}{2} \cdot \frac{\epsilon_{ox}}{\epsilon_{si}}\right)$$

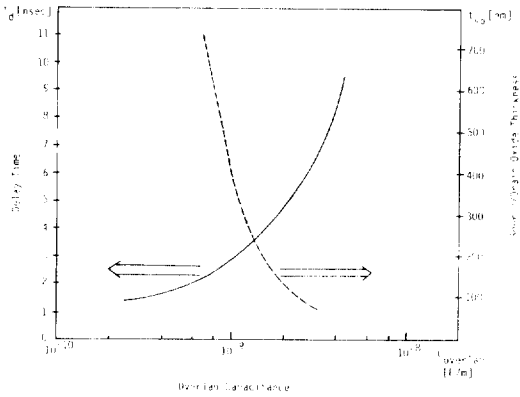


그림 6. 자기 정렬된 금속 게이트 MOSFET 에서 overlap capacitance에 따른 ring oscillator의 stage당 지연 시간(SUPREM 시뮬레이션 결과)과 이에 필요한 소오스/드레인 영역의 산화막 두께

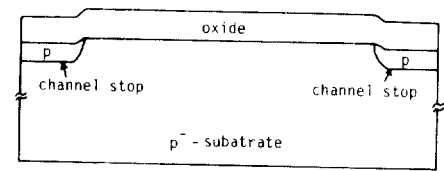
Fig. 6. Delay time per stage of a ring oscillator for various overlap capacitances for self-aligned metal gate MOSFET (SPICE simulation result) and the oxide thickness required for the overlap capacitance.

고 있으며 또 이러한 overlap capacitance를 얻기 위하여 필요한 소오스/드레인 영역의 산화막 두께를 보여준다. Ring oscillator는 load 트랜지스터의 Z/L 이 $15 \mu\text{m}/5 \mu\text{m}$, driver 트랜지스터는 Z/L 이 $40 \mu\text{m}/5 \mu\text{m}$ 이다. 각 트랜지스터의 threshold 전압은 0.7 volt로 고정시켰다. 표 1에서 보면 소오스/드레인 위의 산화막 두께가 300nm일때 자기 정렬된 금속 게이트의 경우 overlap capacitance는 $1.24 \times 10^{-9} \text{ F/m}$ 로 일반적인 금속 게이트의 경우($4.19 \times 10^{-9} \text{ F/m}$) 보다 크게 줄었음을 알수 있다. 한편 ring oscillator에 있어서는 그림 6에서 볼때 일반적인 금속 게이트 MOSFET 회로의 경우 stage 당 지연 시간이 약 9 nsec인데 비해 자기 정렬된 금속 게이트 MOSFET 회로는 소오스/드레인 위의 산화막 두께가 300 nm일때 stage 당 지연 시간이 3.3 nsec로 크게 향상된다. 자기 정렬된 금속 게이트 MOSFET이 다결정 실리콘 게이트 MOSFET($7.49 \times 10^{-10} \text{ F/m}$) 과 같은 정도의 overlap capacitance를 갖기 위한 소오스/드레인 위의 산화막 두께는 약 650 nm이며 이때 ring oscillator의 stage 당 지연 시간은 2.3 nsec가 된다. 결과적으로 자기 정렬된 금속 게이트 MOSFET 회로의 스위칭 속

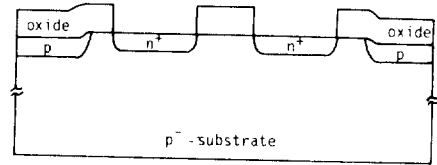
도는 다결정 실리콘 게이트 MOSFET 회로의 경우와 거의 비슷한 정도 까지 될 수 있음을 알 수 있다.

4. 실험

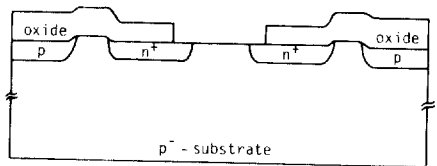
본 연구에서 제안하고 있는 자기 정렬된 금속 게이트 MOSFET의 제작 공정 순서는 그림 7에 나타나 있다. $2-4 \Omega \cdot \text{cm}$ 의 비저항, (100) 방향을 갖는 P-형 실리콘 웨이퍼를 이용하여 먼저 소자의 영역을 정의하고 channel stop diffusion을 수행한 후 700 nm의 field 산화막을 기른다.(그림 7.(a)) PH-1025 planar di-



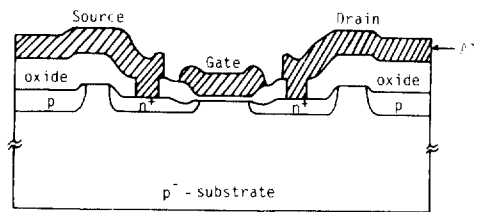
(a)



(b)



(c)



(d)

그림 7. 제안된 자기 정렬된 금속 게이트 MOSFET의 제작 순서

Fig. 7. Fabrication steps of proposed self-aligned metal gate MOS device

diffusion source를 이용하여 소오스 / 드레인 diffusion을 수행한 후 (그림 7-(b)) 게이트 영역을 정의하고 (그림 7.(c)) 850℃에서 85분간 wet oxidation(Low Temperature Oxidation)을 수행한다. 이때 소오스/드레인의 높은 불순물 농도에 의해 소오스/드레인 영역에는 360nm, channel 영역에는 100 nm의 산화막이 생기게 된다. 더욱 낮은 온도, 더 높은 소오스/드레인 불순물 농도 또는 HIPOX(High Pressure Oxidation)일 경우 더 큰 산화막 두께의 차이를 얻을 수 있다. Channel 영역의 100 nm 산화막을 mask 없이 6:1 BHF 용액에서 제거한 다음 0.6% TCE oxidation으로 50 nm의 게이트 산화막을 기르면 소오스/드레인 위에는 300 nm의 산화막이 생기게 된다. 그 다음에 contact을 파고, Al metallization을 수행한다.(그림 7.(d))

5. 전기적 특성

그림 4는 높은 불순물 농도를 갖는 소오스/드레인 영역을 형성하는 방법으로 100 KeV, $5 \times 10^{15} \text{ cm}^{-2}$ 로 As implantation을 수행한 다음 앞에서 설명한 제조 공정과 같이 850℃에서 85분간 wet oxidation을 수행하고난 뒤에 SEM 사진이다. 사진에서 보면 불순물 농도가 큰 부분에서의 높은 산화막 성장률에 의해 게이트 산화막의 끝과 소오스/드레인 접합의 끝이 거

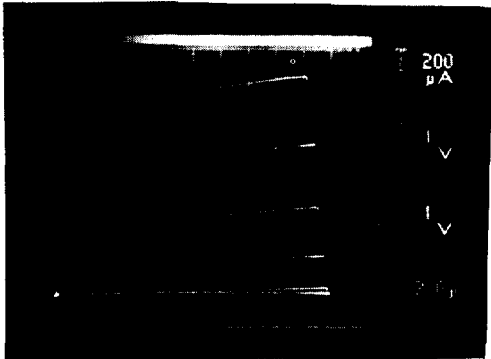


그림 8. $Z/L=15 \mu\text{m}/5 \mu\text{m}$ 인 제작된 자기 정렬된 금속 게이트 MOSFET의 전류-전압 특성(게이트 전압: 0.5 volt, 1 volt / step)

Fig. 8. Typical I_D-V_D characteristics of fabricated self-aligned metal gate MOSFET with $Z/L=15 \mu\text{m}/5 \mu\text{m}$ (Gate voltage : 0 - 5 volt, 1 volt / step)

의 일치하고 있음을 보여준다. 결과적으로 소오스 / 드레인 영역과 게이트 금속사이의 두꺼운 산화막에 의하여 overlap capacitance가 크게 감소되며 소자의 성능은 다결정 실리콘 게이트 MOSFET과 비슷한 정도까지 향상 된다. 본 연구에서는 overlap capacitance에 대한 측정은 이루어지지 않았으며 계산 값을 이용하였다. 그림 8은 제작된 자기 정렬된 금속 게이트 MOSFET의 I_D-V_D 특성이며 그림 9는 이소자의 subthreshold 특성으로 그 기울기는 100 mV / decade 정도로 일반적인 다결정 실리콘 게이트 MOSFET의 경우와 비슷하다. 또 그림 10은 자기 정렬된 금속 게이트 MOSFET 회로로 구성된 15 stage ring oscillator와 일반적인 금속 게이트 MOSFET 회로로 구성된 15 stage ring oscillator의 출력 특성을 나타내고 있다. 일반적인 금속 게이트 MOSFET(그림 10 (a))의 경우 stage 당 지연 시간을 실험 결과로부터

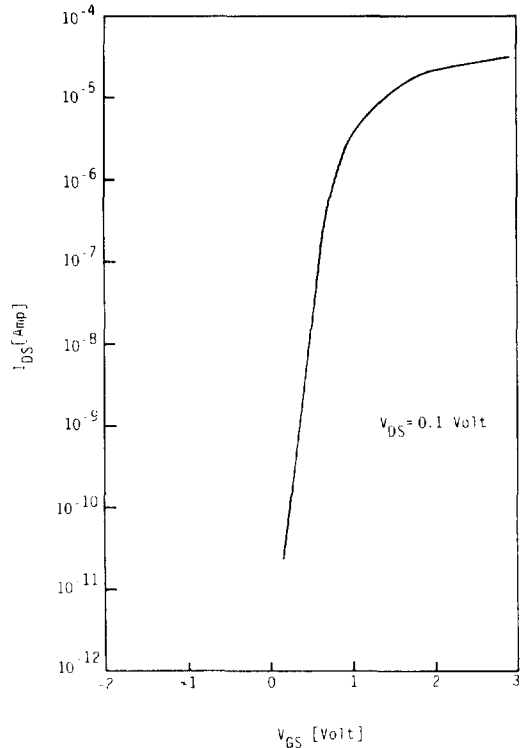
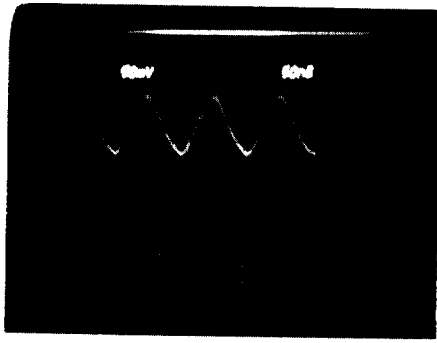
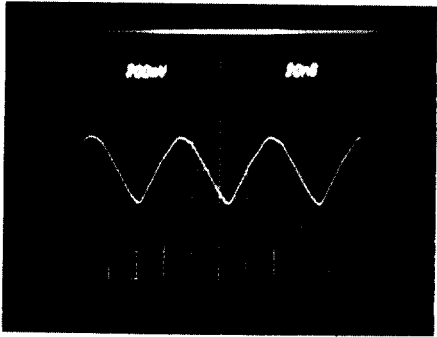


그림 9. $Z/L=15 \mu\text{m}/5 \mu\text{m}$ 인 제작된 자기 정렬된 금속 게이트 MOSFET의 subthreshold 특성

Fig. 9. The subthreshold characteristic of fabricated self-aligned metal gate MOSFET with $Z/L=15 \mu\text{m}/5 \mu\text{m}$.



(a) 일반적인 금속 게이트 MOSFET
(a) Conventional metal gate



(b) $t_{ox}=300$ nm인 자기 정렬된 금속 게이트 MOSFET
(b) Self-aligned metal gate with $t_{ox}=300$ nm

그림 10. Ring oscillator의 출력 파형
Fig. 10. The output waveform of ring oscillators

계산해 보면 약 9nsec 정도이다. 표 1에서 보면 일반적인 금속 게이트 MOSFET의 경우 overlap capacitance가 4.19×10^{-9} F/m이며 이값을 이용하여 시뮬레이션한 결과(그림 6)를 보면 stage 당 지연시간이 9 nsec로 실험결과와 거의 일치한다. 한편 자기 정렬된 금속 게이트 MOSFET의 경우 소오스/드레인 위의 산화막 두께가 300 nm 일때 stage 당 지연시간은 4.4 nsec 정도로 측정되어 시뮬레이션 결과인 3.3 nsec와는 25% 정도의 차이를 보여준다. 이차이는 overlap capacitance 값의 계산에서의 오차에 기인한다고 보는데 이러한 오차를 줄이기 위해서는 overlap capacitance에 대한 보다 정확한 modeling과 측정이 필요하다.

6. 결 론

본 논문에서는 고속 집적회로에 적합한 새로운 자기 정렬된 금속 게이트 MOSFET을 제작하는 새로운 공정을 제안하였고, SPICE program으로 소자의 성능을 컴퓨터 시뮬레이션하여 제안된 소자의 스위칭 속도가 다결정 실리콘 MOSFET과 비슷한 정도까지 될 수 있다는 것을 보였으며 실험으로서 그 가능성을 입증하였다.

Z/L이 $15 \mu\text{m}/5 \mu\text{m}$ 이고 소오스/드레인 위의 산화막 두께가 300 nm인 시험 소자를 제작하고 제작된 시험 소자가 일반적인 MOSFET의 동작을 하고 있음을 보여 주었다. 또한 ring oscillator로 소자의 스위칭 속도를 측정한 결과 소오스/드레인 위의 산화막 두께가 300 nm 일때 stage 당 지연 시간이 3-4 nsec 정도로 일반적인 금속 게이트 MOSFET으로 구성된 ring oscillator의 9 nsec 보다 훨씬 빠름을 알수 있으며 이것은 SPICE 시뮬레이션 결과와 잘 일치한다. 자기 정렬된 금속 게이트 MOSFET 회로의 스위칭 속도를 다결정 실리콘 게이트 MOSFET 회로와 비슷한 정도까지 향상시키는 소오스/드레인 위의 산화막 두께는 650 nm 정도이다. 그러나 이때에는 소오스/드레인의 접합이 깊어지므로 channel 길이가 $1 \mu\text{m}$ 정도이면 short channel 현상이 심하게 나타날 것으로 예상된다.

결과적으로 본 논문에서 제안하고 있는 자기 정렬된 금속 게이트 MOSFET은 소오스/드레인과 게이트 사이의 overlap capacitance를 크게 감소시켜 소자의 스위칭 속도를 개선시키므로 고속 집적회로등에 이용이 가능하다고 생각한다.

이 논문은 아산사회복지사업재단의 1985년도 연구비 지원에 의하여 연구되었음.

REFERENCE

- 1) Farrokh Mohammadi, "Silicides For MOS Gates and Interconnections in Integrated-Circuit Technology", Stanford Electronics Lab., Stanford Univ., Tech. Rep. G503-1, 1980.
- 2) R.H.Wakefield, Jr., E.R.Ward, and J.A.Cunningham, "Another Self-Aligning MOS Process has Interconnecting Advantages", Electronics, pp.89-92,

Jan.3, 1972.

- 3) V.L. Rideout, "One-Device Cells for Dynamic Random-Access Memory : A Tutorial", IEEE Trans. Electron Devices, Vol.ED-26, pp.839-852, Jun. 1979.
- 4) Martin A. Schmidt, et al, "A Metal Gate Self-Aligned MOSFET Using Nitrided Oxide", IEEE Trans. Electron Devices, Vol.ED-32, pp.643-648, March 1985.
- 5) R. Shrivastava and K.Fitzpatrick, "A Simple Model for the Overlap Capacitance of a VLSI MOS Device", IEEE Trans. Electron Devices, Vol.ED-29, No.12, pp.1870-1875, Dec. 1982.
- 6) O.D. Trapp, R.A. Blanchard, L.J. Lopp, T.I. Kamins, "Semiconductor Technology Handbook", Technology Associates, 1985.