

CARRIER 속도 포화가 MOSFET 소자 특성에 미치는 영향에 관한 연구

A Study on the Effects of Velocity Staur Velocity Saturation on the Mosfet Devices

朴 榮 俊*
(Young-June Park)

Abstract

It has been observed that the reduction rate of the inversion layer carrier mobility due to the increase of the longitudinal electric field(drain to source direction) decreases as the transverse electric field increases. The effects of this physical phenomenon to the I-V characteristics of the short channel NMOSFET are studied. It is shown that these effects increase the drain Current in the saturation region, which agrees with the generally observed discrepancy between the experimental I-V charateristics and the I-V modeling which dose not include this physical phenomenon. Also it is shown that this effect becomes more important when the device channel length decreases and the device operates in the high electric field range.

1. 서 론

MOSFET 소자의 해석적인 모델링 방법은 기본적으로 표면 채널에 존재하는 전송 전하에 의한 conductivity와 전계의 곱이 전류가 된다는 이론에 기초를 두고 있다.¹⁾

Drain 전류는 drain 전압이 증가하면 증가하게 되는데 이는 drain 전압에 의하여 수평 방향의 전계가 증가하기 때문이다.

Drain 전압이 증가하여 어느 임계치가 되면 전류가 더 이상 증가하지 않게 되는데 이는 반도체 표면의 전위가 증가하여 표면 전하가 더 이상 존재하지 못하고 전하의 전송은 반도체 bulk를 통하여 이루어지게 되기 때문이다. 그림 1은 이러한 경우의 NMOS 소자를 schematic 하게 그린 것이다.

이 점을 pinch-off 점이라 하고 이 이후의 drain

전압 영역을 포화영역이라 한다. 반도체 회로의 속도와 집적도를 향상시키기 위하여 MOS 소자의 채널 길이가 짧아지게 되었는데 이러한 short-channel MOS 소자의 전류 전압의 특성 중 가장 두드러진 특징은 소자의 transconductance (g_m)가 전압 V_c 에 따라 포화 영역에서 선형적으로 증가하게 된다는 점이다. 이를 예전의 long-channel MOSFET과

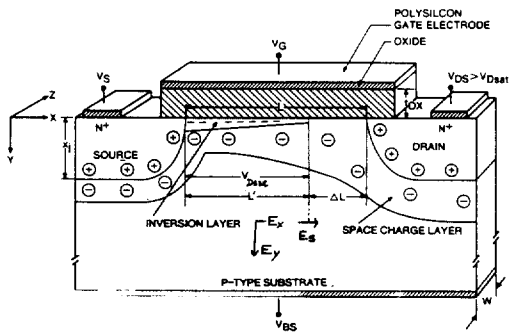


그림 1. 포화 영역에서 동작하는 NMOSFET의 schematic 그림.

*正 會 員 : 金星半導體 研究所 責任 研究員
接受日字 : 1987年 2月 26日
1次修正 : 1987年 5月 26日

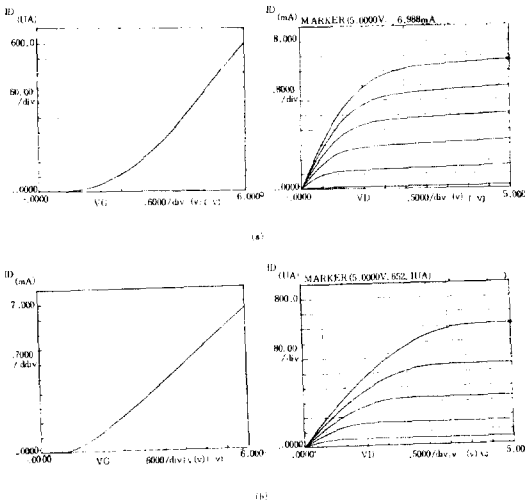


그림 2. Leff가 각각 (a) 19.1um과 (b) 1um인 경우의 $I_D - V_{D_s}$ 및 $g_m - V_{D_s}$ 특성.

비교하면 예전의 소자에서는 g_m 이 V_{D_s} 의 제곱으로 증가한다.

그림 2는 두개의 다른 Leff를 가지는 NMOSFET의 $I - V$ 특성과 g_m 의 V_{D_s} 에 따른 변화를 실험적으로 보인 것이다. short-channel 소자에서의 g_m 의 증가가 선형적이 되는 이유는 drain 전압이 증가하여 long-channel 소자에서의 pinch-off가 되기 전에 전류의 포화 영역이 존재하기 시작하기 때문이다.

즉 short-channel 소자에서 drain 전압이 증가하게 되면 증가된 전계에 의하여 전송 전자의 속도가 포화하게 되는데 이 경우가 되면 drain 전압이 더 이상 증가하여도 전류가 더 이상 증가하지 않게 된다는 것이다. 종래의 short-channel MOSFET의 해석적 모델링에서는 주로 전류 포화의 기준점을 표면 전자속도가 포화되는 전계의 세기(그림1에서 E_s)가 존재하는 채널점으로 정의하여 모델링 하였다.²

본 논문에서는 이의 물리적 의미를 고찰하고 종래의 방법보다 물리적으로 타당한 포화 모델링을 제안하고 이 모델이 short-channel MOS 소자의 전류-전압 특성에 미치는 영향을 연구함에 목적이 있다.

2. 이론

Gate의 인가 전압에 의해 생성된 inversion layer 내에서의 carrier의 이동도는 여러 충돌원, 즉 포

면상태 전하에 의한 Coulomb 충돌³⁾, optical 및 acoustic 모드의 phonon에 의한 충돌^{4),5)} 그리고 반도체 표면의 비균일성(roughness)⁶⁾에 의한 충돌등에 의해서 제한받는다.

이 중 short-channel MOS에서는 수평방향의 전계가 커지고(channel 길이가 짧아지므로) 또한 수직 방향의 전계가 커지기 때문에(게이트 산화막의 두께가 짧아지므로) 주로 phonon에 의한 충돌과 roughness에 의한 충돌이 중요하게 된다.

Inversion layer 내의 전자의 이동도 U_i 는

$$U_i = U_0 f(E_x) g(E_y) \quad (2-1)$$

로 표시할 수가 있다.⁷⁾ 여기서 $f(E_x)$ 는 X 방향의 전계에 의한 phonon 충돌에 의한 bulk 이동도 U_0 의 감소를 나타내는 항이고 $g(E_y)$ 는 게이트 전압에 의한 표면의 roughness에 의한 충돌에 의한 이동도의 감소를 나타내는 항이다. 여기서 $U_0 = U_0 g(E_y)$ 로 정의하여 E_x 가 매우 작을 때 수직 방향에 의한 전계에 의한 carrier의 이동도로 표시하기로 하자.

Yamaguchi⁷⁾는 수직 방향의 전계 E_y 에 의한 이동도의 감소를 다음과 같은 식으로 표시하였다. 즉

$$g(E_y) = 1 / \sqrt{1 + \alpha E_y} \quad (2-2)$$

여기서 전자의 α_n 는 $1.54E-5 \text{ cm/V}$ 이고 hole의 α_p 는 $5.35E-5 \text{ cm/V}$ 로 fitting 상수를 하였다. 여기서 E_y 는 반도체 표면의 inversion 층의 평균 전계로

$$E_y = (0.5 Q_c + Q_n) / E_{si}$$

로 표시할 수가 있다.⁸⁾ 여기서 Q_c 와 Q_n 는 각각 단위 면적당 inversion 층과 반도체 depletion 층에 존재하는 전하량이고, E_{si} 는 silicon의 permittivity이다.

이 경험적 식을 Sun과 Plummer의 실험치와 비교하면 비교적 넓은 범위의 수직 전계 ($4 \times 10^4 - 4 \times 10^5 \text{ V/cm}$ 의 범위)에서 잘 일치함을 알 수가 있다.

또한 $f(E_x)$ 항은 수평 방향의 전계의 증가에 의한 carrier 이동도의 감소를 나타내는 항으로 가장 간단한 형이

$$f(E_x) = 1 / [1 + (E_x/E_c)^\beta]^{1/\beta} \quad (2-3)$$

이다. Hole의 경우 $\beta=1$, 전자의 경우 $\beta=2$ 에서 실험적인 값과 잘 일치한다.⁹⁾ E_c 는 이동도의 1/2

만큼 감소하게 되는 E_x 값을 나타내고 있다 ($\beta=1$). Engle¹⁰⁾에 의해서도 지적되었듯이 식 (2-1)의 형태는 2D simulation이나 해석적 MOS 소자의 모델링에 가장 많이 쓰이는 형태이나 다음과 같은 문제점을 가지고 있다.

즉 E_x 가 매우 커질 때 carrier의 속도

$$V = U_y E_x / [1 + (E_x/E_c)^\alpha]^{1/\beta} \quad (2-4)$$

는 $V_{max} = U_y E_c$ 로 접근하게 된다. 여기서 U_y 가 E_y 에 의해 감소하므로 V_{max} 가 E_y 가 커질수록 감소하게 된다. 그런데 Cooper와 Nelson의 실험¹¹⁾에 의하면 inversion 층의 carrier의 포화 속도 V_{max} 는 수평 방향의 전계가 증가하면 E_y 에 무관하게 반도체 bulk에서의 포화속도에 접근하게 된다. 이를 물리적으로 해석하면 수평 방향의 전계가 증가하면 carrier의 에너지가 증가하게 되어 inversion 층에서의 2차원의 양자화된 energy state를 벗어나 bulk에서와 같이 3차원의 momentum state를 가지게 되는 현상을 가리키고 있다¹²⁾

따라서 식 (2-1) 대신

$$U_y = U_y / [1 + (U_y E_x / V_{max})^\alpha]^{1/\beta} \quad (2-5)$$

의 형을 사용하게 되면, 식 (2-1)의 물리적 모순이 해결된다.

이를 식 (2-1)과 비교하면

$$E_c = V_{max} / U_y \quad (2-6)$$

가 되며 E_c 자체가 E_y 에 의해 증가하게 됨을 가리킨다. 이는 단순히 inversion 층의 포화 속도를 일정하게 둔다는 수식적 의미 외에 물리적으로 중요한 의미를 가진다. 즉 E_y 가 증가하게 되면 carrier의 충돌이 주로 반도체 표면의 roughness나 carrier-carrier 충돌이 늘어나 phonon 충돌의 확률이 상대적으로 줄어들게 된다. 따라서 E_x 의 증가에 의한 포화되는 정도는 E_y 가 증가할수록 줄어들게 되며 이는 Cooper와 Nelson의 실험과도 일치한다. 그림 3은 어떤 E_y 의 값에 대해 식 (2-1)에 의해 U_y 를 구하고 식 (2-6)을 이용 E_c 를 구한 다음 식 (2-5)로 전자의 속도를 구한 $V-E_x$ 특성 곡선이다. 여기서 β 는 다음 절의 해석적 모델링을 고려 1로 사용하였다. 그림에서 E_y 가 증가하면 E_x 의 증가에 의한 이동도의 감소 정도가 줄어들음을 알 수가 있다.

3. 해석적 모델링에의 적용

앞절에서 설명한 이동도 모델링을 김 창수 박사¹³⁾에 의해 제창된 INTMOS 해석적 모델링에 적용하여 여러가지 short channel MOSFET의 전류-전압 특성에 미치는 효과를 보고자 한다. 물론 이 영향은 SPICE 등에서 사용하는 MOSFET 모델식을 이용하여서도 연구할 수 있으나 참고문헌¹³⁾에서 보였듯이 INTMOS 모델은 비교적 넓은 영역의 채널 길이와 채널 넓이의 소자에 대해서 잘 맞는 모델이기 때문에 이 모델을 사용하기로 한다. 앞에서 설명하였듯이 전류의 포화는 채널의 carrier의 속도가 V_{max} 로 포화되기 때문에 발생한다. 그런데 식 (2-5)에서 수평 방향의 전계 E_x 가 무한대가 되어야만 V_{max} 가 되므로 channel의 속도가 αV_{max} 되는 전계 E_s 를 정의하여 이를 포화 전계로 정의하기로 한다.

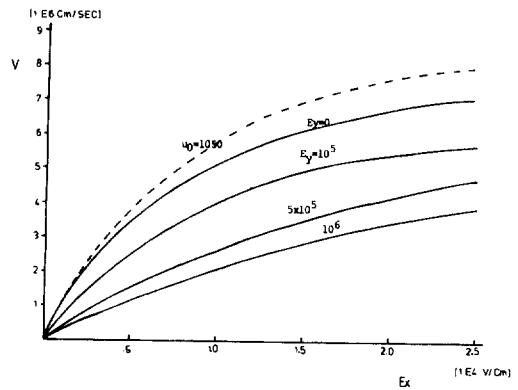


그림 3. 본 논문에서 사용된 각각 다른 E_y 에 대한 $V-E_x$ 특성.

여기서 α 는 1보다 작은 상수이다. α 의 선택은 실제로 MOSFET의 I-V 모델링에 그리 중요하지 않다. 왜냐하면 그림 3의 $V-E_x$ 특성에서 알 수 있듯이 carrier의 속도가 V_{max} 에 접근하게 되면 E_x 의 증가에 의한 속도 증가가 극히 작기 때문이다. 그림 4는 α 를 0.8로 두었을 때의 E_c 와 E_y 의 관계를 표시한 것이다. 그림에서 알 수 있듯이 E_y 가 증가할수록 포화 전계 E_s 의 값이 증가함을 알 수가 있다.

이는 포화 전계를

$$E_y/E_x = f : f \text{는 상수} \quad (3-1)$$

가 되는 E_x 로 정의한 Leburton의 이론¹⁴⁾과도 상통

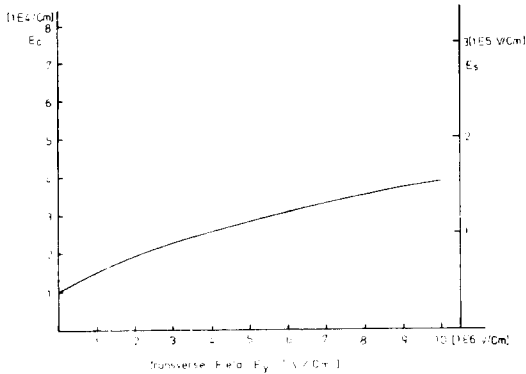


그림 4. 식 2-6에서의 E_y 에 따른 E_c , E_s 의 변화하고 있다.

INTMOS의 modeling식은 참고 문헌 [13]에서 발표하였으므로 여기서는 중요한 모델링식을 각 전압 영역에서 정리하면 다음과 같다. 즉

i) 선형 영역 (Linear region)

선형영역, 즉 표면 채널의 전계 E_x 가 E_s 보다 작은 경우, drain 전류는 I_D 는

$$I_D = WC_{ox} U_i (V_{GS} - V_{TH} - 0.5 FB V_{DS}) / V_{DS} / Leff \quad (3-2)$$

로 표시된다. 여기서 FB는 short channel (FL)과 narrow channel (FL)의 영향을 고려한 상수로서

$$FB = 1 + A \times FL \times FW \times r \quad (3-3)$$

로 정의되며 A는 상수이고 $r = \sqrt{2Es_i q NA} / Cox$ 이다. 여기서 사용된 변수는 일반적으로 MOSFET 모델링에서 통용되는 변수이므로 설명을 생략한다.

ii) 포화 영역 (Saturation region)

포화 영역은 표면 채널의 전계 E_x 가 E_s 가 되는 Drain 전압을 V_{Dsat} 라고 하면

$$V_{Dsat} = -R_v (V_p + V_L) + [R_v^2 (V_p + V_L)^2 + 2R_v \times V_p \times V_L]^{1/2} \quad (3-4)$$

로 표시할 수가 있다. 이 식은 참고 문헌[14]에서 설명하였듯이 Drain 전류, 전압식에서 $E_x = E_s$ 되는 채널점에서의 전류와 전압을 채널의 Source 전압 V_s 와 $V_D = V_{Dsat}$ 까지 적분한 전류값이 같다는 조건으로 구한 것이다. 뒷 식에서

$$V_p = (V_{GS} - V_T) / FB$$

$$V_L = Leff Es$$

$$V_c = Leff Ec$$

$$R_v = V_c / (V_L - V_c) \quad (3-5)$$

이다. 따라서 앞질의 이론에서 V_c 의 증가에 의한 E_s 의 증가는 뒷 식의 V_L 의 증가를 가져오며 따라서 결과적으로 V_{Dsat} 의 증가를 가져오게 된다.

4. 결과 및 검토

2절에서 설명한 전자의 이동도의 모델을 III절에서 설명한 INTMOS 모델에 적용하여 E_c 와 E_s 의 수직 방향 전계에 의한 변화가 MOSFET소자의 드레인 전류-전압 ($I_D - V_D$) 특성에 미치는 영향을 보기로 하자.

그림 5(a)와 (b)는 $Leff$ 가 각각 $1\mu m$, $19.1\mu m$ 인 NMOSFET 소자의 $I - V$ 특성을 앞의 INTMOS 모델링 공식이 예측한 것이다. 그림에서 굵은 선으로 표시한 곡선은 E_c 와 E_s 가 E_y (즉 게이트 전압)에 의해 그림 4와 같이 변하는 경우의 $I_D - V_D$ 특성이고 점선은 E_c 와 E_s 가 종래의 경우와 같이 일정한 값으로 각각 $1.5 \times 10^4 V/cm$, $6 \times 10^4 V/cm$ 로 정했을 경우의 $I_D - V_D$ 특성이다. 그림에서 알 수 있듯이 수직방향의 전계 E_y 가 작은 경우, 즉 V_c 가 낮은 값인 경우에는 E_c, E_s 의 변화가 $I_D - V_D$ 의 특성에 미치는 영향은 극히 작다. 그러나 수직 전계가 증가하게 되면 E_c 와 E_s 의 변화가 $I_D - V_D$ 의 특성에 미치는 영향이 증가하게 된다. 즉 게이트 전압이 증가하게 되면, 드레인 전압의 증가에 의한 전자의 속도 포화가 천천히 오게 되어 (그림 3), 속도 포화의 감소가 일정한 E_c 와 E_s 경우보다 덜 생기게 된다는 것이다. 이 영향은 $Leff$ 가 큰 경우 (그림 5(b))는 그나지 두드러지지 않으나 $Leff$ 가 작아질수록 (그림 5(a)) 중요하게 된다.

참고 문헌 [13]에서의 모델링과 실험치와의 비교를 살펴 보면 공통적으로 발견되는 문제는 short channel MOS 소자의 모델링에서 게이트 전압이 작은 경우는 비교적 좋은 일치를 보이나 게이트 전압이 큰 경우 항상 모델링 전류가 실험치보다 작게 예측하고 있다는 것이다.

이 불일치는 short channel의 소자일수록 더욱 심각해진다.

이를 $I_D - V_D$ 관계의 모델링 시각에서 다시 검토 하면 다음과 같다.

먼저 drain 전압 V_D 가 작은 경우 (0.1V 이하) long channel MOS 소자의 $I - V$ 특성을 잘 예측했다는 것은 먼저 threshold 전압과 전자의 이동도

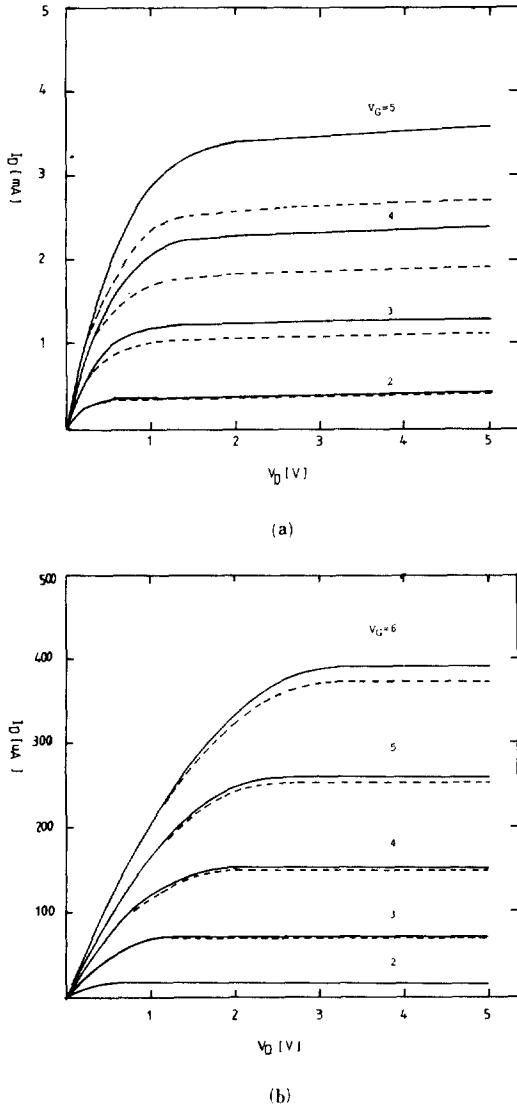


그림 5. Leff가 각각 (a) 1um (b) 19.1um인 경우 INTMOS가 예측한 $I_D - V_D$ 특성 실선은 E_c 와 E_s 가 그림 4와 같이 변하는 경우이며 점선은 E_c 와 E_s 가 고정되어 있는 경우이다.

의 V_c 에 의한 감소(식 2-2)를 잘 모델링했다는 것이 된다.

이 모델링을 그대로 short channel 소자에 적용한 경우 모델링과 실험치와의 불일치를 경험하게 되는데 이는 short channel 특성에 의한 Threshold 전압의 감소 때문이었다. 이 현상을 적절히 모델링¹⁵⁾하

고 수평 전계에 의한 carrier 이동도의 감소(식 2-3)를 E_c 를 fitting 상수로 활용하면 V_c 가 작은 경우 (약 1-2 V)에서의 $I_D - V_D$ 특성을 잘 모델링할 수가 있었다. 그러나 이를 V_c 가 큰 경우 (3V 이상)에 적용하는 경우 V_D 가 작은 경우 (0.1V) 까지는 잘 일치하나 그 이상이 되면 일반적으로 모델링 전류값이 실험치보다 작은 값을 예측하게 된다는 것이다.

이를 물리적으로 해석하면 V_c 가 큰 경우 carrier의 에너지가 V_D 의 증가에 의해 더더게 증가하기 때문에 (표면의 roughness에 의한 충돌 때문), 이동도 감소 또한 더더게 된다는 것이다. 따라서 이 점을 고려하지 않고 모델링한 경우는 모델링 전류값이 실제 실험치보다 작게 나오게 된다.

따라서 이점을 고려하여 모델링한 하나의 예가 이 논문의 요지이며, short channel MOSFET의 높은 V_c 값에서 실험치와 쉽게 일치시킬 수 있는 하나의 방법을 제안한 것이다.

5. 결 론

Short channel MOS 소자에서 drain 전압이 증가할 경우, 이에 의해 수평 전압이 증가하여 carrier의 이동도가 감소하게 되어 결국 carrier 속도가 포화된다. 이것이 short channel MOS 소자의 전류 포화가 발생하는 이유이다. 이 carrier 이동도의 감소는 물리적으로 수직 전계가 증가하게 되면 더더게 오게 되는데, 이를 고려한 이동도의 모델링 방법을 제안하여 이 물리적 현상이 MOS 소자의 전류-전압 특성에 미치는 영향을 연구하였다. 이 방법에 의하여 종래의 모델링에서 발견되는 문제점, 즉 short channel에서 게이트 전압이 커지는 경우의 전류 포화가 너무 일찍 발생하는 문제를 해결할 수 있는 모델링을 제시하였다.

끝으로 조언을 해준 김 효식 연구원, 오 승훈 연구원 그리고 data 정리 및 논문 제작에 도움을 준 이 명숙 씨께 감사드립니다.

References

- 1) A. S. Grove, Physics and technology of Semiconductor Device. Jone Wiley and Sons, 1967.
- 2) T. Poorter and J. H. Salter, Solid st. Elect. 23, 765, 1980.
- 3) C. T. Sah, T. H. Ning and L. L. Tschopp, sur-

- face sci. 32, 561, 1972
- 4) Y. C. Cheng and E. A. Sullivan, J. Appl. Phys. 44, No.8, 3619, 1973.
 - 5) J. R. Schrieffer, Phys. Rev, 97, No.3, 641, 1975
 - 6) A. Hartstein, T. H. Ning and A. B. Fowler, Surface Sci. 58, 178, 1976.
 - 7) K. Yamaguchi, IEEE Trans. Electron Device, Vol. Ed-26, 1068, 1979.
 - 8) A. G. Sabnis and J. T. Clemend, Iedm Tech. Dig. 18, 1979.
 - 9) D. M. Caughey and R.E. Thomas Proc. IEEE, Vol. 55, 2192, 1967.
 - 10) W. L. Engl, H. K. Dirks and B. Meinerzhagen, proc. IEEE, Vol. 71, 10, 1983.
 - 11) J. Cooper and D. F. Nelson, IEEE electron Dev. Lett, Vol. Edl-2, 171, 1981.
 - 12) K. Hess and C. T. San, plmp, Rev. B, Vol.10, No.8, 3375, 1974.
 - 13) H. S. Kim, S. H. Oh and Y. J. Park, '86 국내외 한국 과학 기술자 학술회의 추계 Workshop 교재집. 138, 1986.
 - 14) J. P. Lesburton, H. Gesch and G. Dorda, solid state Electron, Vol. 24, No.8, 763, 1981.
 - 15) L. D. Yan, Solid State Electron, 17, 1059, 1974.