

방사선 에너지 분석을 위한 MCA 시스템 제작에 관한 연구

육종철 · 오병훈 · 김영균

한양대학교 공과대학

=요 약=

SA(Successive Approximation)형 ADC(Analog to Digital Converter)를 사용하여 방사선다중채널과 분석기를 설계 제작하였다.

선형게이트, 윈도우 및 펄스스트레처는 논리 IC와 선형 IC들을 위주로 결합하여 구성하였으며, 분석시간이 120 μ sec인 ADC 1211(12 bit)을 중심으로 한 ADC 모듈의 메모리로는 S-RAM 6264(Address 13 bit, Data 8 bit) 2개를 병렬로 연결하여 사용하였다. 마이크로 컴퓨터(Apple II)가 전체 시스템을 제어하고 또 측정된 결과의 데이터를 분석할 수 있도록 인터페이스와 소프트웨어도 만들었다.

제작된 시스템의 동작시험은 표준펄스 발생기로 0~10 V 사이의 일정한 펄스를 만들어 시스템에 입력시켜 그 펄스들을 측정하게 하고, 측정이 끝난 후 컴퓨터가 그 결과를 받아들여 분석하게 함으로써 이루어졌다.

1. 서 론

현재 MCA^{1~3)}에 대한 연구의 세계적인 추세는 최소의 불감시간(Dead Time)과 최적의 선형성(Linearity)을 동시에 만족시키려는 방향으로 진행되고 있다. 이러한 목적을 위해서 MCA에서 가장 중요한 부분을 차지하는 ADC로 SA⁴⁾(Successive Approximation)형을 이용한 것을 선택하는 경향을 띠고 있다. 중요한 원인은 종래의 Willkinson형 ADC의 불감시간이 고 집적회로의 클럭수(300 MHz)한계에 의해 줄이기가 어렵기 때문이다. 현재 Willkinson형 ADC의 불감시간 한계는 12 bit에 대해 약 10 μ sec이지만, SA방법에 의하면 그 시간을 1 μ sec이하로 내려줄 수가 있다.

그러나 SA형에 의한 ADC의 선형성은 좋은 편이 아니어서 방사선 측정처럼 정밀한 선형성을 요구하는 분야에서는 이를 수정해주어야 한다. 이런 목적을 위해 sliding scale 방법^{5~7)}이 도입되어 좋은 결과를 얻음으로써 SA형 ADC를 사용한 MCA가 머지않아 상업화될 것으로 보인다.

본 논문은 이를 위한 MCA 시스템제작의 첫번째 단

계로써 다음과 같은 기본 방향하에서 설계, 제작 및 실험을 수행하였다.

1) 방사선 측정기에 의해 나오는 펄스가 0~12 V의 가우시안형 또는 그와 유사한 형태로 제작하려는 시스템의 입력으로 사용된다.

2) SA형 ADC를 효과적으로 이용하기 위해 선형 게이트, 윈도우 및 펄스 스트레처들을 하나의 모듈로 설계 제작하되 종래의 방법^{8,9)}을 개선하여 선형 IC와 논리 IC들을 위주로 결합하여 새롭게 구성하고 그 회로의 타당성을 시험한다.

3) 고속 ADC(고가격) 사용의 전단계로 비교적 저렴한 12 bit ADC 1211(분해시간 : 120 μ sec)을 사용하고, ADC의 선형성 개선방법은 적용하지 않는다.

4) 특정 에너지에 해당하는 방사선의 측정수를 세어나갈 수 있도록 Add-1 사이클을 구성하고, 이 사이클을 실행하는 순차논리는 자체 클럭펄스에 의해 측정과 동시에 자동적으로 발생할 수 있도록 회로를 구성한다. 측정 데이터의 저장을 위해 6264 S-RAM 2개를 병렬로 연결해서 사용하여 MCA의 측정용량이 채널당 65535(2¹⁶-1)개가 되도록 한다.

5) 마이크로 컴퓨터^{10,11)}가 메모리 데이터의 초기화,

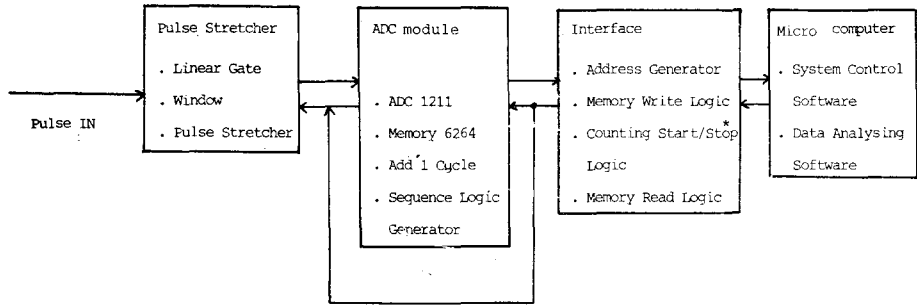


Fig. 1. MCA System Block Diagram.

계측의 시작과 끝, 메모리 데이터의 이동과 분석을 제어하는데 사용될 수 있도록 하드웨어 및 그에 맞는 소프트웨어를 효과적으로 구성한다.

본 논문에서 설계, 제작한 MCA 시스템의 전체 블록 구성도를 Fig. 1에서 보였다.

제작된 시스템의 시험을 위해 입력으로 오실레이터에서 나오는 사인파를 다이오드를 통해 정형한 후 사용하였는데, 본 논문에서 제작한 펄스스트레처의 동작 시험과 입력된 펄스의 높이에 따른 MCA 시스템의 계측 결과들을 비교, 분석하였다.

2. 펄스스트레처의 제작

방사선의 에너지분석은 ADC가 방사선에 의해 나오는 펄스의 높이에 해당하는 출력값을냄으로써 이루어진다. 따라서 SA형 ADC를 사용하여 MCA를 제작하기 위해서는 ADC가 펄스의 높이를 분석해내는 시간 동안 펄스의 피크값을 정확히 유지해 주어야 하는데, 펄스스트레처가 이 역할을 하게 된다. 뿐만 아니라 앰프와 ADC를 연결해 주는데 있어서 입력 펄스들과 ADC의 분해시간과의 시간적 차이를 정리해 주기 위해서는 선형 게이트¹²⁾가, 불필요한 펄스에 의한 ADC의 시간 소모를 막기 위해서 윈도우가 필요하다. 이와 같은 세가지 기능이 잘 조합되어 앰프와 ADC를 연결해 줄 때 MCA는 최적의 선형성과 불감시간의 조건을 갖고 동작하게 된다.

본 논문에서는 이와 같은 요구를 만족시켜주는 회로를 선형 IC와 논리 IC들을 위주로 하여 새로운 방법으로 구성하였는데, 중요한 동작들을 요약하면 다음과 같다.

1) 한개의 펄스가 들어와 ADC가 그 높이를 분석하는 동안 또 다른 펄스가 들어오지 못하도록 할 것 (Gate close).

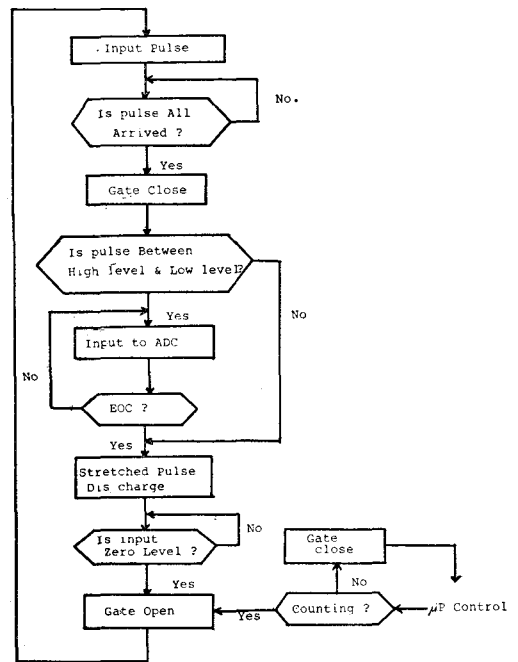


Fig. 2. Logic Flow Diagram for pulse Stretcher.

2) Gate를 닫을 때는 펄스하나가 완전히 들어온 후 닫을 것.

3) 새로운 펄스를 받아들일 때는 입력축이 제로레벨 (zero level)인가를 확인하고 받아들일 것 (Gate open).

4) 불필요한 펄스에 의한 불감시간의 증가를 막기 위해 윈도우를 구성하여 그 안에 들어오는 펄스에 의해서만 ADC가 동작하도록 할 것.

5) ADC가 펄스의 높이를 분석해 내는 동안 펄스의 피크값을 정확히 유지할 것.

6) 새로운 펄스를 받아들이기 전에 콘텐서에 기억된 피크값을 방전시킬 것.

위와 같은 동작들을 조합한 펄스스트레처의 논리 회

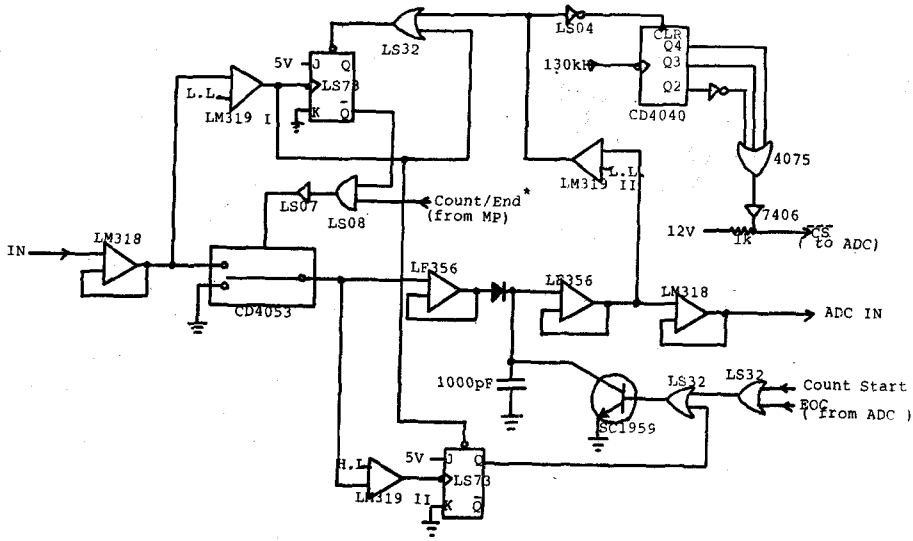


Fig. 3. Circuit diagram of pulse stretcher.

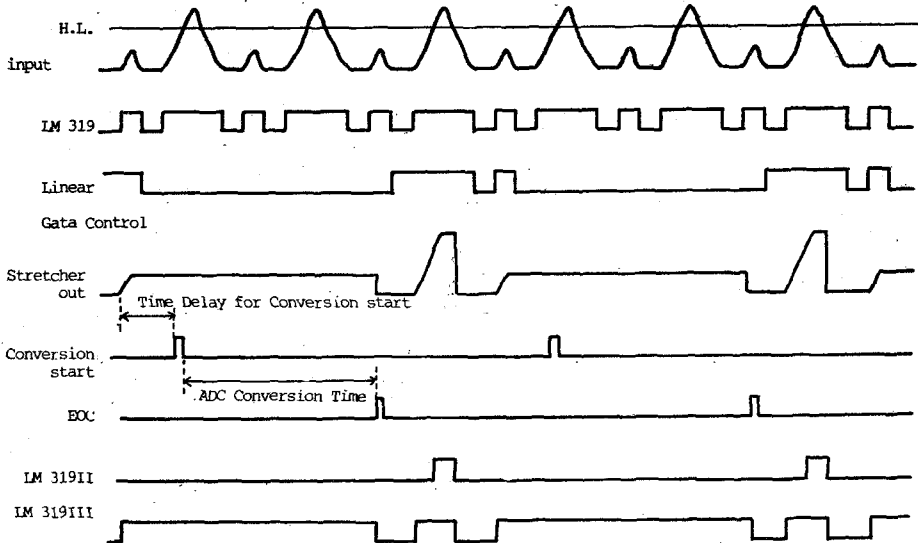


Fig. 4. Timing diagram of pulse stretcher.

를도를 Fig. 2.에 나타내었다.

회로를 구성함에 있어서 선형케이트로는 아날로그 스위치 CD 4053을 사용하였고, Gate를 제어하기 위한 논리는 고속컴퍼레이터(Comparator) LM 319, J-K 플립플롭, 논리게이트들을 조합하여 구성하였다. 구성에는 LM 319를 사용하였는데, 상위레벨과 하위레벨의 전압은 가변 저항으로 0V와 12V 사이에서 조정이 가능하도록 하였다. 펄스스เตร처의 구성을 위해 누설전류가 적은 OP앰프 LF 356 2개와 스위칭 다이오드, 1000 pF 콘덴서가 사용되었다. ADC가 펄스

의 높이를 분석한 후에 콘텐서에 저장된 전하를 방전시켜 주기 위해 트랜지스터 SC 1549를 이용하였는데, 방정신호가 트랜지스터의 베이스와 에미터 사이에 걸리도록 하였다. ADC가 펄스의 높이를 분석하기 위해서는 CS(Conversion start) 신호를 보내주어야 하는데, 12 bit 카운터 CD 4040을 이용하여 정확한 동작을 유도해 내도록 설계하였다.

본 논문에서 제작한 펄스스เตร처의 전체 회로도 는 Fig. 3와 같고, 이 회로에 의해 타이밍도는 Fig. 4와 같다.

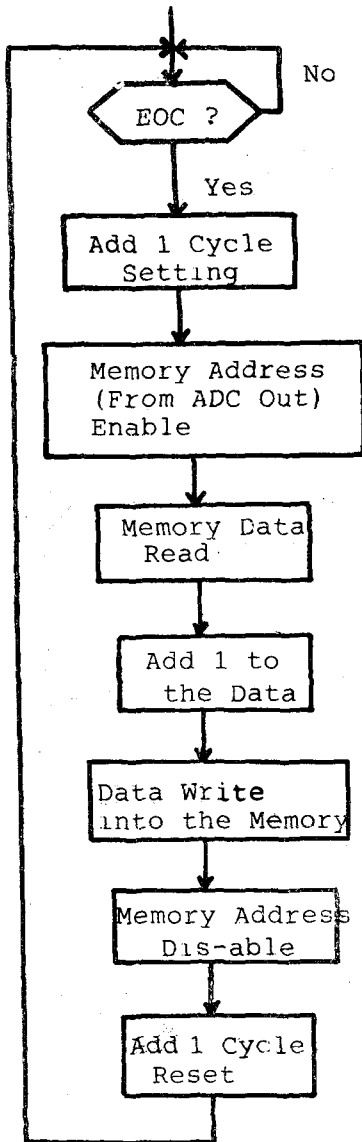


Fig. 5. Logic flow diagram for ADC module.

마이크로 컴퓨터가 MCA 시스템을 제어할 수 있도록 하기 위해 컴퓨터에서 나오는 제어신호도 회로도에도 포함시켰다.

3. ADC 모듈의 제작

SA형 12 bit ADC 1211을 중심으로 구성한 ADC 모듈에는 분석된 에너지에 해당하는 방사선의 수를 증가시켜 주기 위해서 ADC뿐만 아니라 누적된 계측수를 기억하는 메모리 소자와, 그 값에 1을 더해주는 회로(Add-1 cycle), 또 그것을 제어하기 위한 순차논리가 반드시 포함되어야만 한다. 본 논문에서 구성한 ADC

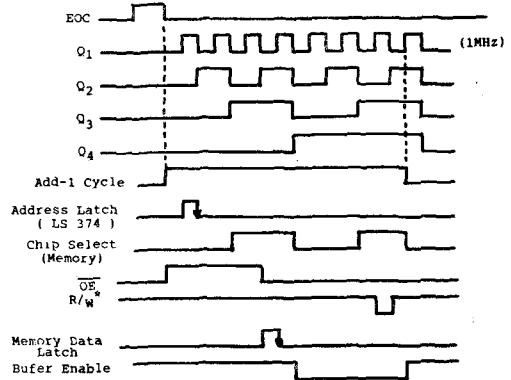


Fig. 6. Timing diagram for Add-1 cycle.

모듈에 대한 논리 흐름도가 Fig. 5에 나타나 있다.

ADC 1211에서 나오는 CC(Conversion Complete) 신호에 의해 순차논리 발생기로 사용된 4 bit 카운터 LS 293 이 인에이블됨과 동시에 Add-1 사이클이 시작된다. 카운터의 입력으로 들어가는 클락으로는 1 MHz의 컴퓨터 클락을 사용하였고, 인에이블 신호의 입력은 NOR 게이트를 사용하여 입력 클락과 동조시켜 주었다. 카운터의 4개 출력을 이용하여 Fig. 6과 같은 타이밍도를 만족하는 Add-1사이클의 순차논리를 구성하였는데, 클럭펄스 8개(8 μsec)동안에 메모리 내용의 Add 1 동작이 완료되도록 하였다.

계측데이터를 저장하는 메모리로는 어드레스 13 bit, 데이터 8 bit의 용량을 갖는 S-RAM 6264를 사용하였는데, 계측데이터의 충분한 용량을 위해서 메모리 두개를 병렬로 연결하여 $(2^{16}-1)$ 개의 용량을 갖도록 하였다. 에너지에 따른 방사선의 수를 계측하기 위해서 메모리의 어드레스는 ADC의 출력에 의해 결정되고, 각 어드레스에 저장된 데이터는 그 에너지에 해당하는 계측수가 된다.

계측수에 1을 증가시켜주기 위해 4비트 가산기(LS 83) 4개를 병렬로 연결하여 16 bit 가산기로 만들었고, 가산수로는 $0001_{(16)}$ 을 세팅시켜 놓았다. ADC 1211에 공급되는 클락을 위해 외부에서 130 KHz를 만들어 주었다.

본 논문에서 구성한 ADC 모듈의 회로도도 Fig. 7과 같다.

4. 인터페이스의 제작

본 논문에서는 마이크로컴퓨터 애플 II¹³⁾가 시스템의 제어와 데이터 분석을 위해 사용되었는데 마이크로컴

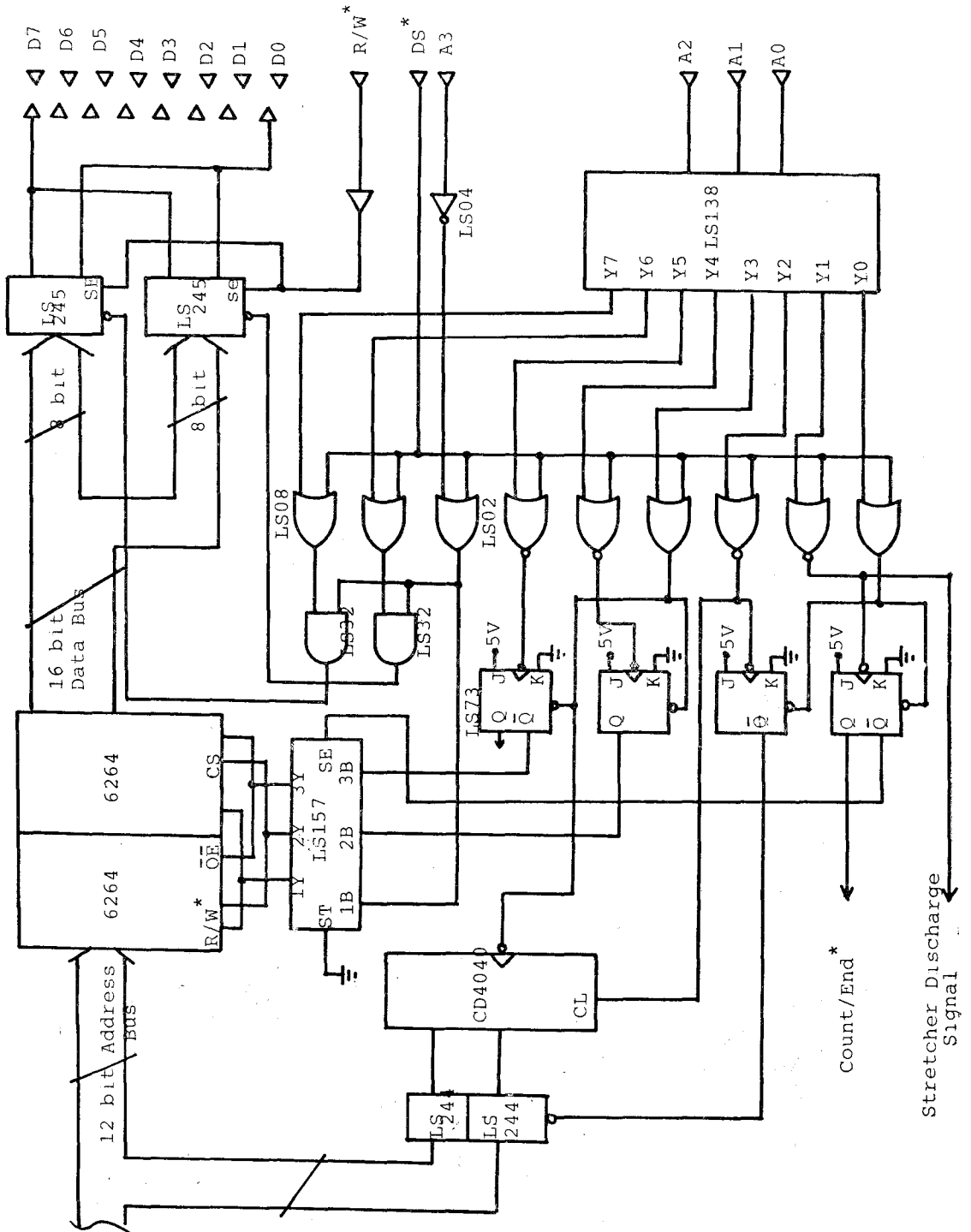
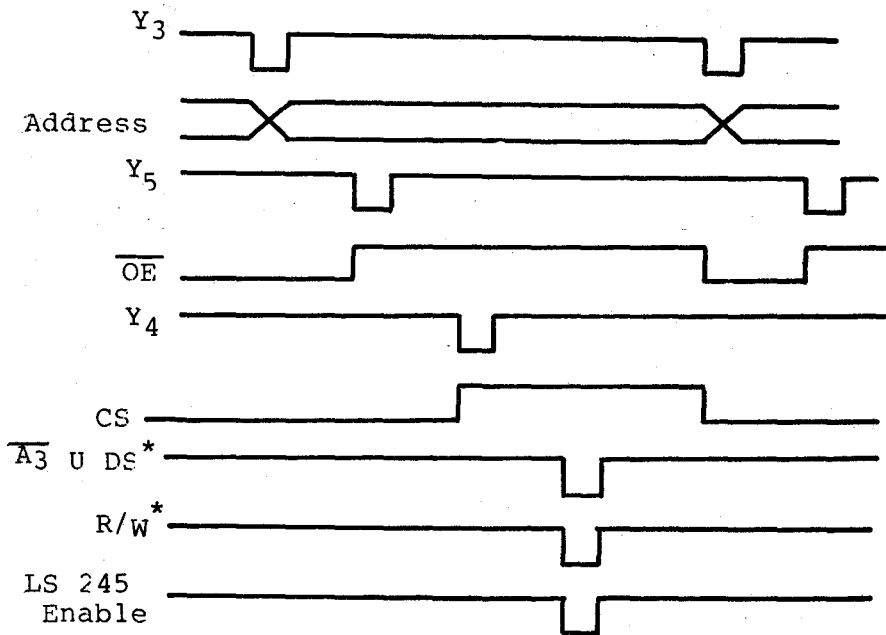


Fig. 8. Circuit diagram for interface.

```

!L
1      ORG $B00
2      OBJ $B00
3 ADD  EQU $C0A0
4      LDX #$00
5      LDA ADD
6      LDA ADD+2
7 LOOP1 LDY #$00
8 LOOP  LDA ADD+5
9      LDA ADD+4
10     LDA #$FF
11     STA ADD+8
12     INY
13     CPY #$00
14     LDA ADD+3
15     BNE LOOP
16     INX
17     CPX #$10
18     BNE LOOP1
19     RTS
20     END
    
```

(a) Software

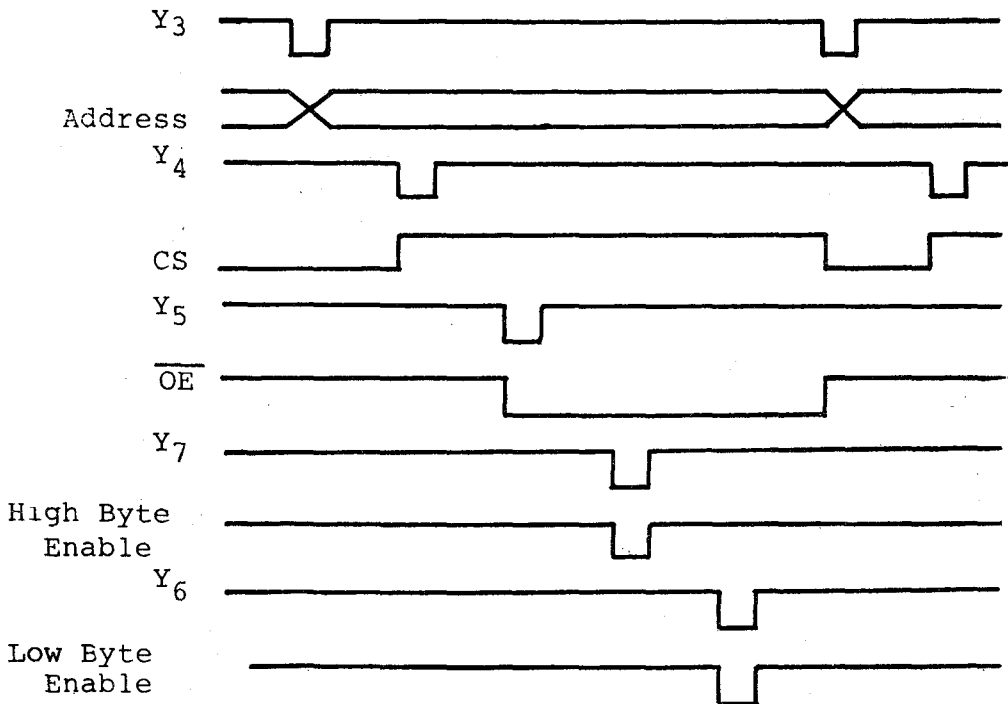


(b) Timing Diagram

Fig. 9. Software timing diagram for initializing memory.

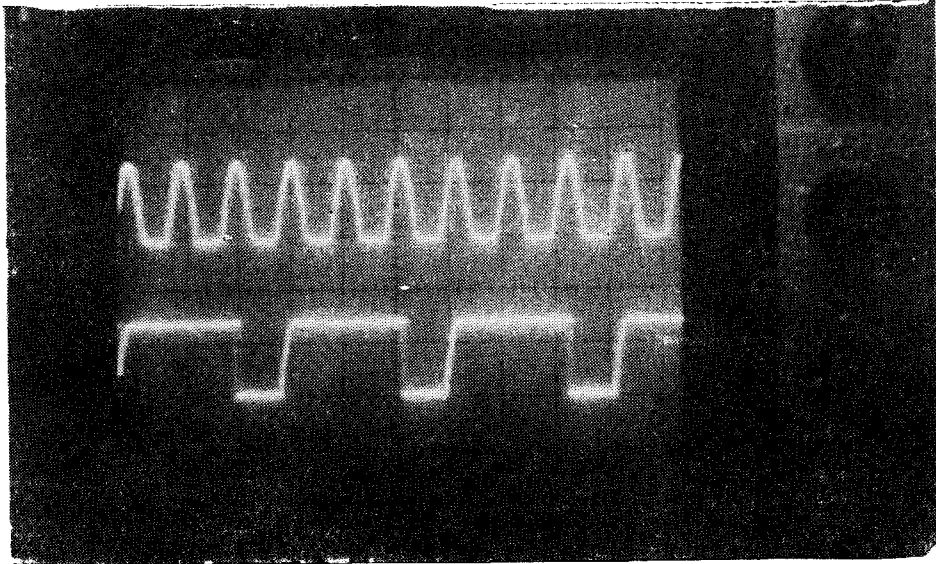
```
14 ; LOOP
15 LOOP      LDY #00
16 LOOP1     LDA ADD+4      !LIST
17           LDA ADD+5      1          ORG $300
18           LDA ADD+7      2          OBJ $300
19           STA (TADL),Y    3 ADD      EQU $C0A0
20           INY            4 TADL     EPZ $08
21           LDA ADD+6      5 TADH     EPZ $09
22           STA (TADL),Y    6          LDA #00
23           LDA ADD+3      7          STA TADL
24           INY            8          LDA #60
25           CPY #00         9          STA TADH
26           BNE LOOP1     10 ; INITIALIZE CLOCK
27           INC TADH       11          LDA ADD
28           LDA TADH      12 ; ENABLE LS244, CD4040
29           CMP #80       13          LDA ADD+2
30           BNE LOOP
31           RTS
32           END
```

(a) Software

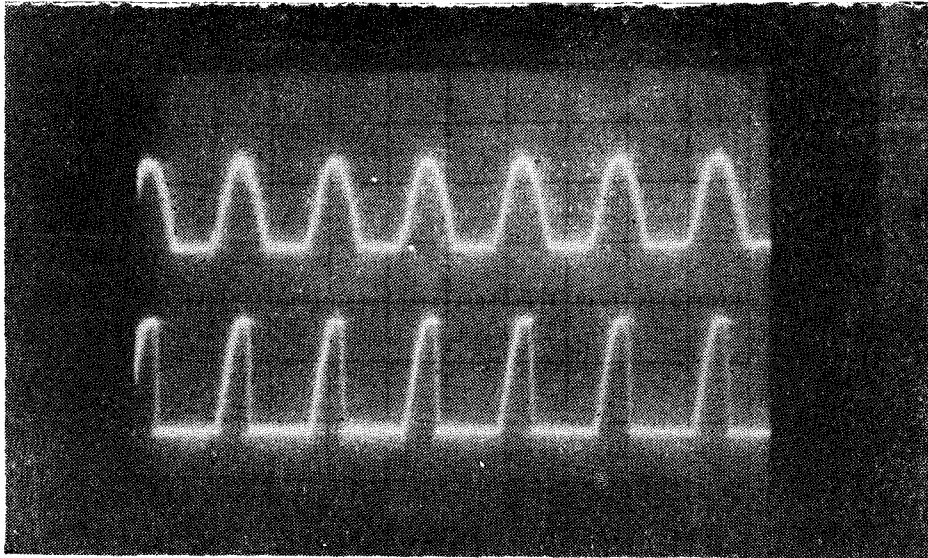


(b) Timing Diagram

Fig. 10. Software timing diagram for data transfer.



(a) When input pulses are between High level and Low level



(b) When input pulses are above High level

Fig. 11. Input and output of pulse stretcher(at 40kHz, 7 V).

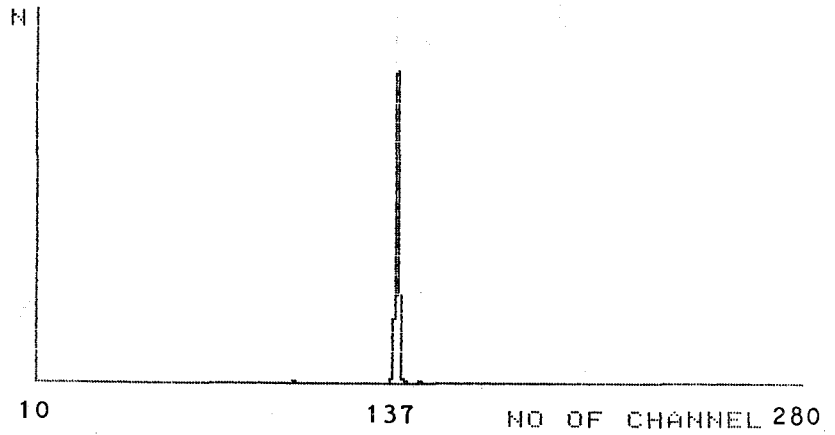
퓨터가 다음과 같은 동작들을 할 수 있도록 인터페이스를 설계하였다.

- 1) 계측의 시작과 끝을 제어한다.
- 2) 계측을 시작하기전에 메모리의 데이터를 모두 지우도록 하는 메모리 초기화 동작을 제어한다.
- 3) 계측을 위해 마련된 메모리의 내용을 컴퓨터가 읽어들이는 메모리간의 데이터 이동을 제어한다.

마이크로컴퓨터와 외부시스템과의 연결은 컴퓨터의 어드레스 A_0, A_1, A_2, A_3 를 디코딩한 신호와 DS^* (Dev-

ise select)신호에 의해 하게 되는데, 디코더 LS 138의 출력중 Y_0 는 시스템의 초기화에 쓰였고, Y_1 은 계측의 시작과 끝의 신호로, Y_2 는 시스템 메모리의 내용을 초기화하거나 컴퓨터로 이동하는 사이클을 만드는 신호로 사용되었다. Y_3 는 메모리 내용의 전송시 어드레스를 순차적으로 발생시키는 12비트 카운터 CD 4040의 입력 클럭으로 사용될 수 있도록 구성하였고 나머지 신호들은 메모리의 입출력을 제어하는 타이밍을 발생하는데 쓰였다.

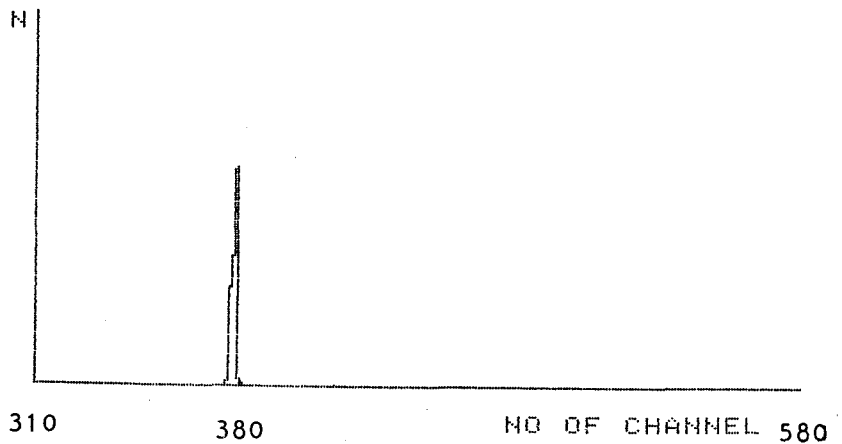
CHANNEL=	130	0
CHANNEL=	131	0
CHANNEL=	132	0
CHANNEL=	133	0
CHANNEL=	134	0
CHANNEL=	135	866
CHANNEL=	136	10293
CHANNEL=	137	49535
CHANNEL=	138	13526
CHANNEL=	139	84
CHANNEL=	140	0
CHANNEL=	141	0
CHANNEL=	142	0
CHANNEL=	143	0
CHANNEL=	144	11
CHANNEL=	145	0
CHANNEL=	146	0
CHANNEL=	147	0
CHANNEL=	148	0
CHANNEL=	149	0



(a) When input pulses are 2V

TOTAL COUNT=74316

CHANNEL=	374	0
CHANNEL=	375	0
CHANNEL=	376	1
CHANNEL=	377	882
CHANNEL=	378	16066
CHANNEL=	379	21178
CHANNEL=	380	34778
CHANNEL=	381	508
CHANNEL=	382	0
CHANNEL=	383	0
CHANNEL=	384	0
CHANNEL=	385	0
CHANNEL=	386	0
CHANNEL=	387	0

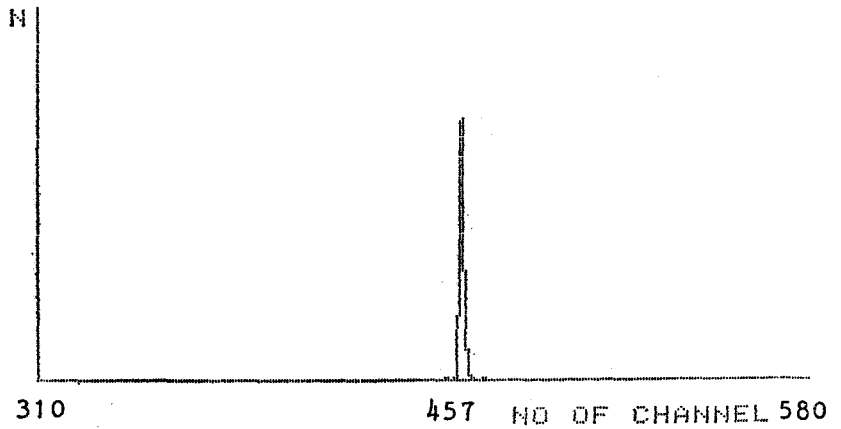


(b) When input pulses are 5V

TOTAL COUNT=73413

Fig. 12. Counting spectrum with constant pulses.

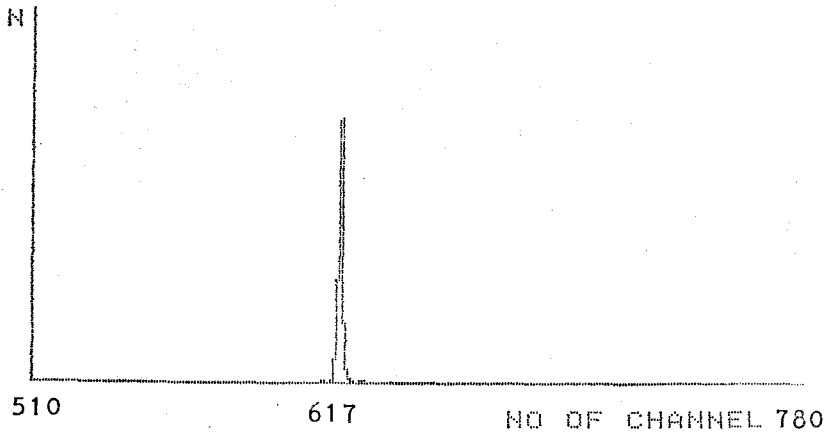
CHANNEL= 448	0
CHANNEL= 449	0
CHANNEL= 450	0
CHANNEL= 451	1
CHANNEL= 452	0
CHANNEL= 453	0
CHANNEL= 454	4
CHANNEL= 455	290
CHANNEL= 456	10382
CHANNEL= 457	41259
CHANNEL= 458	17018
CHANNEL= 459	4326
CHANNEL= 460	11
CHANNEL= 461	0
CHANNEL= 462	0
CHANNEL= 463	0
CHANNEL= 464	39
CHANNEL= 465	0
CHANNEL= 466	0
CHANNEL= 467	0



(c) When input pulses are 6V

TOTAL COUNT=73215

CHANNEL= 605	0
CHANNEL= 606	0
CHANNEL= 607	0
CHANNEL= 608	0
CHANNEL= 609	0
CHANNEL= 610	1
CHANNEL= 611	0
CHANNEL= 612	0
CHANNEL= 613	17
CHANNEL= 614	356
CHANNEL= 615	4153
CHANNEL= 616	16409
CHANNEL= 617	41825
CHANNEL= 618	8742
CHANNEL= 619	1664
CHANNEL= 620	14
CHANNEL= 621	0
CHANNEL= 622	0
CHANNEL= 623	3
CHANNEL= 624	31
CHANNEL= 625	0
CHANNEL= 626	0
CHANNEL= 627	0



(d) When input pulses are 8V

TOTAL COUNT=73330

Fig. 12. Counting spectrum with constant pulses(B).

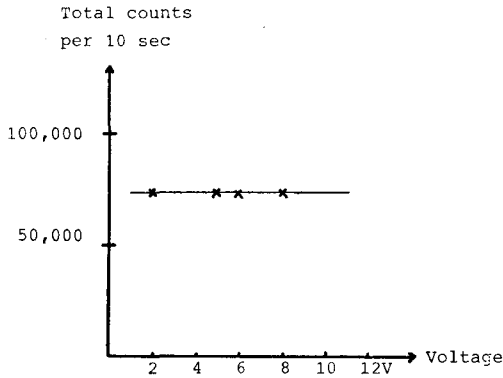


Fig. 13. Total counts of different input voltage pulse.

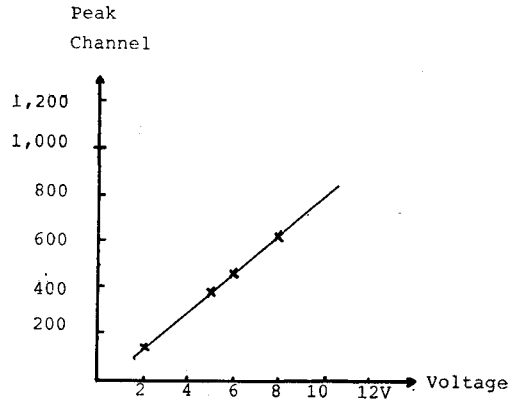


Fig. 14. The integral Linearity of MCA system.

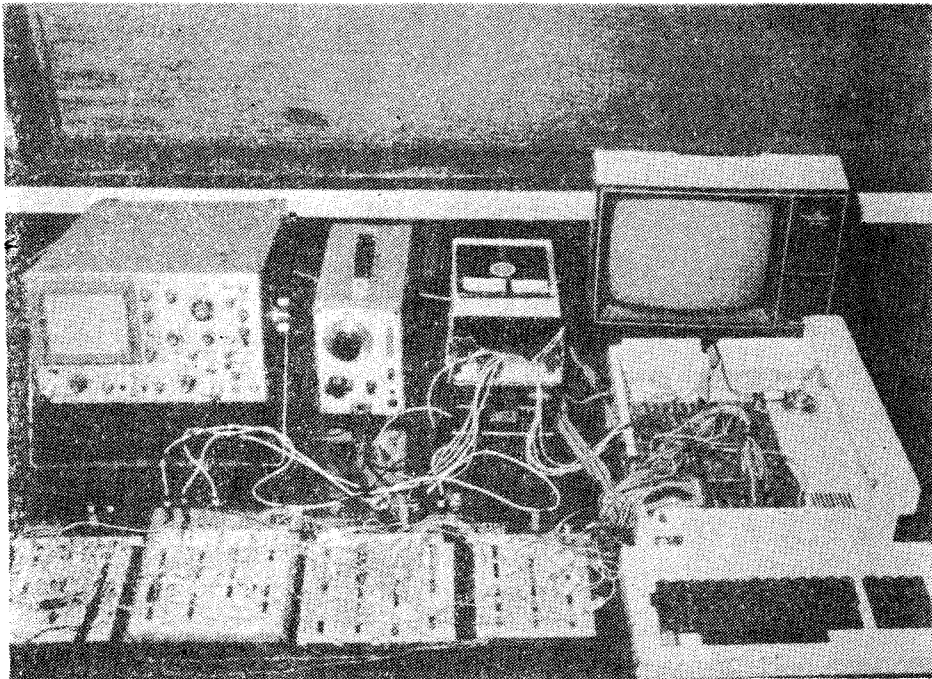


Fig. 15. The photograph for the constructed MCA system.

메모리의 제어신호는 Add-1 사이클 때와 데이터의 이동때 서로 구별되므로 멀티플렉서(multiplexer) LS 157을 사용하여 SE(select) 0일때는 Add-1 사이클로 메모리가 동작하도록 하였고, SE 1일때는 메모리의 데이터 이동을 제어할 수 있도록 하였으며, 양방향 버퍼 LS 245 2개를 사용하여 16비트 메모리의 데이터와 8 비트 컴퓨터를 연결하였다.

본 논문에서 구성한 인터페이스 회로도는 Fig. 8과 같다.

5. 소프트웨어의 구성

제작된 인터페이스를 사용하여 메모리 데이터의 초기화 사이클, 제측의 제어 사이클, 제측된 데이터의 컴퓨터로의 이동 사이클을 만들 수 있도록 제어용 소프트웨어를 어셈블러로 구성하였다. 메모리 내용의 초기화를 위한 소프트웨어 및 그에 의한 타이밍도는 Fig. 9와 같고, 제측이 끝난후 제측 데이터를 이동시키기 위한 소프트웨어 및 그에 의한 타이밍도는 Fig. 10과 같

다. 계측의 시작과 끝은 \$C0A0를 POKE함으로써 실행된다.

계측된 데이터를 컴퓨터가 받아들인 후 그것을 분석할 수 있는 간단한 소프트웨어도 구성하였는데, 채널에 따른 계측수를 그래픽하도록 하여 결과를 쉽게 볼 수 있도록 하였다.

6. 시험결과 및 결론

Fig. 11에서 보여주는 사진은 정상적인 펄스 스트레치의 동작 특성을 보여주고 있다. 윈도우 레벨 안에서는(Fig. 11(a)) ADC에 의해 정보가 분석되는 동안 펄스의 피크값을 유지해 주고 있으나, 윈도우 레벨을 넘어선 펄스들(Fig. 11(b))에 대해서는 즉시 그 값을 방전시키고 새로운 값을 받아들이는 동작을 반복하고 있다.

본 논문에서 제작한 시스템에 의해 100 KHz까지는 정상적인 동작특성을 얻어낼 수 있었으나 그 이상의 주파수에서는 스트레치의 구성에 사용된 OP 앰프 LF 356과 콘덴서 용량의 한계에 의해 동작특성이 떨어졌다. 넓은 주파수의 펄스들에 의한 동작특성을 양호하게 하기 위해서는 콘덴서의 주파수 특성을 넓히는 방법을 고려해 보아야 할 것이다.

제작된 MCA 시스템에 대한 시험은 60 kHz의 2V, 5V, 6V, 8V 펄스들에 의해 각각 10초씩 컴퓨터가 계측을 제어하도록 한후 그 결과를 분석하였다. Fig. 12의 a), b), c), d)가 컴퓨터에서 분석한 결과를 나타내 주고 있다. ADC 1211은 12 bit 중에서 하위 2 bit를 뺀 상위 10 bit 만이 유용한 정보를 포함하고 있기 때문에 1024 채널로 분석하였다. Fig. 13은 전압변화에 따른 총 계측수를 나타내었는데, 실험을 같은 주파수에서 행하였기 때문에 거의 동일한 수를 기록하고 있다. Fig. 14는 전압변화에 따른 채널의 변화를 나타내었는데, 선형적인 변화를 보여주고 있다.

본 논문에서 제작한 MCA 시스템은 ADC의 선형성 개선 방법을 적용하지 않았고, 펄스스트레치의 구성시 동작특성의 실현에 중점을 두고 설계하였기 때문에 Fig. 12처럼 좋은 분해능을 보여주고 있지는 못하지만, 이러한 사실을 개선하면 저레벨 방사선 계측에서는 만족할 만한 MCA 시스템이 될 수 있다.

제작된 MCA 시스템의 실제 사진을 Fig. 15에 보였다.

REFERENCES

- 1) P.W. Nicholson, *Nuclear Electronics*, John Wiley and Sons(1974).
- 2) K. KANDIAH, "The evolution of Nuclear Detector instrumentation", *Nucl. Instr. Meth.* **162** 699-718(1979).
- 3) Martin W. Sachs, "The Computer in the Nuclear Science Laboratory", *Nucl. Instr. Meth.* **162** 719-735(1979).
- 4) *Digital/Analog and Analog/Digital Conversion Handbook*, Motorola tech. Handbook.
- 5) E. Gatti, P.F. Manfredi and D. Marino, "Analysis and Characterization of cyclic-scale Compensated Analog-to-Digital Converters", *Nucl. Instr. Meth.* **165**, 225-23(1979).
- 6) D.E. Carter and G. Randers-Pehrson, "A Successive Approximation Analog-to-Digital Conversion system with Good Differential Linearity", *Nucl. Instr. Meth.* **199**, 479-503(1982).
- 7) Carlos B.A. Correia and C.A.N. Conde, "An Analog-to-Digital Converter Module for Nuclear Spectrometry", *Nucl. Instr. Meth. in phy. Resear.* **A235**, 536-541(1985).
- 8) P. Casoli and P. Maranesi, *Nucl. Instr. Meth.* **166**, 299-304(1979).
- 9) E. Koeman, *Nucl. Instr. Meth.*, **86**, 301-309(1970).
- 10) D.M. Santos, A.S. Pereira and J.S. Lopes, "A Microproes Controlled Multichannel Analyser", *Nucl. Instr. Meth.* **196**, 435-439(1982).
- 11) W.E. Kieser, R.P. Beukens and T.E. Drake, "A Multichannel Analyser to Computer Interface", *Nucl. Instr. Meth.* **164**, 587-590(1979).
- 12) ANRAKU Kazuaki and Masatoshi IMORI, "Simple Direct Coupled Linear Gate", *Nucl. Instr. Meth. in Phy. Resear.* **A251**, 345-346(1986).
- 13) Richard C. Hallgren, *Interface projects for the Apple-II*, Prentice-Hall Inc.(1982).

Construction of Multichannel Analyser with Successive Approximation Type ADC

Chong-Chul Yook, Byung-Hoon Oh, Young-Gyoon Kim

Nuclear Engineering Depart., Hanyang University

= Abstract =

A basic multichannel analyser (MCA) system have been designed and constructed with the successive approximation type ADC (Analog to Digital Converter). Linear Gate, window, and pulse stretcher consist of mainly linear and logic IC's, and are properly combined together to achieve short dead time and good linearity of the system. ADC 1211 (analysing time: 120μ sec) and S-RAM (static random access memory) 6264 are used in ADC module. Two 6264 memories are connected in parallel in order to provide enough counting capacity ($2^{16}-1$). Interfaced microcomputer Apple II controls this system and analyzes the counted data. The system is tested by input pulses between 0V to 10V from oscillator.