

스위치 네트워크

申杞秀 · 趙鏞鉉

〈要 約〉

TDX-1의 digital speech data path를 형성하는 digital line concentrator(DLC)와 스위치 네트워크의 구성 및 동작에 관하여 서술하였으며, TDX-1 스위치 네트워크의 종합적인 통화량에 관하여 고찰하였다.

I. 서 론

교환기에서 스위치 네트워크의 기능은 두 통화자의 음성신호가 각각의 상대방에 도달할 수 있는 길을 마련하여 주는 것으로 초기의 수동식 교환기는 교환원의 수작업에 의하여 이루어졌으며 그후 개발된 자동식 교환기에서는 다이얼링등에 의한 디지털 정보가 기계적 접점을 제어하여 두통화자간에 metallic path를 만들어 주어 통화를 가능하게 하는 것이었다.

디지털 교환기의 특징은 모든 음성신호가 PCM에 의하여 디지털로 변환되어 처리되는 점이며 이때 각각의 음성신호는 64Kbps의 디지털 데이터로 변환되어 다중화되며 각 64 Kbps 데이터는 다중화 선상에서 고유한 time slot number를 가진다. 디지털 스위치 네트워크는 이러한 다중화 선상에서 두 통화자의 고유 time slot number에 있는 PCM 데이터를 서로 교체하여 줌으로써(Time slot interchange)각각의 음성신호를 상대방에게 전달하여 준다.

Time slot 데이터는 시간축 상에서의 특정 위치의 데이터, 즉 특정시간에 다중화 선상에 나타나는 데이터를 의미하므로 PCM 데이터의 time slot interchange는 어느 순간에 나타난 PCM 데이터를 저장하였다가 정해진 시간의 지연후에 다시 다중화 선상에 출현시키는 것이다.

디지털 스위치 네트워크에서 앞에서 설명

한 time slot interchange 기능을 time switch (T-Sw 또는 T)에서 수행한다. 통상 단일 T-Sw로 처리하는 time slot의 수는 T-Sw의 사용 메모리의 액세스 시간 및 용량에 의하여 제한을 받으므로 대용량의 디지털 스위치 네트워크는 다수의 T-Sw로 구성되며 이들간의 연결 스위치로 space switch(S-Sw 또는 S)가 사용된다. S-Sw의 기능은 T-Sw간의 PCM 데이터를 time slot 단위로 공간 연결시켜 주는 것이다.

T-Sw의 주요 구성소자는 메모리, S-Sw의 주요 구성소자는 logic gate 또는 멀티플렉서 IC로 모두가 반도체 소자로 구성되며 따라서 기계식 접점을 이용하는 애널로그식 교환기의 스위치 네트워크에 비하여 디지털 교환기의 스위치 네트워크는 저상면적, 저소모전력 등 많은 장점을 지니게 된다.

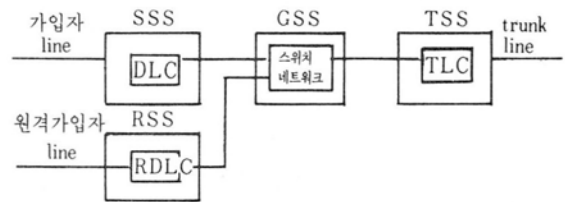
또한 단말대 단말간의 전체 path의 디지털화가 요구되는 ISDN기능의 실현도 디지털 스위치 네트워크의 사용이라는 전제하에서만 가능하다.

본고에서는 TDX-1의 스위치 네트워크와 line 집선기인 DLC(Digital Line Concentrator)의 구조에 대하여 설명하고 또한 TDX-1 스위치 네트워크에서 처리하는 통화량에 관하여 서술하였다.

II. Digital Speech Data의 경로

TDX-1의 line interface는 가입자 회로와 trunk 회로로 SSS(Subscriber & Signalling Subsystem), TSS(Trunk & Signalling Subsystem)와 SSS가 원격지에 위치한 경우의 RSS(Remote Subscriber Switch)에 각각 소속되어있다.

각 line interface circuit에서 생성되거나 수신된 PCM digital speech data는 DLC(Digital Line Concentrator), 또는 TLC(Trunk Line Concentrator), RDLC(Remote Digital Line Concentrator)에서 트래픽집선이 이루어



〈그림 1〉 TDX-1 Digital Speech Path

어진 다음 GSS(Group Switching Subsystem)로 전송되어 GSS의 스위치 네트워크에서 time slot interchange가 이루어져 상대방 DLC(TLC, RDLC)를 거쳐 해당 line interface circuit에 도달하게 된다.

TDX-1의 모든 digital speech data는 DLC(TLC, RDLC) - SWC - DLC(TLC, RDLC)의 경로를 통하게 된다.

DLC, TLC 및 RDLC는 subsystem의 종류에 따라 명칭만 틀릴뿐 단일 time switch로 구성되는 동일한 회로이며 따라서 스위치 네트워크는 어떠한 인터페이스 회로에 대하여도 인터페이스는 DLC(TLC, RDLC)와 되기 때문에 표준화된 인터페이스를 가질 수 있는 장점이 있다.

또한 신호장비가 각 SSS, TSS 및 RSS에 소속되어 있으므로 신호장비가 GSS에 위치한 경우보다 분산제어된 프로세서간의 통신량을 줄일 수 있게 되어 TDX-1 전체의 처리능력을 향상시킬 수 있었다.

III. TDX-1 스위치 네트워크

1. 개요

TDX-1의 스위치 네트워크는 T-S-T 구조로 설계 되었으며 각 T(T-Sw)는 1,024 time slots을 처리하고 S(S-Sw)는 4×4로 구성되었으므로 스위치 네트워크 전체에서는 4,096 time slots이 처리된다. TDX-1의 스

위치 네트워크의 block diagram을 <그림2>에 나타내었다.

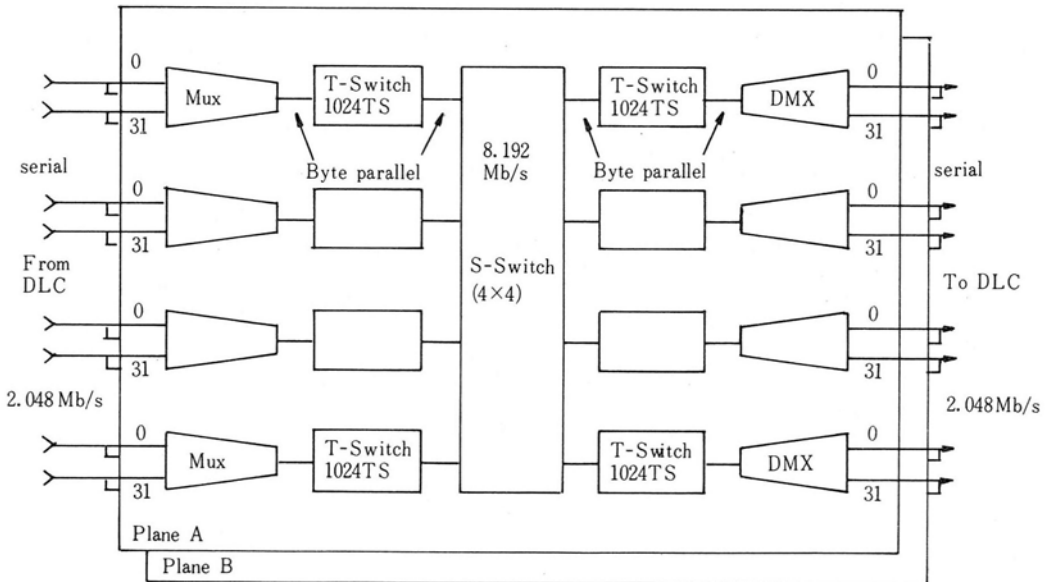
스위치 네트워크와 line interface와의 연결은 32 channels multiplexed sub-highway (2.048Mbps)로 구성되어 있으며 이러한 sub-highway 32개 (32chx32=1,024 channels)가 멀티플렉서에 입력되면 MUX는 이를 byte parallel 1,024 time slots으로 다중화시켜 T-Sw로 입력시킨다.

이때의 time slots은 incoming time slots, T-Sw를 incoming T-Sw (ITXB)라 칭한다.

Incoming T-Sw는 incoming time slots을 받아들여 controller의 제어에 의해 intermediate time slots으로 time slot interchange를 수행하여 그 출력을 S-Sw로 내보내며 S-Sw에서는 이 intermediate time slots 데이터를 각각의 destination T-Sw (Outgoing T-Sw, OTXB)로 연결시켜주고 OTXB에서는 intermediate time slots 데이터를 받아들여 controller의 제어에 의해 outgoing time slots으로 ti-

me slot interchange를 수행하여 그 출력을 (1,024 outgoing time slots 데이터) demultiplexer로 내보내며 DMX는 이를 32개의 32 channel sub-highway (2.048Mbps)로 역다중화시켜 각각의 line interface로 내보낸다.

이상이 스위치 네트워크내에서 음성 데이터가 time slot interchange 과정을 거쳐 음성교환이 이루어지는 과정을 나타낸 것이며, 이의 과정을 이루게 하는데 있어서 controller의 기능은 첫째 incoming T-Sw에서 incoming time slots을 intermediate time slots으로 time slot interchange시켜 주는 것과, 둘째 outgoing T-Sw에서 intermediate time slots를 outgoing time slots으로 time slot interchange시켜 주는 것으로 대별할 수 있으며 incoming T-Sw를 제어할때 output으로 나오는 intermediate time slots 데이터와 함께 S-Sw control data를 출력시켜 S-Sw를 제어하게 하여 별도의 S-Sw control interface를 두지 않은 방식을 사용하였다. 스위치 네



<그림 2> TDX-1 스위치 네트워크

트위크는 전체적으로 이중화되어 있으며 이중화된 controller와 cross로 연결되어 신뢰성을 향상시켰다.

2. Multiplexer

32 채널 데이터인 2.048Mbps sub-highway 32개가 입력되어 각 채널의 serial 8 bits가 parallel로 변환되고 다중화되어 출력된다.

S/P converter, latch, decoder IC 등이 사용되었으며 gate array chip으로 회로를 재구성하는 것이 현재 진행 중이다.

3. Demultiplexer

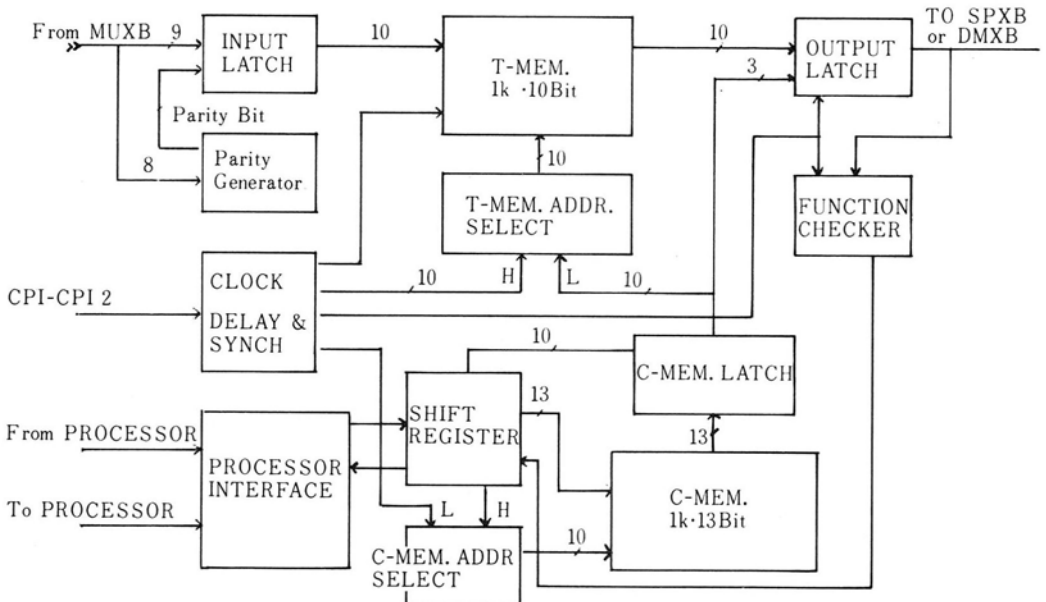
8 bits parallel 데이터 (1,024 time slots 데이터)를 받아들여 이를 각각 32채널 데이터 (Bit rate 2.048 Mbps) stream인 sub-highway 32개를 출력시키는 것으로 멀티플렉서와 완전히 역기능을 수행한다. Latch, P/S

converter, decoder IC 등이 사용되었으며 gate array chip으로 회로를 재구성하는 것이 현재 진행 중이다.

4. Time switch

TDX-1의 T-Sw는 두종류이다. 즉 incoming T-Sw(ITXB)와 outgoing T-Sw(OTXB)로 ITXB는 incoming time slots 데이터를 intermediate time slots 데이터로, OTXB는 intermediate time slots 데이터를 outgoing time slots 데이터로 time slot interchange를 하여주는 기능을 한다. 이들의 차이는 ITXB는 입력 데이터가 sequential하게 write 되고 출력 데이터는 controlled read에 의하여 만들어 지는데 반하여 OTXB에서는 반대로 입력 데이터가 controlled write되고 출력 데이터는 sequential read에 의하여 만들어 지는데 있다.

ITXB와 OTXB의 데이터 처리 구조를 들



〈그림 3〉 ITXB Block Diagram

리게 한 이유는 switch network controller에서 intermediate time slot을 search하기 쉬운 구조를 갖도록 하여 TDX-1의 호처리 능력을 향상시키는데 있다. <그림 3>에 ITXB의 block diagram을 나타내었다.

5. Space Switch

Space switch의 기능은 복수의 각각 4개로 구성된 ITXB와 OTXB간의 time slots 데이터를 time slot 단위로 연결시켜 주어야 하며 이를 실현하기 위하여 4x1 멀티플렉서가 설계시 고려되었으나 이 경우 space switch control interface가 별도로 구성되어야 하는 단점이 있어 tri-state logic gate를 사용하는 방안을 채택하였다.

IV. TDX-1 DLC (Digital Line Concentrator)

반도체 소자의 저렴화로 디지털 교환기에 per subscriber CODEC이 가능해 졌으며 따라서 시분할에 의한 집선기능이 유리하다. 교환기의 중앙의 스위치 네트워크의 채널의 효율성을 증대시키기 위하여 가입자단에서 트래픽을 집선시킬 필요가 생겼다.

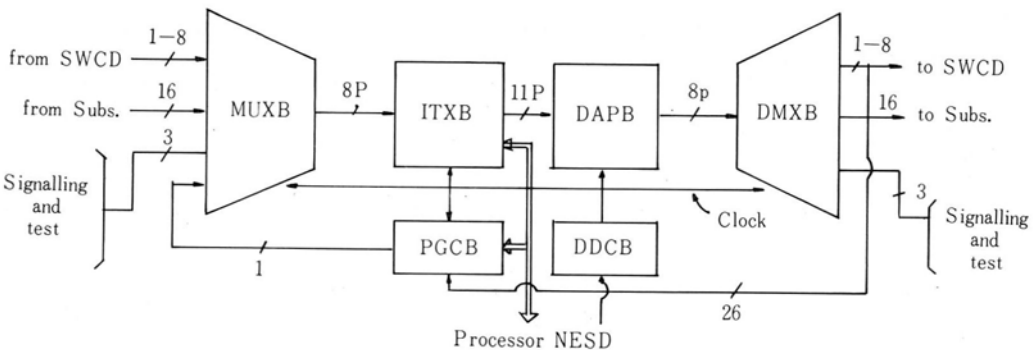
TDX-1에서는 스위치 네트워크에서 사

용하는 MUX, ITXB, DMXB를 이용하여 DLC를 구성하였다. MUX에는 32개의 subhighway가 연결되며 이중 16 sub-highway, 즉 512채널이 가입자 회선 채널로 사용되며 최고 8sub-highway에서 1sub-highway까지가 스위치 네트워크로 연결될 수 있어 2:1에서 16:1까지의 집선을 이룰 수 있다. 그 외에 DT-MFR, tone generator, R2MFC 송수신장치가 DLC에 연결되어 있다.

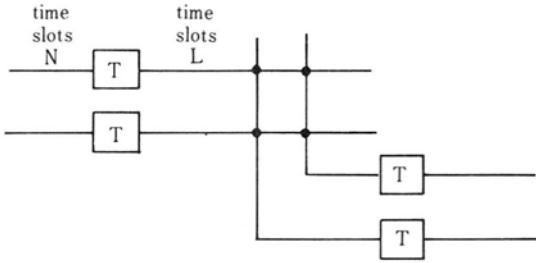
또한 2Kx8 bits ROM으로 구성된 디지털 PAD (DAPB)를 장착하여 transmission loss plan에 가입자 및 트렁크 음성 레벨의 감소를 주게하였다. PGCB (Pattern Generator Checker Board)는 digital speech 경로를 감시할 수 있게 하는 board로서 controller의 제어에 의하여 임의의 PCM pattern을 임의의 채널로 주입하여 DLC 또는 DLC 및 스위치 네트워크를 거쳐 다시 들어오게 하여 이 데이터를 감시함으로써 경로의 이상을 체크할 수 있게 하였다.

V. TDX-1 스위치 네트워크 통화량

<그림 5>에 전형적인 T-S-T 스위치 네트워크를 나타내었으며 이 경우 전단의 T-Sw의 inlet time slots이 N이고 S-Sw의 time slots이 L이라 하면 $L = 2N - 1$ 일때 이



<그림 4> DLC Block Diagram



〈그림 5〉 T-S-T 스위치 네트워크

스위치 네트워크는 non-blocking이다. L이 $N-2 < L < 2N-1$ 일 경우 스위치 네트워크 전체의 blocking 가능 확률은 다음 식(1)과 같이 표현된다.^[2]

$$B = \frac{[(N-1)!]^2}{L!(2N-2-L)!} P^L (2-P)^{2N-2-L} \dots (1)$$

P : channel의 평균 점유율

TDX-1은 N은 1,024 time slots으로 식(1)은 식(2)로 간략화 시킬 수 있다.

$$B = \frac{(N!)^2}{L!(2N-L)!} P^L (2-P)^{2N-L} \dots (2)$$

TDX-1에서 L은 SWP에서 search하는 intermediate time slots의 수량이며 이 search하는 intermediate time slots의 수량에 따른 blocking 가능 확률을 〈표 1〉과 〈그림 6〉에 나타내었다.^[1]

TDX-1의 SWP에서는 현재 그 처리 능력등을 고려하여 한 접속요구에 대하여 128개의 intermediate time slots을 search하며 이것을 〈그림 6〉에서 추적하면 스위치 네트워크가 blocking되는 확률 1%에서 채널의 평균 점유율은 0.81이 된다. 따라서 1,024 T-Sw가 4×4로 구성된 TDX-1의 스위치 네트워크는 blocking 가능 확률 1%에서 1,650 Erlang ($2,048 \times 0.81$)을 처리할 수 있게 된다.

TDX-1의 스위치 네트워크의 트래픽처리 능력을 해석하는 다른 방법으로서 T-S-T 스위치 네트워크를 동가의 공간분할 스위치

로 대치한 다음 이를 선형확률 그래프(Linear probability graph)로 모델화하였을 때 다음과 같은 식이 유도된다.^[4]

$$B_1 = (2P - P^2)L \dots (3)$$

(3)식은 편방향 스위치 네트워크 blocking 확률이며 양방향 blocking 확률은 다음과 같다.

$$B = 1 - (1 - B_1)^2 = 1 - [1 - (2P - P^2)L]^2 \dots (4)$$

위식에서 L이 128인 경우 blocking 가능 확률 1%에서 약 1,700Erlang, 0.1%에서 약 1,600Erlang의 통화량이 산출된다.

〈표 1〉 TST의 사용가능한 링크수와 Blocking율

| P/L | 32 | 64 | 128 | 256 | 512 |
|-----|-----------|-----------|-----------|-----------|-----------|
| 50 | 10045E-03 | 10091E-07 | 10182E-15 | 10368E-31 | 00000E+0 |
| 55 | 71678E-03 | 51377E-06 | 26396E-12 | 69673E-25 | 00000E+0 |
| 60 | 37752E-02 | 14252E-04 | 20312E-09 | 41257E-19 | 00000E+00 |
| 65 | 15272E-01 | 23325E-03 | 54405E-07 | 29599E-14 | 87608E-29 |
| 70 | 48902E-01 | 23914E-02 | 57187E-05 | 32704E-10 | 10695E-20 |
| 75 | 12679E+00 | 16075E-01 | 25842E-03 | 66781E-07 | 44598E-14 |
| 80 | 27082E+00 | 73343E-01 | 53792E-02 | 28936E-04 | 83729E-09 |
| 85 | 48277E+00 | 23306E+00 | 54319E-01 | 29505E-02 | 87056E-05 |
| 90 | 72498E+00 | 52560E+00 | 27625E+00 | 76315E-01 | 58240E-02 |
| 95 | 92303E+00 | 85198E+00 | 72586E+00 | 52688E+00 | 27760E+00 |

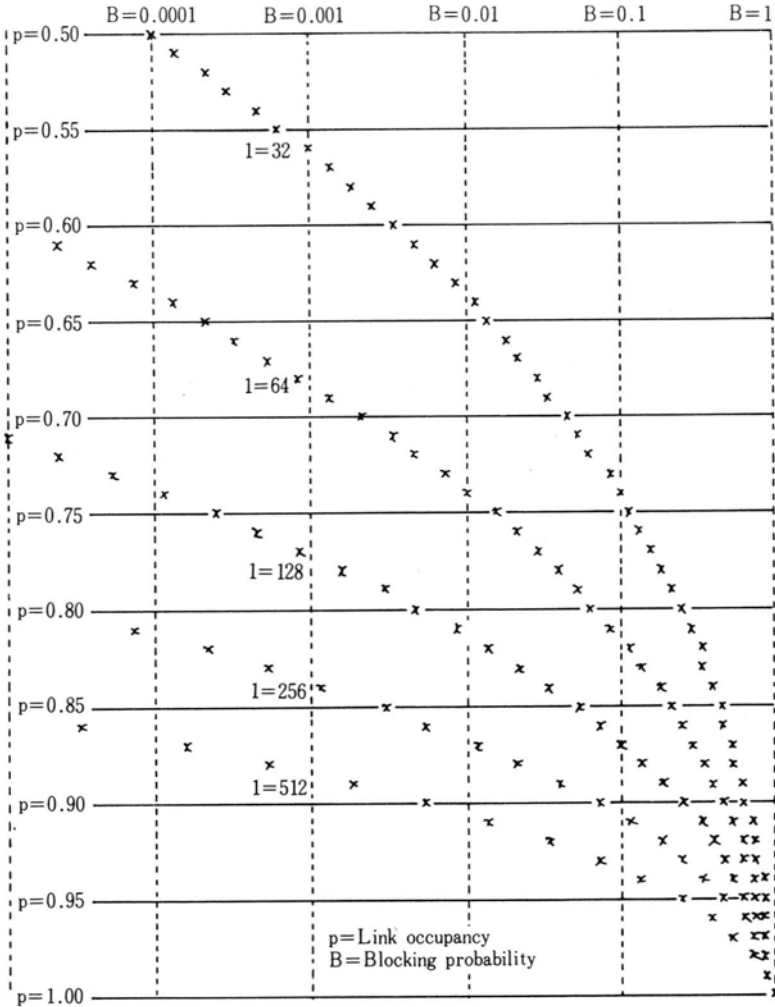
P : Link occupancy

L : Searching length or Number of available Links

VI. 결 론

TDX-1의 line interface 회로에서 발생되거나 수신된 모든 PCM 음성데이터는 originating DLC-스위치 네트워크-terminating DLC를 통하여 상대방 회로에 도달하게 되며 따라서 스위치 네트워크와 DLC는 시스템 전체의 신뢰도에 상당한 영향을 준다.

TDX-1의 주요 기능들이 2중화로 구성된 것처럼 스위치 네트워크와 DLC도 2중화로 동작되게 설계되었으며 효율적인 2중화



〈그림 6〉 TST의 사용 가능한 링크별 점유율과 Blocking율

운용이 이루어질 수 있게 각 데이터에 대한 parity check, 주요 신호에 대한 watch dog monitor기능, PGCB에 의한 전 path 감시기능, memory test read 등 많은 유지보수 기능이 스위치 네트워크 및 DLC의 기본기능에 추가되었다.

TDX-1의 스위치 네트워크는 그 개발시점이 여타 교환기에 비하여 최근이므로 최신의 반도체소자를 선택하여 설계할 수 있었으

므로 매우 compact한 구조를 갖고 있다. 실제로 한 plane의 스위치 네트워크는 랙의 단 한 셀프에 실장되며 이중화된 DLC는 반 셀프의 공간만 차지한다. TDX-1은 교환기술의 발달과정에 있어 가장 발달된 형태라 할 수 있는 시분할 방식 및 분산제어방식을 가지고 있고, 중앙의 speech path인 스위치 네트워크와 DLC의 하드웨어 비용이 저렴하기 때문에 소용량에서 부터 최대 용량에 이르기

까지 하드웨어 가격이 거의 linear 한 장점을 갖게된다.

TDX-1의 스위치 네트워크는 1% blocking률을 가정할 때 약1,650Erlangs의 트래픽을 처리할 수 있으므로 최대 가입자 10,000회선의 평균 최대 트래픽을 1,000Erlangs가정하면 (0.1Erlangs/subs) 이를 충분히 처리할 수 있다.

〈参 考 文 献〉

1. 박 항구, "TDX-1 전전자 교환기 디지

틀 국간중계 호처리장치에 관한 연구", 고려대학교 박사학위 논문, 1985. 4, pp 51-55

2. John, C. McDonald, "Fundamental of Digital Switching", Continental Tele-Com Inc. Plenum Press, New York, 1983.
3. 오돈성, 박 권철, "TDX-1스위칭 네트워크의 통화량", 한국통신학회 1986년도 학술발표회 논문집, 1986. 5.
4. 김 병휘, 임 주환, "T-S-T 시분할스위치의 트래픽 처리 능력의 해석", TM 31 20-86-1, 1986. 2.



申 杞 秀 (Shin, Ki Soo)
1952년 7월30 일생
1975 : 서강대학교 전자공학과 공학사
1977~1978 : 삼성전자부품공업 (주)
1978~1980 : 원효전자공업 (주)
1980~1986 : 한국전자통신연구소 TDX 개발단
1986. 8. 현재 : 부호기술 3실 선임연구원



趙 鏞 鉉 (Cho, Yong Hyun)
1957년 3월18일생
1979. 2 : 경북대학교 전자공학과 공학사
1981. 2 : 경북대학교 대학원 전자공학과 석사
1983. 9~1984. 2 : 삼성반도체통신 (주)
1984. 3~1986 : 한국전자통신연구소
1986. 8. 현재 : 교환회로개발실연구원