

制御系 構造

李 憲 · 宋光錫 · 嚴泰元

〈要 約〉

본고는 TDX-1 제어계 구조에 관한 것으로서 digital switching에 적합한 제어구조의 design object와 이러한 design object를 중심으로한 TDX-1 제어계 구조의 특징 및 제어계를 구성하는 각 프로세서 (TP, BP, DP)의 기능과 구조, 분산된 각 프로세서간 통신 방식 등에 관하여 기술하였다.

I. 서 론

교환기의 제어구조는 시스템의 성격을 결정하는 가장 중요한 요소로서 눈부시게 발전하는 컴퓨터 기술을 이용하면서 부터 그 기능과 구조면에서 많은 변천을 겪어왔다. 특히 근래에는 이와 관련된 소자 및 기술의 발달이 매우 신속하게 이루어질 뿐만 아니라

디지털 스위칭 기술을 중심으로 하는 고도정보화 시대의 도래에 따라 교환기가 수행하여야 할 각종 기능이 매우 다양해지고 있다.

이러한 환경하에서 교환기의 제어구조는 관련되는 각종 기술의 미래 지향적인 수용과 함께 앞으로 교환기가 수행하여야 할 다양한 서비스의 수요에 대비하여 시스템의 확장성 및 유연성에 중점을 두게 되었으며 교환기의 주요 requirement인 신뢰성과 운용의 용이성 등도 주요 요소로서 등장되고 있다.

이러한 관점에서 디지털 스위칭에 적합한 제어구조의 design objective는 아래와 같이 요약할 수 있다.

첫째로 다양한 서비스 기능의 추가 및 수정이 용이하도록 제어구조상에서 expandability, flexibility, adaptability 등이 만족되어야 하고 서비스 터미널 종류 및 수의 증가에 대비하여 회선당 비용이 용량의 증감에 sensi-

tive하지 않도록 wide range를 cover할 수 있는 processing 구조를 갖추어야 한다.

둘째로 이에 따른 시스템의 복잡성을 경감하도록 S/W에 대한 productivity, maintainability, administration 기능을 강력히 부여할 수 있도록 하고, H/W 및 S/W의 독립성을 유지하고 모듈화 하며, 서비스에 관련한 기능의 분리를 추구하여야 한다.

세째로 일부 시스템의 고장에 대하여도 graceful하게 복구되도록 시스템 신뢰성이 제공되어야 한다.

이상의 세조건을 만족 시키려면 스위칭 시스템의 제어구조는 기능의 분산화를 꾀하며 분산제어에 의한 교환기능의 load/function sharing 구조가 되어야 한다는 점을 알 수 있다.

따라서, 이러한 요구하에서 교환기능을 어떻게 구분하여야만 효율적이며, 이러한 구분에 따른 processing capability의 degradation을 최소화 할 수 있을것인지, 또한 구분된 partition들 간의 interworking을 어떻게 할 것인지에 대한 결정을 내리는 것이 구조결정의 선결 문제라고 할 수 있을 것이다.

II. TDX-1 제어구조

TDX-1 제어구조는 근본적으로 load/function sharing에 의한 분산제어 중소용량 교환기에 알맞도록 구성된 단순하고도 경제적인 구조가 가장 중요한 특징이다.

이러한 분산된 기능은 크게 3 그룹으로 나누어진 프로세서 그룹에 의해 수행되며 계층구조상 2 계위의 구조를 지닌다. 즉, 각종 주변 정합회로의 상태변화 탐지, 신호처리, 호처리 요구의 scanning 등 실시간이 요구되는 단순한 작업은 하위계위의 프로세서 그룹이 pre-processing하며, 전반적인 호처리 기능, M&A 기능과 같은 중앙집중 성격의 작업은 각각 기능 및 부하에 따라 분산된 별도의 상위계위의 프로세서 그룹이 담당한다.

이와같이 기능 및 부하에 따라 분산 배치된 각 프로세서들은 global bus에 의해 상호 연결되어 있으며, 이를 통한 프로세서간 메시지 통신에 의해 전반적인 제어기능을 수행한다. TDX-1 제어계의 주요 특징을 요약하면 아래와 같다.

1. Distributed Control Structure

〈그림 1〉과 같이 TDX-1 제어계는 2개의 프로세서 레벨, 즉 상위 레벨인 T-group processor(TP)와 하위 레벨 프로세서인 B/D-group processor(BP, DP)로 구성된다.

T-bus를 공유하는 TP들은 서로 horizontal relation을 가지며, B/D-bus를 공유하는 BP 및 DP와는 vertical relation을 유지한다. 하위 레벨인 BP는 가입자 회로, 트렁크 회로 및 각종 signalling device를 포함하는 telephony device를 직접 제어하며, DP는 magnetic tape driver, disk driver 및 CRT 등의 유지보수용 시스템 주변장치를 제어하고, 모분국간의 통신 및 경보기능도 제어한다.

또한 상위 레벨인 TP는 하위 레벨인 BP와 DP로 부터 발생된 각종 event를 기준으로 기능적으로 분산된 전 TP unit에서 각각 전반적인 호처리 기능과 시스템의 M&A 기능을 수행하며 그 결과를 다시 BP 및 DP로 전송함으로써 전체 교환기능이 이루어진다.

2. Simple and Modular Structure

TDX-1의 개발 및 운용유지의 단순화를 추구하기 위하여 TDX-1의 제어계는 최초부터 모듈 구조를 지니고 있으며 프로세서그룹에 관계없이 동일 CPU로 실현하여 동일한 H/W 및 O.S environment에서 전체 프로세서 그룹이 운용되도록 하였다.

또한, 프로세서들 사이와 프로세서와 telephony device 사이의 인터페이스를 표준화하

여 다양한 device 및 회로들을 제어하도록 함으로써 전체 프로세서 그룹이 소수의 기본 PBA(Printed Board Assembly)의 조합을 통하여 실현되도록 하였다.

이들 프로세서의 표준화된 인터페이스는 다음과 같다.

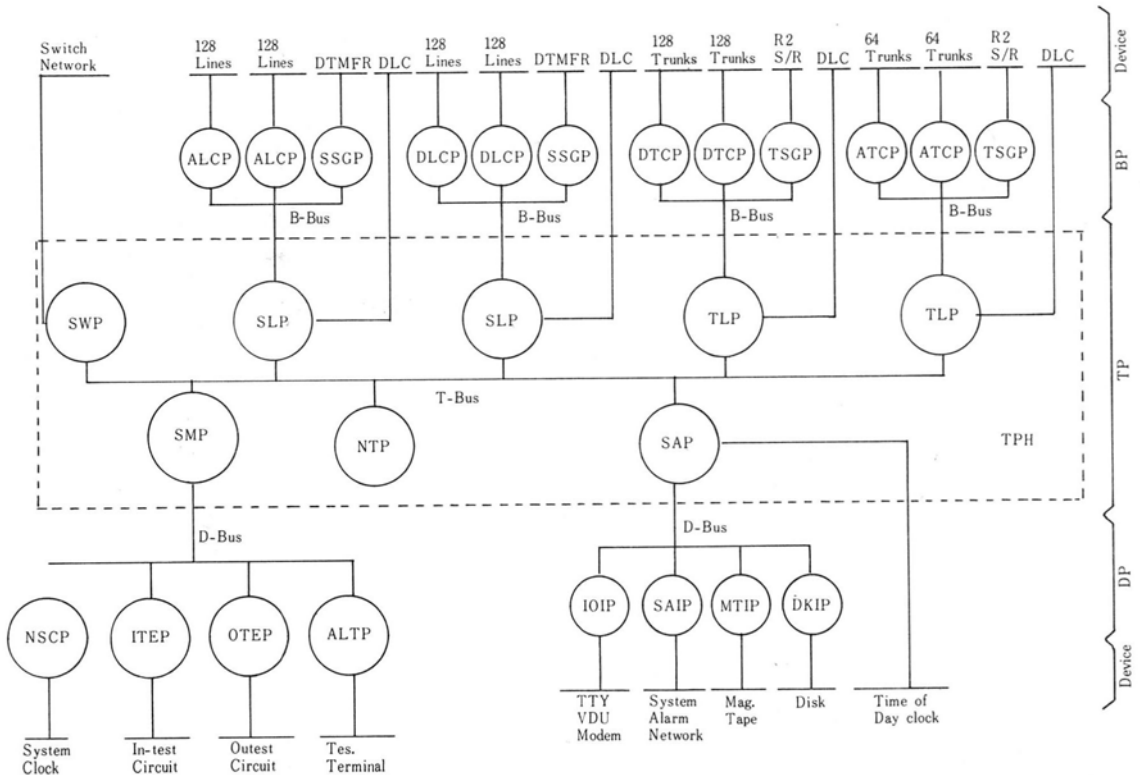
- T-Bus : TP 상호간의 인터페이스 채널
- B/D-Bus : TP와 BP or DP간의 인터페이스 채널
- Device interface : TP가 제어하는 각종 device (switch network, DLC, in-test circuit, time of day clock 등)와의 인터페이스 채널

- Telephony H/W interface : BP가 제어하는 각종 telephony H/W와의 인터페이스 채널

Ⅲ. 상위 레벨 제어

1. TP의 기능

교환기능 가운데 전반적인 호처리 기능, 시스템 운용보전 및 관리기능은 function sharing에 의해 상위 레벨인 다수의 TP들이 수행한다. TP는 모두 동일 H/W로 구성되



〈그림 1〉 TDX-1 제어계 구조

있으며 수행하는 프로그램에 따라 6종의 프로세서로 구분된다.

각 프로세서가 수행하는 기능은 다음과 같다.

가. SLP (Subscriber Line Processor)

각 가입자에 대한 정보를 지니고 있으며, 하위 BP를 제어하여 가입자 호처리를 위한 제반 기능을 수행한다.

나. TLP (Trunk Line Processor)

하위 BP를 제어하여 애널로그 또는 디지털 트렁크 라인에 대한 정보를 받아 중계선 호처리를 총괄하는 기능을 수행한다.

다. SWP (Switch Processor)

Switch network를 제어하는 프로세서로 스위치를 통한 각종 path의 connection과 release 기능을 수행한다.

라. NTP (Number Translation Processor)

번호 번역을 위한 프로세서로서 국번번역, 착신번 번역 및 특수 서비스 기능을 보조한다.

마. SMP (System Maintenance Processor)

Start up, recovery 및 processor test의 기능을 비롯한 TDX-1 시스템의 전반에 걸친 유지보수 기능을 수행한다.

바. SAP (System Administration Processor)

하위 DP를 제어하여 과금, 통계 기능을 비롯한 TDX-1 전반에 걸친 administration 기능을 수행한다.

〈그림 2〉는 TP의 H/W 구조를 나타낸 것으로서, 모든 TP는 개발과 유지보수가 용이하도록 동일한 H/W로 구성된다. TP의 H/W 기능은 모두 4종의 PBA로 implement된다.

2. TP의 Redundancy

교환기는 근본적으로 고도의 신뢰성이 요구되는 fault tolerant system으로서 주요 requirement인 continuous operation과 high availability가 실현되어야 한다.

일반적으로 real time environment에서 fault tolerance를 실현시킨다는 것은 상당히 어려운 일일 것이다. 그러나 TDX-1의 TP는 그 기능이 매우 제한적이고 update 하여야 할 데이터양이 매우 적다는 점에서 확실한 fault confinement에만 중점을 두어 그 구성이 용이하였다.

이중화된 두 프로세서는 〈그림 3〉과 같이 단지 DPC (Dual Processor Control) 기능만을 공유하고 있을 뿐 모든 기능 및 로직이 완전히 분리된 loosely coupled configuration을 지니고 있으며, 양쪽에서 공유하고 있는 DPC의 H/W 역시 A-side와 B-side의 로직 및 컴퍼넌트가 완전히 분리되어 있으므로 어느 한쪽에서의 fault는 그 자체에서 한정되며 상대측으로 전파될 수 없는 구조를 지닌다.

이러한 이중화된 두 프로세서 사이에는 서로의 상태를 모니터하거나 데이터를 update 하기 위한 다음과 같은 통신 채널을 통하여 이중화 운용이 가능하도록 구성되었다.

가. T, B, D-Bus

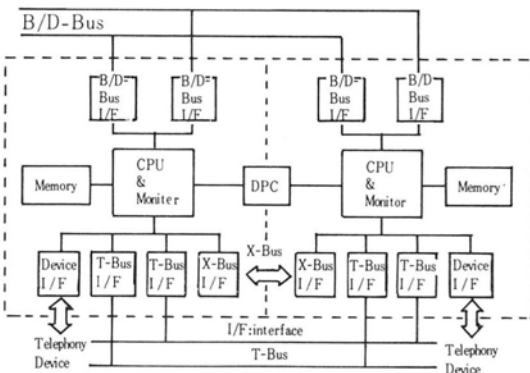
Bit oriented type의 메시지 송신 채널로서 블럭단위의 data updating에 사용한다.

나. X-Bus

Hand shake에 의한 parallel data통신 채널로서 상태감시 및 유지보수에 사용한다.

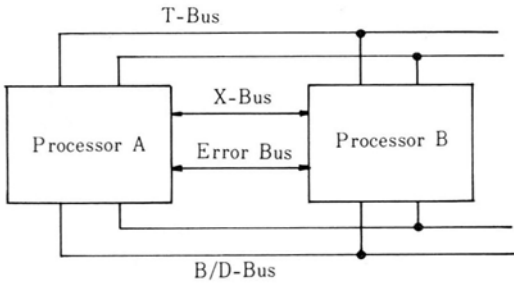
다. Error bus

상대측 프로세서의 에러 상태를 감지하기



〈그림 2〉 TP의 Structure (Duplex)

위한 채널로서 이를 통하여 프로세서의 fault 발생 현황과 그 내용을 감지한다.

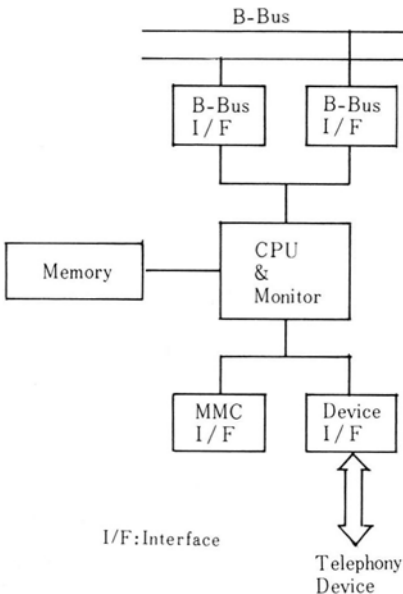


〈그림 3〉 TP의 이중화 Channel

IV. 하위 레벨 제어

1. BP의 기능 및 구조

가입자 회로, 트렁크회로 및 각종 signaling device와 같은 telephony device의 제어는 아래와 같은 프로세서가 분산하여 수행한다.



〈그림 4〉 BP Structure

가. ALCP (Analog Line Circuit Processor)

SLP 산하의 프로세서로서 가입자 정합회로를 감시 및 제어하는 기능을 수행한다.

나. SSGP (Subscriber Signalling Processor)

SLP 산하의 프로세서로서 MFC 전화기 정합장치를 제어한다.

다. ATCP (Analog Trunk Circuit Processor)

TLP 산하의 프로세서로서 애널로그 입출중계 트렁크 H/W를 제어한다.

라. DTCP (Digital Trunk Circuit Processor)

TLP 산하의 프로세서로서 디지털 트렁크 정합 H/W를 제어한다.

마. TSGP (Trunk Signalling Processor)

TLP 산하의 프로세서로서 R2 S/R H/W를 제어한다.

B-group processor를 이루는 BP는 그 수행기능과 관계없이 모두 〈그림 4〉와 같은 동일 H/W로 실현되며, 그 구성은 2종의 PBA로 이루어진다.

2. DP의 기능 및 구조

DP는 시스템의 각종 I/O 장비 및 M&A 용 H/W device를 제어하는 프로세서로서 다음과 같은 기능을 수행하는 프로세서로 구성된다.

가. DKIP (Disk Interface Processor)

Loading용 프로그램이 저장된 disk unit를 제어함으로써 program loading 기능을 수행한다. DKIP는 그 중요성 때문에 active/standby 구조에 의해 이중화되어 있다.

나. MTIP (Magnetic Tape Interface Processor)

MT unit를 제어하여 과금 및 통계 자료등을 기록하고 disk의 loading program에 대한 update 기능을 수행한다. MTIP 역시 그 중

요성에 따라 3 중화로 운용된다.

다. IOIP (I/O Interface Processor)

시스템 운용을 위한 TTY, CRT, MODEM 등을 제어한다.

라. SAIP (System Alarm Interface Processor)

Alarm network을 제어하여 fault information을 취합 분석하고 alarm을 3 등급으로 구분하여 가청 및 가시 경보를 구동시킨다.

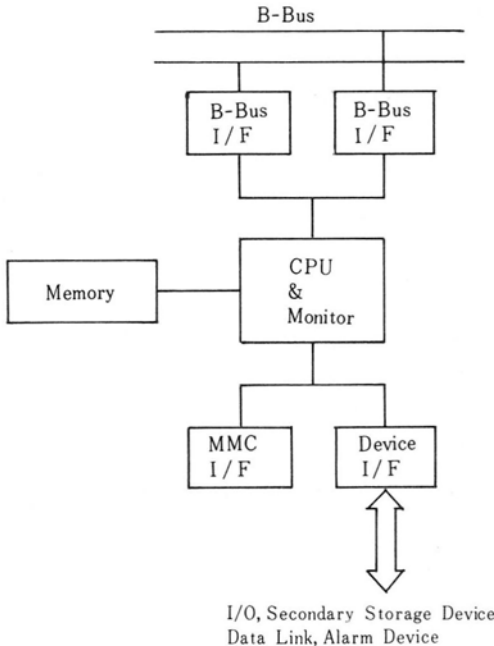
마. ITEP (In-Test Equipment Processor)

In-test 장비 (ITED)를 제어하여 회선시험 (In-test)을 하며 결과를 ALTP에 통보하는 기능을 갖는다.

바. OTEP (Out-Test Equipment Processor)

Out-test 장비 (OTED)를 제어하여 선로시험 (Out-test)를 하며 시험결과를 ALTP에 통보하는 기능을 수행한다.

사. ALTP (Automatic Line Test Processor)



<그림 5> DP Structure

Operator로 부터 회선 혹은 선로시험에 대한 요구가 있을때 이를 ITEP 혹은 OTEP 에 요구하며 그 결과를 operator에게 알리는 기능을 수행한다.

아. NSCP (Network Synchronization Control Processor)

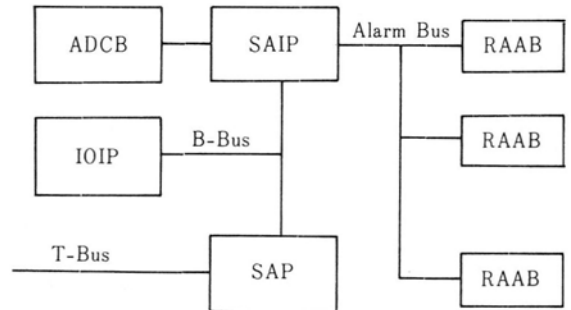
NESD H/W를 제어하여 이의 상태를 상위 레벨 프로세서 (SMP)에 보고한다.

<그림 5>는 DP의 H/W 구조를 나타낸 것으로서 I/O 인터페이스 기능을 제외한 나머지 기능은 모든 DP가 동일하며 모두 3 종의 P-BA로 구성된다.

자. Alarm network

시스템내의 모든 alarm 정보를 수집하고 이를 분석하여 적절한 경보 및 메시지를 출력시키기 위한 network으로 <그림 6>과 같이 구성된다. RAAB는 RACK 단위의 각종 alarm정보를 모으기 위한 H/W로서, 이들은 모두 alarm bus를 통하여 SAIP와 연결된다. SAIP는 alarm bus를 이용하여 RACK단위로 모아지는 각종 alarm정보를 수집 분석하고, 이를 3 등급 (Critical, major, minor)으로 분류한 후 그 결과에 따라서 alarm H/W인 ADCB를 제어하여 경보 (Visual, audible)를 발하도록 한다.

이와함께 SAIP는 수집한 alarm 정보를 D-bus를 통하여 IOIP에 보냄으로써 TTY 또는 CRT를 통하여 그 내용을 출력 시키도록 한



<그림 6> Alarm network

다. 따라서 시스템내의 모든 unit에 대한 status는 제어 메시지 전달 채널인 T,B,D-bus와 경보채널인 alarm-bus를 통하여 이중으로 전달됨으로써 그 신뢰도를 증진시킬 수 있도록 구성되었다.

V. IPC (Interprocessor Communication)

TDX-1에서 각 계층 또는 각 계층 내부의 모든 프로세서 사이의 메시지 통신은 bit serial global bus인 T-bus 또는 B,D-bus를 통하여 이루어진다.

TDX-1의 용도가 비교적 중소용량에 적용되기 때문에 메시지 트래픽이 적어 (그림 7)과 같이 low transmission rate에서도 delay나 queue의 bottleneck이 발생하지 않는다. 또한 bus 방식은 ring이나 loop와는 달리 passive interface의 속성을 지녀 한 프로세서의 고장에도 시스템 운용에 커다란 지장을 주지 않는다는 장점을 지니고 있다.

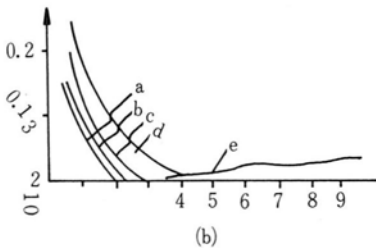
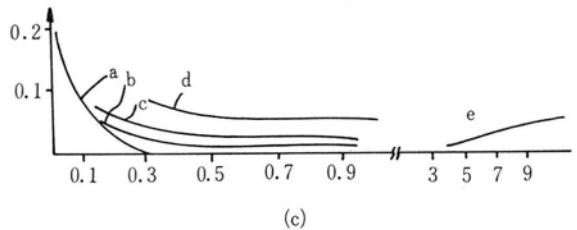
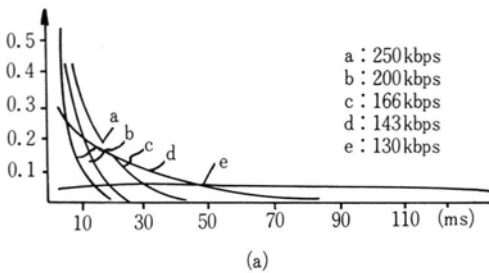
TDX-1 global bus의 arbitration 방식은 round robin 방식의 reservation & selection

알고리즘에 의해 이루어지며, program loading용 메시지와 제어 정보용 메시지와 같이 속성이 다른 메시지를 모두 수용할 수 있도록 variable time slot length에 의해 메시지 길이에 제한을 두고 있지 않다. 이러한 모든 arbitration 기능은 어느 한 프로세서에 집중되어 있지 않고 같은 그룹내의 모든 프로세서가 공유하여 분산 처리함으로써, 시스템 최대 용량내에서 processor unit를 쉽게 증감시킬 수 있게 되어 비용면이나 configuration 면에서 매우 유리하도록 구성되었다.

Global bus상에서 고장이 발생할 경우 전체 network에 심각한 영향을 미칠 수 있으므로 bus의 신뢰도 향상을 위한 redundancy로 TDX-1의 각 bus는 모두 이중화 되어 있다. 즉, bus상으로 나가는 모든 신호는 이중화된 양측 bus에 동시에 실리게 되며, 수신측에서는 두 bus에 실린 신호로부터 정상/비정상 상태를 선별하여 수신하게 된다.

VI. 결론

TDX-1의 제어개념은 분산제어에 근원



(a) Message delay time distribution
 (b) Delayed queue distribution
 (c) Processor의 bus holding time distribution

〈그림 7〉 IPC Simulation 결과

을 두고 있으며 분산된 각 프로세서에서 unit 들은 각종 인터페이스들을 표준화하여 simple and modular structure로 구성되어 PBA

6 종의 조합을 통하여 전체 시스템이 제어될 수 있도록 구성되었다.



李 憲 (Lee, Hun)
1952년 9 월 24일 생
서강대학교 전자공학과 공학사
한국과학기술원 전자공학과 석사
금성전기기술연구소
한국전자통신연구소
현재 : 프로세서개발실 실장



宋 光 錫 (Song, Kwang Suk)
1953년 10월 23일 생
1981. 9 : 고려대학교 대학원 전자
공학과 석사
1981. 9 ~ 1986 : 한국전자통신연구소
1986. 8 현재 : 프로세서개발실 선임
연구원



嚴 泰 元 (Um, Tai Won)
1953년 4 월 16일 생
1977. 2 : 한양대학교 전자공학과
공학사
1977. 3 ~ 1977. 12 : 한국과학기술연구소
1977. 12 ~ 1986 : 한국전자통신연구소
1986. 8. 현재 : 프로세서개발실 선임
연구원