

廣帶域 單相 Lock-in 증폭기 DLTS 시스템을 이용한 MOS Capacitor 계면상태 측정

(Measurements of Interface States In a MOS Capacitor by
DLTS System Using Wideband Monophase Lock-in Amplifier)

裴 東 健*, 鄭 相 九*

(Dong-Gun Bae and Sang-Koo Chung)

要 約

광대역 單相 lock-in 증폭기를 사용한 DLTS(Deep Level Transient Spectroscopy) 시스템으로 MOS capacitor의 계면상태를 측정하는 방법에 대해 논의하였다. 바이어스 펄스 구간과 신호제거 구간을 무시하는 종래의 신호해석 방법에 따르면 측정된 계면준위의 파라미터 설정에 큰 오차가 포함될 수 있으므로 이 구간들을 고려한 신호해석 방법을 제안하고, 두 구간에 따른 rate window, 신호 대 잡음비, energy resolution 등과 관계되는 파라미터들의 계산결과를 보였다. 이 논의를 바탕으로 S/N비와 energy resolution을 감안한 신호제거 구간을 선택하여 p형(110) 기판위에 구성된 MOS capacitor의 계면상태를 측정하였다. 그 결과 계면준위의 농도는 $E_v+0.15(eV)$ 에서 $E_v+0.5(eV)$ 의 에너지 영역에서 약 $10^{10}(cm^{-2}eV^{-1}) \sim 10^{11}(cm^{-2}eV^{-1})$, 그리고 捕獲 斷面積은 온도에 거의 무관하게 약 $10^{-16}(cm^2)$ 로 측정되었다.

Abstract

Measurements of interface states in a MOS capacitor by DLTS system using wideband monophase lock-in amplifier are discussed. A new signal analysis method that takes into account the bias pulse width and the gate off width is presented to remove the errors in the measured parameters of interface states resulting from the traditional method which neglects the effect of those widths. Theoretical calculations are made for the parameters related to the rate window, signal to noise ratio, and the energy resolution. On the grounds of this discussion, interface states of the MOS capacitor on p-type substrate of (110) orientation are measured with the optimal gate-off width with respect to the S/N ratio and the energy resolution. The results are interface state density of the order of $10^{10}(cm^{-2}eV^{-1})$ to $10^{11}(cm^{-2}eV^{-1})$ in the energy range of $E_v+0.15(eV)$ to $E_v+0.5(eV)$, and constant capture cross section of the order of $10^{-16}(cm^2)$.

I. 서 론

반도체-부도체 사이의 경계면에서 여러가지 불완전성으로 인해 나타나는 계면상태(interface states)는

MIS 구조로 이루어진 소자들의 특성에 거의 좋지않게 작용하기 때문에 반도체 소자 제조기술은 계면상태의 농도를 낮추는 방향으로 발전하였으며, 계면상태의 정확한 이해에 의해서 보다는 거의 경험적인 바탕에 의해서 이루어졌다. 그러므로 계면상태의 물리적 근원이나 소자의 modeling, 또는 이들의 발성을 억제할 수 있는 공정개발등에 관한 연구를 위해서는 정확한 계면상태의

*正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ., Suwon)
接受日字: 1986年 8月 30日

측정이 이루어져야 한다. 계면상태를 측정하기 위해 conductance 기법,¹¹ capacitance 기법,¹¹ 등에 기초를 둔 여러가지 측정방법이 제안되었으나 해석이 쉽지 않고 시간과 노력이 많이 드는 등의 어려움이 있다. DLTS (Deep Level Transient Spectroscopy)는 원래 반도체의 깊은 준위를 측정하기 위해 개발되었으나,¹² 측정 감도가 높고 측정과 해석이 용이하여 MOS 구조의 계면상태 측정에 이 방법을 적용하는 연구가 최근 활발히 이루어지고 있다.^{13, 6}

DLTS 시스템에 사용되는 상관기(correlator)로는 double sampling boxcar averager와 적분기가 있으며, 일반적으로 적분기를 사용하는 경우 S/N비가 더욱 증가함이 잘 알려져 있다.¹⁷ 그러나 적분기를 사용하는 경우 바이어스 펄스와 capacitance meter의 응답 시간(response time)에 의해 나타나는 불필요한 정전용량 신호를 제거해야 하며, 이 신호제거를 무시하는 종래의 신호해석 방법으로는 측정결과에 큰 오차를 포함할 수 있다.¹⁸

본 연구에서는 적분기로 廣帶域 單相 lock-in 증폭기를 사용한 DLTS 시스템에서 바이어스 펄스 구간과 신호제거 구간에 따른 rate window, S/N비, energy resolution 등의 변화를 이론적으로 고찰하여 종래의 신호해석 방법에 따른 측정결과의 오차를 감소시키고, 계면준위의 농도가 크고 작은 경우에 따라 S/N비와 energy resolution을 고려한 신호제거 구간을 적절히 선택하여 더 좋은 결과를 얻을 수 있음을 보였다. 이 시스템을 p형(110) 기판위에 구성된 MOS capacitor의 계면상태를 측정하는데 사용하여 계면상태의 파라미터들을 결정하였다.

II. 理 論

DLTS 방법으로 계면상태의 파라미터를 측정하기 위한 기본적인 방법은 반도체 표면영역을 다수캐리어로 蓄積(accumulation)시켜 모든 계면준위가 캐리어를 捕獲(capture)하도록 한 후 표면영역을 공핍화(depletion)시켜 捕獲된 캐리어가 열적 평형(thermal equilibrium)을 이루기 위해 방출(emission)되도록 한다. 이 과도 상태동안 나타나는 정전용량의 변화를 관측하여 계면상태의 파라미터들을 구하게 된다.

p형 반도체 위에 구성된 MOS capacitor의 경우 그림 1(a)와 같은 바이어스 전압에 대해 그림 1(b)와 같은 고주파 과도 정전용량 응답을 볼 수 있다.

그림 1(b)에서 점선으로 나타낸 것은 실제로 MOS capacitor에서 일어나는 정전용량의 변화이지만 capacitance meter가 약 1msec의 응답시간을 갖기 때문에

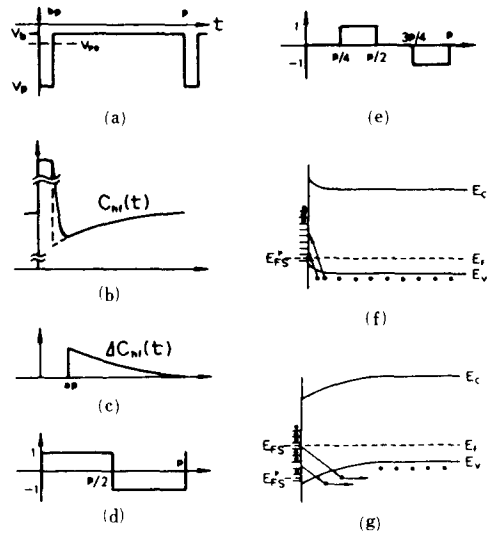


그림 1. DLTS 측정에 필요한 신호 및 MOS capacitor의 에너지 대역도

- (a) 바이어스 펄스 전압
- (b) 고주파 과도 정전용량
- (c) gate-off된 과도정전 용량
- (d) 單相 lock-in 증폭기의 무게함수
- (e) 二相 lock-in 증폭기의 무게함수
- (f) V_p 가 인가될 때의 에너지 대역도
- (g) V_b 가 인가될 때의 에너지 대역도

Fig. 1. The signals needed to DLTS measurements and energy band diagram of MOS capacitor.
 (a) Bias pulse voltage
 (b) High frequency transient capacitance
 (c) Gated off transient capacitance
 (d) Weighting function of monophasic lock-in amplifier.
 (e) Weighting function of two-phase lock-in amplifier.
 (f) Energy band diagram corresponding to V_p .
 (g) Energy band diagram corresponding to V_b .

capacitance meter의 출력 즉 정전용량 신호는 실선과 같이 나타내게 되며, 캐리어 방출에 의한 정전용량 신호만을 처리하기 위해 그림 1(c)와 같이 불필요한 신호를 제거해야 한다. 따라서 이 신호제거 구간을 고려하지 않고 캐리어 방출에 의한 과도 정전용량 신호가 $t = 0$ 에서 시작되는 것으로 가정하는 종래의 신호해석 방법에 따르면 측정결과에 오차가 포함되며, 신호제거 구간이 커질수록 오차가 커지게 된다.¹⁸

적분기를 사용하는 경우 rate window는 바이어스 전압의 주파수에 비례하며($e_m = \alpha_m \cdot f$), rate window를

낮게 설정하면 midgap 근처의 계면준위에 의한 소수 캐리어 捕獲 (minority carrier capture)의 영향이 나타나서 신호해석이 복잡하게 되므로 rate window, 즉 주파수를 높여야 한다.⁹ 그러나, 주파수를 높이면 신호제거 구간이 주기에 대해 차지하는 부분이 커지므로 $t=0$ 에서 과도 정전용량이 시작하는 것으로 가정할 수 없으며 單相 lock-in 증폭기를 사용하기가 어려워진다. 이와 같은 문제점을 해결하기 위해 그림 1(e)와 같은 무게함수(weighting function)을 사용하는 廣帶域 二相 lock-in 증폭기를 사용할 수 있으며, 이 경우 신호제거 구간이 1/4주기 이하일 때는 신호제거에 의한 오차가 나타나지 않는다. 二相 lock-in 증폭기를 사용하는 경우 그림 3에 보인 바와 같이 신호제거를 무시한 單相 lock-in 증폭기의 경우보다 energy resolution이 향상되지만 rate window는 1.72f로 같은 주파수에서 더 작은값을 가지며 S/N비도 감소하게 된다. 그러므로 單相 lock-in 증폭기를 사용하는 경우 신호 제거에 따른 오차를 제거하고 energy resolution을 향상시킨다면 二相 lock-in 증폭기를 사용하는 것보다 더 좋은 결과를 얻을 수 있다. 다른 lock-in 증폭기의 경우 무게함수로 지수함수나 정현 (sinusoidal) 함수, 삼각함수 또는 그림 1 (d)나 (e)를 변형시킨 함수가 사용될 수도 있으나, 신호제거에 의한 문제뿐만 아니라, 또다른 문제점들로 나타나기 때문에¹⁰ 본 연구에서는 광대역 單相, 二相 lock-in 증폭기의 경우만 논의한다.

임의의 온도 T에서 각 계면준위의 정공 방출율은 Schockley-Read-Hall 모델로부터

$$e_p(E) = \sigma_p v_{th} N_v \exp\{(E_v - E)/kT\} \\ = B\sigma_p T^2 \exp\{(E_v - E)/kT\} \quad (1)$$

로 주어지며, 여기서 σ_p 는 계면준위의 捕獲 截面積 (capture cross section), v_{th} 은 캐리어의 열적 속도 (thermal velocity), N_v 는 가전자 대역의 유효상태 밀도 (effective density of states), B는 시료에 따른 상수이며 p-Si의 경우 $1.7884 \times 10^{21}(\text{cm}^{-2}\text{T}^{-2}\text{sec}^{-1})$ 이며 T는 절대 온도, k는 Boltzmann 상수이다. Fermi-Dirac 통계를 단순화하여 Fermi준위 위의 에너지 준위는 정공을 포획하며 Fermi준위 아래의 에너지 준위는 정공을 포획하지 않는다고 가정하면 바이어스 전압이 V_0 인 동안 그림 1 (g)에서 계면준위의 occupancy 변화에 대한 표현은 다음과 같이 된다.

$$1 - f(E, t) = 0 \quad E_v < E < E_{Fs}^p \\ 1 - f(E, t) = \exp\{-e_p(E) \cdot (t - bp)\} \quad E_{Fs}^p < E < E_{Fs} \\ 1 - f(E, t) = 1 \quad E > E_{Fs} \quad (2)$$

여기서 E_{Fs}^p 는 바이어스 전압이 V_0 일 때, E_{Fs} 는 V_0 일때 반도체-부도체 경계면에서의 Fermi level 위치이며

bp는 바이어스 펄스 구간이고, 캐리어 포획이나 전자 방출에 의한 occupancy 변화는 정공 방출에 의한 것보다 매우 작기 때문에 무시할 수 있다고 가정하였다. Acceptor 역할을 하는 에너지 준위는 정공을 포획했을 때 전하를 띠지 않으며 정공을 포획하고 있지 않을 때 陰전하를 띠게 되므로 시간에 따른 계면전하 밀도의 변화는 $t > bp$ 에서

$$Q_{is}(t) = -q \int_{E_v}^{E_{Fs}^p} N_{is}(E) dE - q \int_{E_{Fs}^p}^{E_{Fs}} N_{is}(E) \cdot f(E, t) dE \quad (3)$$

으로 주어진다. 여기서 $N_{is}(E)$ 는 에너지 E에서의 계면준위 농도이다.

반도체가 공핍화 되었을 때 표면전위(surface potential)와 표면전하 밀도의 관계 및 poisson방정식으로 부터 반도체의 미분정전용량(differential capacitance) C_D 를 계산할 수 있고,¹¹ 이를 사용하면 MOS capacitor의 고주파 과도 정전용량은 다음과 같이 된다.

$$\frac{1}{C_{nr}^2(t)} = \left[\frac{C_D + C_{ox}}{C_D C_{ox}} \right]^2 = \frac{1}{C_{ox}^2} + \frac{2}{A^2 \epsilon_s q N_A} \\ \left[V_0 - \frac{kT}{q} - \frac{\Phi_{ms}}{q} + \frac{A}{C_{ox}} Q_{is}(t) \right] \quad (4)$$

여기서 A는 금속전극의 면적이며 Φ_{ms} 는 금속-반도체 간의 일함수 차이이다. 계면상태 밀도가 반도체의 본분순물 농도보다 현저히 작다면 그림 1(b)에서 보는 바와 같이 정전용량 신호의 직류값이 상당히 크므로 $C_{nr}(t) \approx C_{nr}(\infty) \approx C_{nr}(p)$ 로 가정할 수 있으며 $\Delta C_{nr}(t) = C_{nr}(t) - C_{nr}(p)$ 로 정의하면

$$\frac{1}{C_{nr}^2(p)} - \frac{1}{C_{nr}^2(t)} = \frac{-2 \Delta C_{nr}(t)}{C_{nr}^2(\infty)} = \\ \frac{-2}{A \epsilon_s N_A q C_{ox}} [Q_{is}(p) - Q_{is}(t)] \quad (5)$$

와 같이 된다. 여기서 $C_{nr}(\infty)$ 는 평형상태에 도달했을 때의 정전용량이다. 그러므로 직류값을 제거하고 초기의 불필요한 신호를 제거한 그림 1(c)의 순수한 과도 정전용량은 다음과 같이 된다.

$$\Delta C_{nr}(t) = \begin{cases} 0 & 0 < t < ap \\ \frac{C_{nr}^2(\infty)}{A \epsilon_s N_A q C_{ox}} \int_{E_{Fs}^p}^{E_{Fs}} N_{is}(E) \cdot e^{-e_p \cdot t} - e^{-e_p \cdot p} dE & ap < t < bp \end{cases} \quad (6)$$

여기서 바이어스 펄스 구간 bp는 주기 p에 비해 매우 작은 경우 무시할 수 있다고 가정하여 포함하지 않았으며, ap는 신호제거 구간이다. 광대역 單相 lock-in 증폭기로 이 순수 과도 정전용량을 무게함수 w(t)인 그림 1(d)의 矩形波와 correlation시키면 증폭기의 출력은 다음과 같다.

$$Y = \frac{1}{p} \int_0^p \Delta C_{nr}(t) \cdot w(t) dt = C_b \int_{E_{FS}}^{E_{FS}} N_{is}(E) \cdot S(e_p) dE \quad (7)$$

여기서 $C_b = C_{nr}^2(\infty) / A \epsilon_s N_A C_{ox}$ 이며 $S(e_p)$ 는 이 시스템의 검출함수(detection function)로서 다음과 같이 표현된다.

$$S(e_p) = \frac{1}{p} \left\{ \int_{a \cdot p}^{p/2} (e^{-e_p t} - e^{-e_p p}) dt - \int_{p/2}^p (e^{-e_p t} - e^{-e_p p}) dt \right\} \\ = a e^{-e_p p} + \frac{1}{e_p \cdot p} \{ e^{-e_p p} - 2e^{-e_p p/2} + e^{-a e_p p} \} \quad (8)$$

$S(e_p)$ 가 최대값이 될 때의 방출율이 이 시스템에서 설정되는 rate window e_m 이며 $\partial S(e_p) / \partial e_p = 0$ 의 조건에서 구할 수 있고, $e_m = \alpha_m \cdot f$ 로 주어진다. 이 때의 에너지 E_m 은

$$E_m = E_v + kT \ln(\sigma_p v_{th} N_v / e_m) \quad (9)$$

로 주어지며 $(E - E_m) / kT = x$ 로 변수변환하고 (1), (9)식을 이용하여 $S(e_p)$ 를 다시 쓰면

$$S(e_p) = a \cdot e^{-\alpha_m e^{-x}} + \frac{1}{\alpha_m e^{-x}} \{ e^{-\alpha_m e^{-x}} - 2e^{-\alpha_m e^{-x/2}} + e^{-a \alpha_m e^{-x}} \} \quad (10)$$

가 된다. 그림 2는 $b = 0$ 라고 가정할 경우 $a = 0, 0.1, 0.2$ 일 때의 $(E - E_m) / kT$ 에 대한 검출함수 $S(e_p)$ 를 도시한 것이다. $S(e_p)$ 가 최대값의 반이 되는 곳의 에너지 차이인 에너지 반폭(FWHM: Full Width Half Magnitude)은 a 값이 커짐에 따라 각각 2.91kT, 2.63kT, 2.44kT로 감소한다. 이 반폭 이내의 에너지 영역에서 계면상태 밀도가 선형적으로 변하고 검출함수의 극심한 변화보다 변화가 심하지 않다면 (7)식에서 $N_{is}(E)$ 를 E_m 에서의 농도값으로 적분밖에 낼 수 있으며, $S(e_p)$ (E_{FS}), $S(e_p(E_{FS})) \approx 0$ 라고 가정할 수 있으므로 에너지 적분구간을 $-\infty$ 에서 ∞ 로 확장할 수 있다. 그러므로 임의의 온도 T 에서 전체 정공방출에 대한 유효 에너지 구간(effective energy interval) ΔE_p 는

$$\Delta E_p = \int_{-\infty}^{\infty} S(e_p) dE = kT \ln 2 - a(1 - \ln a) \quad (11)$$

가 된다. 그러므로 에너지 E_m 에서의 계면상태 밀도는 (7), (11)식으로부터

$$N_{is}(E_m) = Y / C_b \Delta E_p \quad (12)$$

가 되어 lock-in 증폭기 출력과 온도의 비 Y/T 에 비례하는 식으로 주어진다.

계면준위의 포획 단면적 σ_p 와 금지대 내에서의 위치는 rate window를 달리한 2회의 온도주사(temperature scan)로부터 구할 수 있다. rate window를 달리 설정하면 DLTS 스펙트럼에서 같은 모양이 나타나는 온도가 달라지는데, 이 사실로부터

$$\sigma_p = \frac{\alpha_m \cdot f_1}{BT_1^2} \left\{ \frac{f_1 T_2^2}{f_2 T_1^2} \right\}^{\frac{T_2}{T_1 - T_2}}, E_m = E_v + k \frac{T_1 T_2}{T_1 - T_2} \ln \left\{ \frac{f_1 T_2^2}{f_2 T_1^2} \right\} \quad (13)$$

로 주어지며 T_1 은 바이어스 전압의 주파수를 f_1 으로, T_2 는 f_2 로 설정하고 온도주사를 행할 때 DLTS 스펙트럼이 같은 모양이 나타나는 곳의 온도이다.

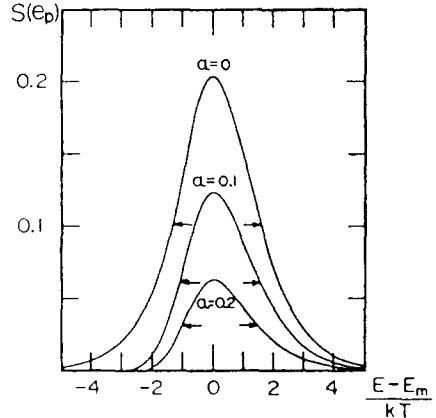


그림 2. 신호제거 구간에 따른 검출함수 $S(e_p)$ 의 변화
Fig. 2. The variation of the detection function $S(e_p)$ with gate off width.

바이어스 펄스 구간의 주기에 대한 비율이 커지면 $b = 0$ 라고 가정할 수 없다. b 를 파라미터로 하여 신호제거 구간에 따른 rate window, 유효 에너지 구간, FWHM의 계산결과를 그림 3에 도시하였다. 그림 3에서 작은 원으로 표시한 것은 二相 lock-in 증폭기 DLTS에서의 FWHM, ΔE_p 의 값이며 신호제거 구간이 $p/4$ 이하일 때는 신호제거에 의한 영향이 나타나지 않으므로 a 와는 관계가 없고 두 시스템의 비교를 위해 單相 lock-in 증폭기 DLTS 경우와 같은 값의 위치에 도시하였다. α_m 은 二相 lock-in 증폭기의 1.72보다 항상 크며, a 가 증가함에 따라 ΔE_p , FWHM은 감소하게 된다. FWHM이 감소하면 FWHM의 에너지 영역에서 계면상태 밀도의 변화가 크지 않고 선형적이라는 가정이 더욱 타당하게 되며, lock-in 증폭기 출력에 영향을 미치는 에너지 영역이 줄어들어 energy resolution이 더욱 향상된다.

C. R. Crowell 등이 정의한¹²⁾ DLTS 시스템의 S/N 비에 대한 특성지수 (figure of merit)는 다음과 같다.

$$F = \frac{S_{max}}{N \sqrt{T_c}} \quad (14)$$

여기서 N 는 백색 잡음(white noise)에 대한 정규화 잡

음(white noise)에 대한 정규화 잡음(normalized noise)이며 T_c 는 상관기의 적분구간으로 광대역 단상 lock-in 증폭기의 경우 $N = \sqrt{T_c}$ 이며 $T_c = P$ 이다. S_{max} 은 $S = \int_{t_c}^{\infty} f(t) w(t) dt$ 의 최대값이며 $f(t)$ 는 정규화 입력 신호로서 여기서는 $f(t) = \Delta C_{nr}(t) / \Delta C_{nr}(0)$ 이다.

본 연구의 경우 S 는 (7)식으로부터

$$S = \int_0^P \frac{\Delta C_{nr}(t)}{\Delta C_{nr}(0)} \cdot w(t) dt = \frac{P \cdot Y}{\Delta C_{nr}(0)} \quad (15)$$

에 해당하며 계면준위는 금지대내에서 연속적인 분포를 하므로 S_{max} 값은 정의될 수 없다. 그러나 특성지수 F 를 $F = S / N\sqrt{T_c}$ 로 놓으면 (12) 및 (15)식으로부터

$$F = \frac{1}{P} \int_0^P \frac{\Delta C_{nr}(t)}{\Delta C_{nr}(0)} \cdot w(t) dt = \frac{C_b \cdot N_{is}(E_m)}{\Delta C_{nr}(0)} \cdot \Delta E_p \quad (16)$$

가 되며 ΔE_p 에 정비례하게 된다. 그러므로 신호제거 구간이 커질수록 S/N 비에 대한 특성지수는 점점 감소하게 된다. 임의의 온도 T 에서 lock-in 증폭기 출력은 식 (12)에서 보는 바와 같이 유효에너지 구간 ΔE_p 와 계면준위의 농도에 비례하므로 계면준위의 농도가 큰 경우 S/N 비가 감소하더라도 energy resolution을 향상시키기 위해 신호제거 구간을 증가시키고, 계면준위의 농도가 작을 때는 신호제거 구간을 감소시켜 S/N 비를 향상시킬 수 있으므로 경우에 따라 더욱 좋은 결과를 얻을 수 있다. 또한 $a = 0.16$ 근처에서는 α_m , FWHM, ΔE_p 가 二相 lock-in 증폭기 경우보다 좋은 값을 가질 수도 있으므로 單相 lock-in 증폭기가 더 훌륭한 상관기임을 알 수 있다. $a = b = 0$ 로 가정하는 종래의 신호해석 방법에 따른다면 α_m 의 변화를 무시하여 계면준위의 에너지, 포획 단면적 결정에 오차가 포함되며, ΔE_p 의 변화를 무시하여 식(12)와 그림 3에서 보는 바와 같이 계면준위의 농도는 $a = 0.1$ 일 때 약 2배 $a = 0.2$ 일 때 약 3배 정도로 잘못 계산되어짐을 알 수 있다.

III. 實 驗

본 연구에 사용된 MOS capacitor는 비저항이 22 ($\Omega \cdot \text{cm}$)인 p형 (110) Si 기판위에 구성하였다. 건식 산화법(dry oxidation)으로 0.12 (μm)의 산화층을 형성시키고 그 위에 면적이 $2 \times 10^{-3} (\text{cm}^2)$ 인 원형 Al gate를 진공 증착시켰다. 제작된 MOS capacitor의 평탄대역 전압(flat band voltage)는 C-V측정으로 계산한 결과 약 -2V였다.

그림 4는 본 연구에 사용된 DLTS 시스템의 계통도이다. 함수 발생기에서 발생된 주파수 100f의 矩形波는 신호제거기(gate-off circuit)에 입력되어 주파수가 100배로 떨어진 후 펄스 발생기와 lock-in 증폭기이 동기신호로 사용되었다. 펄스발생기에서는 $V_b = -1.2V$,

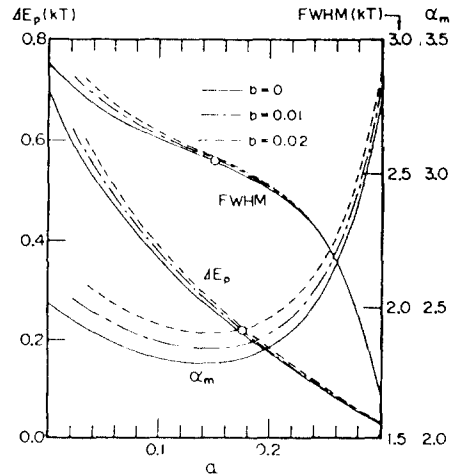


그림 3. 신호제거 구간과 바이어스 펄스구간에 따라 계산된 α_m , ΔE_p , FWHM의 변화

Fig. 3. Calculated α_m , ΔE_p , FWHM variation corresponding to the gate-off width and the bias pulse width.

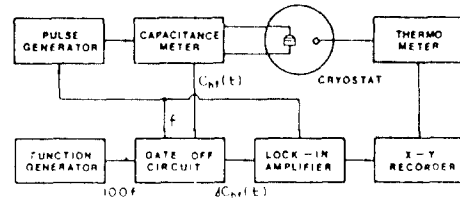


그림 4. DLTS 시스템의 계통도

Fig. 4. Block diagram of the DLTS system.

$V_b = -4.5V$ 인 바이어스 전압이 발생되어 약 1m sec의 응답시간과 1MHz, 15mV의 test signal을 갖는 Boonton 72B capacitance meter를 통해 시료에 인가되었다. 시료는 저온용기(cryostat)속에 장치되었으며, 측정된 과도 정전용량은 신호제거기에 입력되어 불필요한 과도 정전용량과 직류값이 제거되었다. 이때 신호는 100f 구형파 주기의 정수배만큼 제거되도록 하여 바이어스 전압의 주기에 대한 신호제거 구간의 비율을 정확히 조절할 수 있도록 하였다. 신호제거된 과도 정전용량은 PAR 128A 광대역 單相 lock-in 증폭기에 입력되어 신호처리된 후 X-Y recorder에 기록되었다.

IV. 결과 및 고찰

그림 5는 상기 시스템을 사용하여 $b = 0.01$, $a = 0.2$, 바이어스 전압의 주파수는 100 (Hz)로 설정하고 실험을 행한 후 얻은 DLTS 스펙트럼이다. 그림

3의 계산결과로부터 이 경우의 rate window는 2.402f이며 $FWHM=2.443kT$, $\Delta E_p=0.176kT$ 임을 알수 있다. 그림 5에서 보는 바와 같이 이 MOS capacitor에 존재하는 계면준위의 농도가 비교적 크기 때문에 energy resolution을 높이기 위해 신호제거 구간을 0.2p로 설정하였다.

반도체 표면영역에 깊은준위가 존재하면 DLTS 스펙트럼에 깊은 준위의 영향도 나타난다. 이 경우 V_b 를 일정하게 두고 V_p 를 달리하여 온도 주사를 행하면 계면준위에 의한 스펙트럼은 V_p 에 따라 같은 모양이 나타나는 온도가 달라지지만 깊은준위의 스펙트럼은 온도 위치가 변하지 않기 때문에 두 준위를 쉽게 구별할 수 있다.¹⁶⁾ 다음에 깊은준위의 영향이 크게 나타나도록 V_b , V_p 를 조절하여 깊은준위의 파라미터들을 결정할 수 있다. 이러한 방법에 따라 그림 5에서 HL로 표시된 부분의 스펙트럼은 깊은준위의 영향을 확인하였고, 바이어스 전압을 $V_b=-1.2V$, $V_p=-1.7V$ 로 인가하여 HL의 영향이 크게 나타나도록 하여 해석한 결과 $E=E_v+0.41(eV)$, $\sigma_p=5 \times 10^{-17}(cm^2)$, $N_T=2 \times 10^{13}(cm^{-3})$ 로 계산되었다. 이 깊은준위에 의한 스펙트럼을 그림 5 (a)에 보인 바와 같이 1회 온도주사 DLTS 방법¹⁰⁾을 써서 DLTS 스펙트럼상에 다시 구성하고, 측정된 스펙트럼에서 이 부분을 빼서 그림 5(b)와 같이 계면준위만에 의한 스펙트럼을 재구성하였다. 이것으로부터 계면준위의 파라미터들을 계산한 결과 그림 6에 보인 바와 같이 계면준위가 분포하는 에너지 영역은 $E_v+0.15(eV)$ 에서 $E_v+0.5(eV)$ 이고 계면준위의 농도는 약 $10^{10} \sim 10^{11}(cm^{-2}eV^{-1})$, 포획 단면적은 약 $10^{-16}(cm^2)$ 로 온도에 대해 거의 일정함이 관측되었으며, 이러한

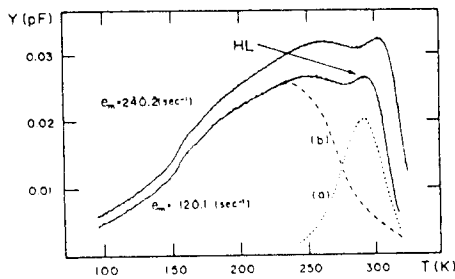


그림 5. 측정된 스펙트럼과 재구성된 스펙트럼
(a) 1회 온도 주사 DLTS 방법으로 재구성된 HL의 스펙트럼
(b) 재구성된 계면준위의 스펙트럼

Fig. 5. Measured and calculated DLTS spectrum
(a) Reconstructed spectrum of HL by one temperature scan DLTS method.
(b) Reconstructed spectrum of interface states.

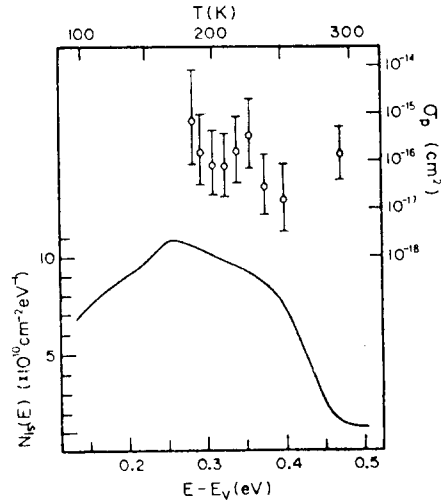


그림 6. 에너지에 따른 계면준위농도와 포획단면적
Fig. 6. Interface state density and capture cross section in energy.

계면준위의 파라미터들은 일반적으로 보고된 값들과 큰 차이가 없음을 확인할 수 있었다.

V. 결 론

본 연구에서는 광대역 單相 lock-in 증폭기를 사용한 DLTS 시스템으로 MOS capacitor의 계면상태를 측정하는 방법을 제시하였다. 바이어스 펄스 구간과 신호제거 구간에 따른 rate window, 유효 에너지 구간, FWHM등의 변화를 고찰하여 종래의 신호해석 방법에 따른 오차를 감소시키고, 계면상태의 농도가 크고 작은 경우에 따라 신호제거 구간을 조절하여 더 좋은 측정결과를 얻을 수 있음을 보였다. 논의된 방법에 따라 신호제거 구간을 적절히 선택하여 p-Si기판위에 구성된 MOS capacitor의 계면상태를 측정하여 계면상태의 파라미터들을 결정하였다.

參 考 文 獻

- [1] E.H. Nicollian and A. Goetzberger, "The Si-SiO₂ interface-electrical properties as determined by the MIS conductance technique," *Bell Syst. Tech. J.*, vol. 46, pp.1055, 1967.
- [2] D.V. Lang, "Deep Level Transient Spectroscopy: A new method to characterize trap in semiconductor," *J. Appl. Phys.*, vol. 45, pp. 3023-3032, 1974.
- [3] K.L. Wang, "MOS Interface State Density Measurements Using Transient Capacitance

- Spectroscopy," *IEEE Trans. Electron Devices*, vol. ED-27, no. 12, pp. 2231-2239, 1980.
- [4] N.M. Johnson, "Measurements of semiconductor-insulator interface states by constant capacitance deep level transient spectroscopy," *J. Vac. Sci. Technol.*, vol. 21, no. 2, pp. 303-313, 1982.
- [5] T.J. Tredwell and C.R. Viswanathan, "Determination of interface states in a MOS capacitor by DLTS," *Solid State Electron*," vol. 23, pp. 1171-1178, 1980.
- [6] K. Yamasaki, M. Yoshida and T. Sugano, "Deep level transient spectroscopy of bulk traps and interface states in Si MOS diodes," *Jap. J. Appl. Phys.*, vol. 18, no. 1, pp. 113-132, 1979.
- [7] G.L. Miller, J.V. Ramirez and D.A.H. Robinson, "A correlation method for semiconductor transient signal measurements," *J. Appl. Phys.*, vol. 46, pp. 2638-2644, 1975.
- [8] D.S. Day, M.Y. Tsai, B.G. Streetmann and D.V. Lang, "Deep Level Transient Spectroscopy: System effects and data analysis," *J. Appl. Phys.*, vol. 50, pp. 5093-5098, 1979.
- [9] E.H. Nicollian and J.R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, Wiley, New York, 1982.
- [10] 임한조, 이우용, 최연익, 정상구, 김현남, "DLTS 시스템에서의 신호처리에 관한 연구," *電子工學會誌*, 第23卷 第1號, pp. 120~125, 1月 1986年
- [11] S.M. Sze, *Physics of Semiconductor Devices*, Wiley, New York, 1981.
- [12] C.R. Crowell and S. Alipanahi, "Transient distortion and n-th order filtering in deep level transient spectroscopy (D^n LTS)," *Solid State Electron*, vol. 24, pp. 25-36,