

PtSi-nSi 쇼트키 다이오드에서 이온 주입이 장벽높이의 변화에 미치는 영향

(The Effect of Ion Implantation on the Barrier Height in PtSi-nSi Schottky Diode)

李 龍 宰*, 李 文 基*, 金 鳳 烈*

(Yong Jae Lee, Moon Key Lee and Bong Ryul Kim)

要 約

PtSi-nSi 정류성 접합에 적은양의 인(phosphorus)을 이온 주입한 얇은 층이 쇼트키 다이오드에서 장벽 높이를 낮추기 위해서 사용되었다. 역방향 누설전류와 항복전압을 고려하여 순방향 임계전압을 400mV에서 180mV까지 낮추는데 요구되는 주입 조건은 8.0×10^{12} atoms/cm², 35KeV이며, 열처리의 온도와 시간은 925°C에서 30분간이다.

측정 결과로, 이온주입량에 점진적인 증가에 따라 순방향 임계전압과 역방향 항복전압이 선형적으로 감소하였고, 포화전류와 ideality factor (n)는 선형적인 증가를 보였다.

Abstract

A shallow n⁺ layer of implanted phosphorus was used to lower the barrier height of PtSi-nSi schottky diodes. The reduction of barrier height of the forward turn-on voltages from 400mV to 180mV of the forward was followed by implantation of phosphorus at 35KeV with an ion dose of 8.0×10^{12} atoms/cm² and was activated at 925°C for 30min in dry O₂. The test result showed that, as the ion-implanted dose increased, the forward turn-on voltage and reverse breakdown voltage were linearly decreased, but the saturation current and ideality factor(n) were linearly increased.

I. 序 論

1947년 Bardeen은 금속-반도체 접합의 성질에서 표면상태의 효과를 최초로 제안했다.¹⁾ 즉 주어진 금속-반도체 접합에서 장벽높이는 계면과 표면성질에 따라 크게 변화될 수 있으며,²⁾ Shannon과 Andrew등은 표면에 가벼운 불순물을 주입해서 유효 장벽의 높이를 변화시켰다.^{3,4)} 표면에 주입한 이온량과 주입된 후의 침투조건이 소자의 성질을 결정하는데 중요하게 작용

하며, 이 이온주입은 표면에서 전계의 크기가 커짐에 따라 쇼트키 lowering 효과가 커져, 이때 유효장벽 높이를 낮추는 역할을 한다.⁴⁾

최근 실리사이드 접합이 실리콘 계면과의 양호한 열적 안정성 때문에 VLSI 응용에 크게 각광을 받고 있다.⁵⁾ 실리사이드에 대한 연구의 대부분이 실리사이드 형성후 주입된 원자들의 재분포에 대한 화학적 분석을 다루고 있다. 쇼트키 다이오드는 집적회로 기술에 널리 사용되고 있으며, 이상적인 금속-반도체 접합에서 전자의 흐름에 기인하는 장벽높이는 금속과 반도체 사이의 일함수 차이에 의해 일차적으로 결정된다.⁶⁾ 집적회로의 발전은 고집적화와 초고속화로 진행되고 있다. 가령 바이폴라 S-RAM은 쇼트키 크램프의 ECL셀 구

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yon Sei Univ.)
接受日字: 1986年 3月 12日

조로서 고속에의 응용과 개발의 긴 역사를 갖는다.¹⁷⁾ 또한 논리회로 분야에서의 응용은 쇼트키 TTL, 쇼트키 크래프 ECL, I²L, ISL 등으로 대형 컴퓨터의 one-chip CPU에 사용되고 있다. 이런 이유는 쇼트키 다이오드가 트랜지스터의 포화상태를 막아주며, 적당한 논리 전압폭을 쉽게 만들어 준다. 금속의 전극 형성은 Al-Si, Al-PtSiAl-Si, Al-Ti-PtSi-Si, Al-W-PtSi-Si 등의 구조를 가지며, 쇼트키 다이오드는 재현성과 논리 전압폭의 견지에서 바이폴라 고집적 회로에 사용되고 있다.^{17, 9)}

본 연구에서는 쇼트키 다이오드에 사용하는 금속을 백금으로 하여 백금과 실리콘을 용점보다 낮은 온도에서 소결을 시켜 백금 실리사이드를 형성시켰으며, PtSi-nSi 쇼트키 다이오드의 장벽높이를 낮추기 위해, 이온 주입으로 얇은 n층을 불순물의 주입량을 달리하여 소자를 제작하였다. 이때 이온주입에 의해 접합 장벽을 낮춘 PtSi 쇼트키 다이오드는 응용시 논리 전압폭을 증가시키고 논리회로에서 포화상태를 줄이면서 속도를 빠르게 한다. 또한 낮아진 장벽의 쇼트키 다이오드 I-V 특성에서 임계전압, 포화전류밀도, ideality factor, 역방향 누설전류 및 항복전압 등과의 연관성을 고찰하고자 한다.

II. 소자의 제작

실리콘 기판은 3인치, N형이며, 비저항이 0.8~1.2 Ω-cm, <111> 방향인 것을 사용하였다. 소자의 금속-반도체 접합 형태는 54μm×54μm의 정사각형과 8μm×1080μm의 긴 직사각형으로 마스크를 설계 및 제작을 하였다. 공정은 표준 바이폴라 공정에 준하고, 접합의 장벽높이를 변화시키기 위한 공정설계는 SUPREM III 시뮬레이션에 의존을 하여 농도 분포의 극대값이 백금 실리사이드와 반도체 접합면이 되도록 불순물의 주입량, 에너지, 어닐링 온도와 시간을 정하였으며, 전반적인 공정은 그림 1과 같이 진행하였다.

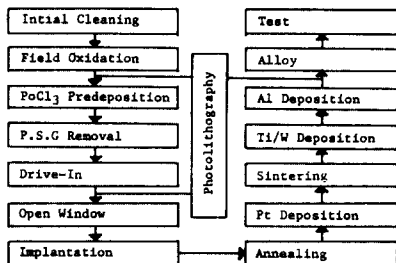


그림 1. 공정 흐름도
Fig. 1. Process sequence.

한편 시뮬레이션의 백금 실리사이드의 입력 자료는 백금 증착후 실리사이드 형성에 소모되는 실리콘의 두께가 백금과 거의 같은 두께이며,¹⁸⁾ 형성된 실리사이드 두께는 백금 증착 두께의 두배 정도로 형성된다.

금속-반도체 접합의 장벽을 낮추기 위해 인을 소오스로 사용하여 주입량을 2×10^{12} , 5×10^{12} , 8×10^{12} 및 1.2×10^{13} atoms/cm²로, 에너지는 35KeV로 하여 이를 각각 주입시켰다. 불순물의 어닐링은 925°C에서 30분간 질소 분위기에서 열처리를 하였다. 실리사이드 형성을 위한 백금 증착(CVC Model 601)은 다음과 같이 하였다. 즉 3×10^{-6} Torr의 진공상태에서 아르곤을 유입시켜서 스퍼터 식각을 1분간 행하여 실리콘을 약 180~200Å 제거한 다음 백금 증착을 6분간 행하여 약 600Å을 증착시킨후, 550°C 질소 분위기에서 30분간 열처리를 하였다. 80°C의 왕수에 시편을 1분간 담근후의 표면상태는 백금이 실리콘 위에 증착된 부분만 실리사이드가 형성이 되고, 산화막 위에 증착된 백금은 완전히 에칭이 되었다. 이때 백금 실리사이드가 형성되었는지 여부를 확인하기 위해 X-선 회절 분석을 통해 백금 실리사이드의 형성을 확인한 결과가 그림 2이며, 이 백금 실리사이드의 면저항은 3.8~4.0Ω/□로 측정되었다. 알루미늄 전극 형성을 위해서 확산장벽 금속으로서 Ti/W (Ti: 10%Target) 증착은 3×10^{-6} Torr의 진공에서 1분간 표면을 아르곤 분위기에서 스퍼터 식각후 6분간 1250Å을 증착시킨후, 순수 알루미늄(99.995%)을 증착시켜서 전극을 만들었다. 제작된 소자의 수직 구조를 그림 3에 나타내었다.

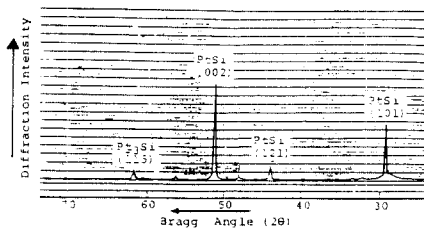


그림 2. PtSi-nSi의 X-선 회절 결과
Fig. 2. The result of X-ray diffraction for PtSi.

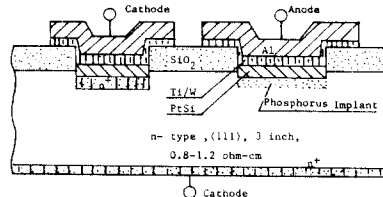


그림 3. 소자의 구조
Fig. 3. Device structure.

III. 소자의 전기적 특성

쇼트키 다이오드에서 순방향 임계전압과 역방향 항복전압의 측정은 전류-전압 특성에서 PtSi-nSi 접합 부분의 전류밀도가 $1A/cm^2$ 일때의 전압을 기준값으로 측정을 하였다.¹⁸⁾ 소자에서 기준 전류 밀도에 상응하는 접합의 넓이는 마스크상의 면적으로 하였는데, 이는 실제 소자의 접합 부분의 면적과는 조금의 차이가 있다. 이는 접촉창 개방의 에칭작업에서 발생하는 과소 및 과대한 식각 상태의 면적을 측정하기가 곤란하기 때문이다. 특성의 측정 항목은 순방향 임계전압, 포화전류, 역방향 항복전압 및 누설전류 등이며, 이는 중요한 소자의 특성 인자로서 각각의 불순물의 양으로 이온주입된 쇼트키 다이오드의 동작을 결정하는 전류-전압 특성을 나타낸다.

1. 순방향 전류-전압 특성

순방향 임계전압의 측정은 기준 전류량으로 정사각형 쇼트키 다이오드는 $29\mu A$ 에서 측정을 했으며, 가장자리가 긴 직사각형 쇼트키 다이오드는 $86\mu A$ 에서 각각 측정된 결과가 그림 4의 (a), (b)이다.

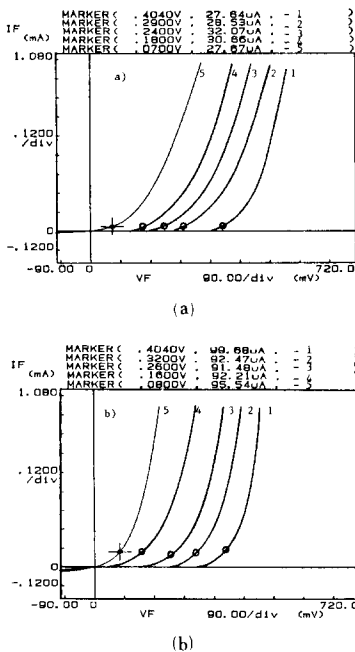


그림 4. 순방향 임계전압 특성

- (a) 정사각형 쇼트키 다이오드
(b) 긴 직사각형 쇼트키 다이오드

Fig. 4. The Characteristics of forward turn-on voltage.

- (a) Schottky diode of square type.
(b) Schottky diode of long rectangular type.

기판 자체의 농도에 의한 백금 실리사이드 쇼트키 다이오드는 임계전압이 $0.404V$ 이며, 인 (P)을 2×10^{17} , 5×10^{17} , 8×10^{17} , 1.2×10^{18} atoms/cm²의 적은 이온주입량으로 주입함에 따라 임계전압이 각각 $0.32 \sim 0.29$, $0.26 \sim 0.24$, $0.18 \sim 0.26$ 및 $0.08 \sim 0.07V$ 로 측정되었다. 접합형태에 따른 차이는 거의 없으며, 주입량의 증가에 따라 점차 낮아지고 있다. Ideality factor와 장벽 높이를 구하기 위해서 임계전압 보다 낮은 전압에서 외삽법을 이용하여 정사각형 쇼트키 다이오드의 포화전류를 측정된 결과가 그림5이다. 장벽 높이를 낮추기 위한 이온주입량의 증가에 따라 포화 전류도 증가하는 경향으로 나타나며, 증가하는 각각의 주입량에 따라 포화전류는 3.5×10^{-11} , 2.01×10^{-8} , 1.22×10^{-8} , 3.98×10^{-7} 및 $6.32 \times 10^{-6} A$ 로 측정되었다.

2. 역방향 항복전압 특성

어떤 역방향 전압이 인가되어도 전압의 증가에 따라 공핍층이 커져서 reach 상태에 의한 항복현상을 배제하기 위하여 에피층을 기르지 않은 N형 기판을 사용했으며, 음(-)의 전극을 기판 배면과 전면에 형성시켰다. 기판자체의 농도로 제작된 쇼트키 다이오드는 역방향의 전압 인가시 대체로 애벌런치 항복현상으로 나타나며, 인을 주입시킴에 따라 소자는 터널링에 의한 항복현상을 나타낸다. 전류-전압 특성에서 전류축의 범위를 넓게 잡으면 애벌런치 전압 가까이에서 2차 변곡점이 발견된다. 항복전압은 순방향 임계전압의 기준값과 동일하게 접합면적에 해당하는 전류밀도에 상응하는 전압이다. 순방향 전류-전압 특성과는 달리 접합 모양에 따른 정사각형 쇼트키 다이오드와 가장자리가 긴 직사각형 쇼트키 다이오드의 항복전압은 다르게 나타났으며, 정사각형 소자가 직사각형 소자 보다 같은 농도에서 항복전압이 높게 나타나는데 이는 가장자리 영역에 결합으로 인한 deep level이 형성되어 전류를 흐르게 하기 때문인 것으로 생각된다.¹¹⁾ 그림6은 같은 농도에서 정사각형 소자와 직사각형 소자의 항복전압 특성과 불순물의 주입량에 따른 항복전압 특성으로 이온주입량의 증가에 따라 항복전압은 정사각형 소자인 경우 36.8 , 28.0 , 25.8 , 14.7 , $0.3V$ 로서 점차 낮아지는 경향이며 1.2×10^{18} atoms/cm²인 주입량은 거의 저항성 특성으로 나타났다. 이온주입량이 증가할수록 쇼트키 접합 부분의 농도가 높아지며, 이 높아지는 농도는 반도체의 공핍층을 점점 좁게 하여 역방향 인가시 항복전압에 기여한 전류성분은 주로 터널링에 의한 항복현상으로 측정결과 그림 6에 나타났다.

IV. 고찰

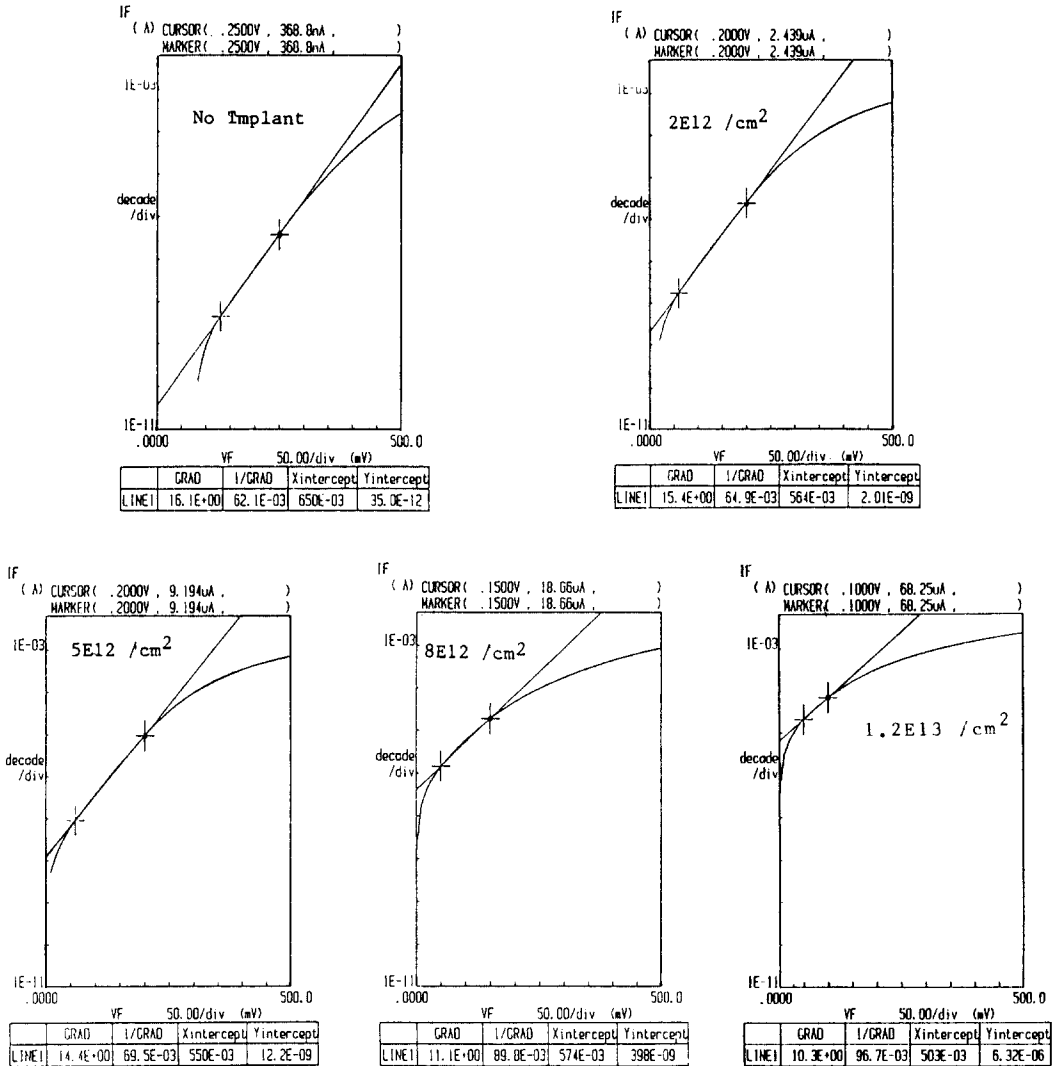


그림 5. 포화전류 측정을 위한 전류-전압 특성
 Fig. 5. The I-V C characteristics for saturation current.

1. 순방향 특성 고찰

그림 4의 측정 결과로부터 얻은 이온주입량과 순방향 임계전압의 함수관계를 그림 7에 나타내었다. 이로부터 이온주입량의 증가에 따라서 임계전압이 거의 선형적으로 감소함을 알 수 있으며 이 관계를 실제 공정에 응용할 수 있을 것이다.

쇼트키 다이오드에서 열적 성질을 나타내는 전류 및 포화전류 밀도방정식, ideality factor (n) 등은 정의에 의해 다음식으로 표현이 된다.

$$J = J_s(\exp(qV/nKT) - 1) \quad (1)$$

$$J_s = A^{**}T^2 \exp(-q \phi_{bn}/KT) \quad (2)$$

$$n = (q/KT) \partial V / \partial (\ln J) \quad (3)$$

그림 5의 포화전류의 측정 결과로 식 (3)을 이용하여 구한 ideality factor (n) 값의 변화가 그림 8이며, 여기에서 ideality factor가 1일때는 전류가 거의 열이온 방출에 의해 형성된다. 그리고 ideality factor가 1보다 점점 커감에 따라 접합 장벽의 터널링 현상으로 기여하는 전류가 점점 증가하게 됨을 알 수 있다.¹²⁾ 이온주입량의 증가에 따라 ideality factor도 1에서 2로 증가하는 경향으로 나타났다.

백금 실리사이드와 반도체 접합사이에 장벽높이(ϕ_{bn})를 식 (2)와 그림 5의 측정결과로부터 구하였으며 이

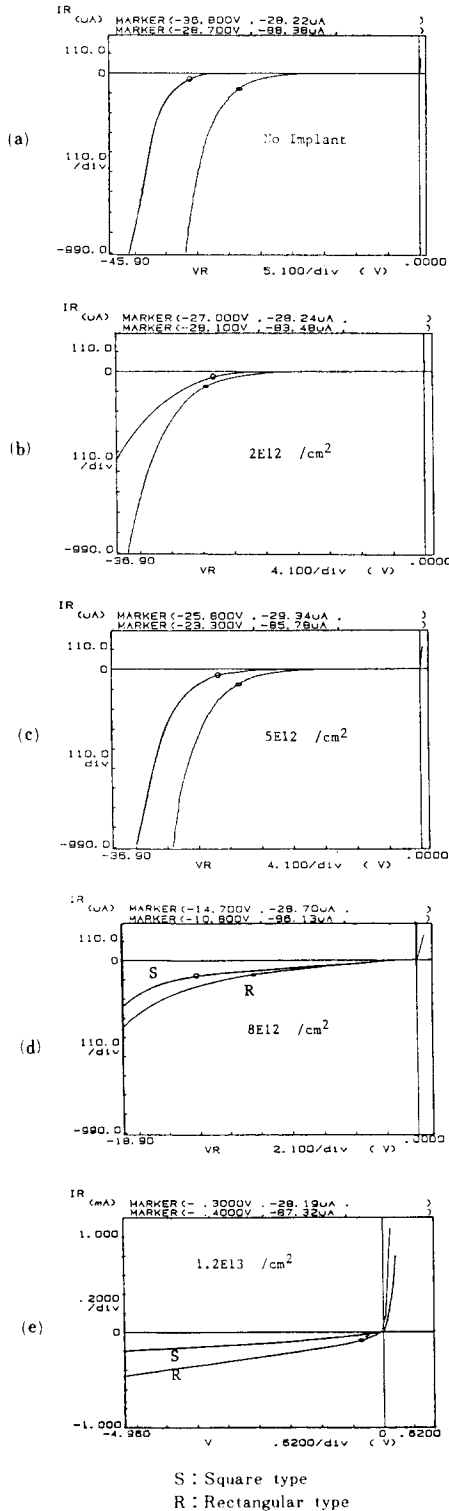


그림 6. 역방향 항복전압 특성
 Fig. 6. The characteristics of reverse breakdown voltage.

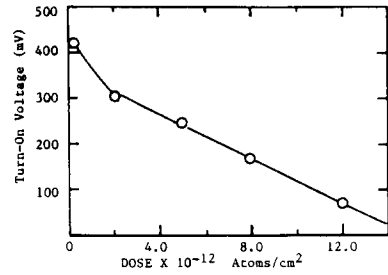


그림 7. 순방향 임계전압과 이온 주입량의 관계
 Fig. 7. The relation of forward turn-on voltage versus implant dose.

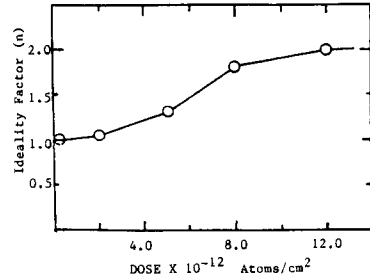


그림 8. Ideality factor와 이온 주입량의 관계
 Fig. 8. The relation of ideality factor versus implant dose.

를 그림 9에 나타내었다. 여기에서 이온주입량이 증가할 수록 장벽높이가 낮아져서 순방향 전압 인가시 낮은 전압에서 임계 전압 특성이 나타나며, 한편 반도체 영역에 형성되는 공핍층도 짧아지면서 역방향 누설전류의 형성은 점차 터널링의 성분이 많아진다. 장벽높이를 낮추기 위한 1.2×10^{13} atoms/cm² 이하의 N형 이온 주입량은 바이폴라 집적회로에서 P-형의 베이스 접촉영역에 주입되어도 베이스의 불순물 형태를 변형시킬 수 있을 정도의 전하량이 되지 못하며, 다만 베이스 접촉 저항만 증가시키며, 추가되는 마스크도 필요없이 쇼트키 다이오드 공정을 이용할 수 있다. 쇼트키 다이오드에서 장벽높이를 낮추기 위한 이온 주입량에 대한 정적저항을 구한 결과가 그림 10이며, 정적저항은 이온 주입량의 증가에 따라 낮아지며, 소자의 모양에 따른 정적저항의 차이는 가장자리 효과 때문에 나타나는 것으로 생각된다.

2. 역방향 특성 고찰

역방향 전류-전압 특성에서 항복전압과 누설전류는 쇼트키 다이오드에서 가장 관심있는 분야이다. 측정 결과에서 백금 실리사이드와 반도체 평면 접합부분과 가장자리 부분의 누설전류 밀도를 각각 구하면, 누설전

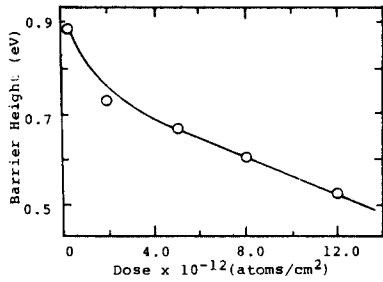


그림 9. 장벽높이(ϕ_{bn})대 이온 주입량의 결과
Fig. 9. The results of barrier height(ϕ_{bn}) versus implant dose.

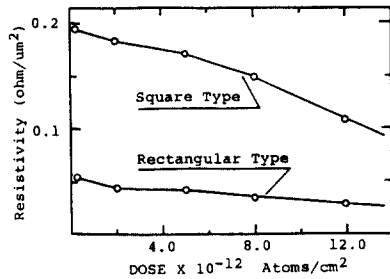


그림 10. 정적저항과 이온 주입량의 결과
Fig. 10. The results of static resistance versus implant dose.

류 형성의 원인을 알 수 있다. 이온주입량에 따른 각의 누설전류 밀도를 구하면, 소자의 설계시 응용에 필요한 공정설계가 가능하다. 식 (4)는 소자에서 누설전류의 형성은 접합의 평면 부분과 가장자리 부분으로 나누어 면전류 밀도와 선전류 밀도로 구성이 되며, 모양에 따른 평면의 넓이와 가장자리의 길이가 다른 정사각형과 면적에 비해 가장자리가 긴 직사각형의 소자에서 각각의 누설전류 측정 결과에서 누설전류 밀도를 구할 수 있는 식이다.

$$\begin{aligned} I_1 &= A_1 J + P_1 i \\ I_2 &= A_2 J + P_2 i \end{aligned} \quad (4)$$

여기에서

I_1, I_2 : 두 소자의 역방향 누설전류

A_1, A_2 : 두 소자의 백금 실리사이드와 반도체 접합 면적

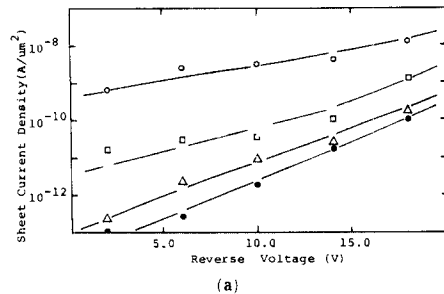
J : 평면 접합부분의 면전류 밀도 (A/cm^2)

i : 가장자리 부분의 선전류 밀도 (A/cm)

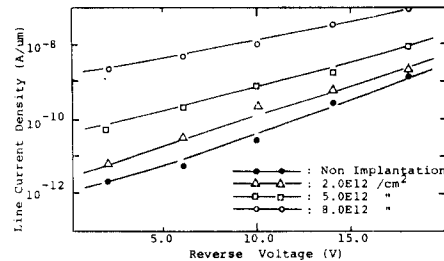
P_1, P_2 : 두 소자의 접합에서 가장자리 길이

식 (4)를 이용하여 정사각형 쇼트키 다이오드와 가장자리가 긴 직사각형 쇼트키 다이오드의 측정값을 대

입하여 구한 평면과 가장자리 부분의 전류 밀도가 그림 11이다. 이 결과에 의하면 같은 농도에서 누설전류 밀도의 차이는 선전류 밀도가 면전류 밀도 보다 10배 이상의 차이를 보인다. 즉 누설전류는 주로 평면 영역의 접합보다 가장자리 부분에서 형성되며, 불순물의 이온 주입량의 증가할 수록 누설전류 밀도는 증가하며, 역전압이 높아질 수록 누설전류가 많아진다. 그림 11에 의해서 임의의 모양을 한 쇼트키 다이오드의 누설전류를 구할 수 있으며, 불순물의 주입량에 따라서도 누설전류의 크기를 유추할 수 있다.



(a)



(b)

그림 11. 역방향 전압과 누설 전류 밀도의 결과
(a) 평면 부분의 면전류 밀도
(b) 가장자리의 선전류 밀도

Fig. 11. The results of reverse voltage and leakage.

(a) Sheet current density of flat region.
(b) Line current density of edge region.

표 1. 파라미터에 따른 실험값의 결과

Table 1. The parameters of experimental results.

Implant Condition	No Implant	2×10^{12} atoms/cm ²	5×10^{12} atoms/cm ²	8×10^{12} atoms/cm ²	1.2×10^{13} atoms/cm ²
Turn-On Voltage	0.404(V)	0.29(V)	0.24(V)	0.18(V)	0.07(V)
Breakdown Voltage	36.8(V)	27.0(V)	25.8(V)	14.7(V)	0.3(V)
Ideality Factor	1.01	1.09	1.31	1.72	1.99
Barrier Height (ϕ_{bn})	0.88	0.72	0.67	0.61	0.54

V. 結 論

PtSi-nSi 쇼트키 다이오드의 장벽높이는 적은 양의 인(P)을 접합표면에 이온 주입시켜 낮은 온도에서 어닐링으로 변화가 가능하며, 이온 주입량에 따라 순방향 임계전압, 포화전류, 정적저항, 역방향 항복전압 및 누설전류를 변화시킬 수 있다. 누설전류를 고려한 순방향 임계전압을 약 400mV에서 180mV까지 낮추는데 필요한 이온 주입량은 8×10^{12} atoms/cm²이며, 이때 역방향 항복전압은 기판 농도의 36V에서 14V 정도로 감소가 되었다. 장벽높이를 크게 낮춘 이온주입은 나쁜 역방향 특성을 나타내며, 충분히 큰 이온 주입량 ($> 1.2 \times 10^{13}$ atoms/cm²)에서는 본질적으로 저항성 접촉이 된다. 적은 이온 주입량의 점진적인 증가에 따라 소자의 특성에서 임계전압, 포화전압, 정적저항, 장벽높이 및 항복전압은 감소하며, ideality factor와 누설전류는 증가한다. 소자의 모양에 따라 동일한 불순물 주입량의 순방향 특성에서는 거의 비슷하며, 역방향 특성에서는 직사각형 소자가 항복전압 및 누설전류에서 정사각형 소자보다 긴 가장자리의 영향으로 낮은 항복전압과 많은 누설전류 특성을 보인다. 적은 이온 주입량의 PtSi-nSi 쇼트키 다이오드는 제작된 웨이퍼의 측정 위치에 따른 임계전압의 편차가 ± 15 mV 이내이며, 이 소자는 백금 실리사이드 접촉을 이용하는 어떤 바이폴라 집적회로의 응용에도 가능하다.

參 考 文 獻

- [1] J. Bardeen, "Surface states and rectification at a metal-semiconductor contact," *Phys. Rev.*, vol. 71, pp. 717, 1947.
- [2] S.M. Sze, *Physics of Semiconductor Devices*, 2nd ed., New York Wiley, 1981.
- [3] J.M. Shannon, "Reducing the Effective

Barrier Height of a Schottky Barrier using Low Energy Ion Implantation," *Appl. Phys. Lett.*, vol-24, pp. 369, 1974.

- [4] J.M. Andrews, *Schottky Barrier Diode Contacts*, U.S. Patent 3, 964 084, 1976.
- [5] K. Shenai, "Modeling and Characterization of Dopant Redistributions in Metal and Silicide Contacts," *IEEE Trans. on Electron Device*, vol. ED-32, no.4, April 1985.
- [6] H.K. Henisch, *Rectifying Semiconductor Contacts*, Oxford, England, Clarendon, 1957.
- [7] T. Sakai, "Schottky Diode for Bipolar LSI's Consisting of an Impurity-controlled Si Substrate and Al (2% Si) Electrode", *IEEE Trans. on Electron Devices*, vol. ED-32, no. 4, pp. 766, April. 1985.
- [8] E.F. Labuda, "Ion-Implanted Low-Barrier PtSi Schottky-Barrier Diodes," *IEEE Trans. on Electron Devices*, vol. ED-27, no. 2, pp. 420, Feb. 1980.
- [9] R.M. Swanson, "Accurate Barrier Modeling of Metal and Silicide Contacts", *IEEE, Electron Device Letters*, vol. EDL-5, no. 5, pp. 145, May, 1984.
- [10] S.P. Muraka, *Silicides for VLSI Applications*, Academic Press, Inc., 1983.
- [11] W.R. Hunter, "Optimization of Sidewall Masked Isolation Process", *IEEE Journal of Solid-State Circuits*, vol. SC-20, no. 1, Feb. 1985.
- [12] S.M. Sze, *Carrier Transport across Metal-Semiconductor Barriers*. Solid State Electron, 13, pp.727, 1970.