

## 기억용량 절약과 순회방식 선택이 가능한 디지털 필터의 구성에 관한 연구

## (A Study on the Implementation of Digital Filters with Reduced Memory Space and Dual Impulse Response Types)

朴 仁 政\*, 李 太 遠\*\*

(In Jung Park and Tae Won Rhee)

## 要 約

본 논문에서는 고차에서의 기억용량을 절약하기 위해 마이크로프로세서에서 사용되는 직접 어드레스 지정방식을 도입하고 처리 속도를 높이기 위해 전용 디지털 필터를 구성하는 한편, 순회형과 비순회형을 쉽게 선택할 수 있는 구조를 제시하고, 이를 실현하며, 유한장 단어길이 및 반올림, 승산에 따른 오차들을 이론적으로 해석하였다.

본 논문에서 설계 구성한 디지털 필터는 최고 7차 순회형 구조와 14차 비순회형 구조를 쉽게 선택할 수 있도록 단위 모듈화 하였다.

이 단위 모듈화된 필터의 주파수 특성은 ROM에 내장된 승산값에 의해 조절될 수 있다. 그 특성으로서 저역통과, 고역통과, 대역통과 특성을 각각 설계하여 실험에 의해 확인하였다. 더 높은 고차 필터를 실현하기 위해 단위 모듈 필터 2 개를 종속 접속하여 23차 비순회형 저역통과 필터와 12차 순회형 다중 대역 통과 필터를 실현하였으며, 설계치와 실험치가 일치하는 주파수 선택특성을 얻었다.

## Abstract

In this paper, a direct addressing mode of a microprocessor is introduced to save memory capacity, and also a dedicated digital filter is constructed to speed up the filter processing and to enable an easy selection of the impulse response types. A theoretical analysis has been conducted on the errors caused by the finite word length, rounding-off and multiplication procedures. The digital filter designed by the proposed method is made into a module which can function as a 7th - order recursive or a 14 - order nonrecursive type with a simpleswitch operation. The proposed filter is implemented on a printed - circuit board. The frequency characteristics of this filter can be controlled by the multiplication values stored in ROMs. A low-pass, a high-pass and a band-pass filter have been designed and their frequency characteristics are verified by actual measurements. For a order higher filter, two filter modules have been cascaded into an integrated filter of 23rd - order non-recursive low-pass type and a 12th-order recursive multiband type. Their frequency characteristics have been found to agree with the theory.

\*正會員, 檀國大學校 電子工學科

(Dept. of Elec. Eng., Dan Kook Univ.)

\*\*正會員, 高麗大學校 電子電算工學科

(Dept. of Elec. and Computer Eng., Korea Univ.)

接受日字: 1986年 5月 26日

## I. 서 론

디지털 필터의 구조는 크게 순회형과 비순회형으로

(※本研究은 1985年度 韓國科學財團의 연구비 支援으로 이루어 졌음.)

나누어진다. 비순회형 디지털 필터는 선형위상 특성을 가지며 출력신호가 왜곡되지 않는 구조이므로 안정한 상태를 유지하고, 구해진 전달함수에 샘플링 주파수만 가변시킴으로서 통과 주파수와 차단 주파수의 변경이 용이하며, 선형위상특성을 갖는 장점은 있으나 천이영역에서의 차단 특성을 향상시키기 위해서는 필터의 차수가 높아지고 따라서 각 출력당 계산시간이 많이 요구되는 단점이 있다.<sup>[1]</sup>

순회형 디지털 필터는 낮은 차수의 필터로써 천이영역이 예리한 차단 특성을 얻을 수 있으므로 실시간 처리에 많이 쓰이는 장점이 있으나 비선형 위상특성과 왜곡이 생기는 단점이 있다.<sup>[1]</sup>

또한 ROM에 의한 필터 구조는 지금까지 Peled, Liu의 시퀀스(sequence) 직렬이동 방식이 일반화되어 있지만, 이 방식의 단점은 필터 차수가 높아지면 기억용량이 지수적으로 증가한다는 것이다. 기억용량을 감소시키기 위해 고차(8차) 필터를 수개의 저차(2차) 필터로 접속하여 구성하는 방법도 있으나 하드웨어가 복잡해지는 단점이 있다.<sup>[2]</sup>

본 논문에서는 순회형과 비순회형의 선택이 가능한 구조를 제시하고, 고차에서의 기억용량을 감소시키기 위해 마이크로프로세서에서 사용되는 직접 어드레싱 방식을 도입하고<sup>[3,4,6]</sup>, 디지털 필터의 처리주파수를 높이기 위해 전용 디지털 필터를 구성하고자 한다.

II. 순회형과 비순회형 일체구조

4차 비순회형 필터의 입출력 관계식은 식(1)로 주어지고 2차 순회형 필터의 입출력 관계식은 식(2)와 같다.

$$y(n) = a(0)x(n) + a(1)x(n-1) + a(2)x(n-2) + a(3)x(n-3) + a(4)x(n-4) \quad (1)$$

$$y(n) = a(0)x(n) + a(1)x(n-1) + a(2)x(n-2) - b(1)y(n-1) - b(2)y(n-2) \quad (2)$$

식(1)과 식(2)에 의한 입출력 관계를 블럭다이어그램으로 표시하면 그림 1과 그림 2와 같이된다. 그림3은 그림 2의 순회부분을 위로 올리고 멀티플렉서(Multiplexer)를 사용해 비순회형에서는 입력 시퀀스를 계속 지연시키거나, 순회형에서는 출력시퀀스를 지연시키게 한 구조이다. 따라서 그림 3의 필터구조는 식(1)과 식(2)를 만족시킨다.

III. 고차에서의 기억용량을 감소하기 위한 구조

분산연산 방식에 의한 디지털 필터는 계수와 시퀀스의 승산값을 ROM에 기억되어 있는 데이터로부터 받아 이들을 가산기로 합산한다. ROM에 기억된 승산값을 취하는 방식은 Peled, Liu에 의한 시퀀스 직렬이동

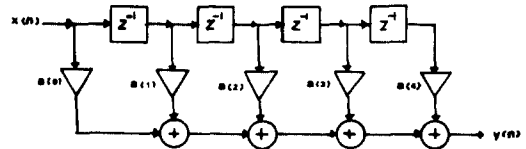


그림 1. 4차 비순회형 필터구조  
Fig. 1. 4th-order nonrecursive filter structure.

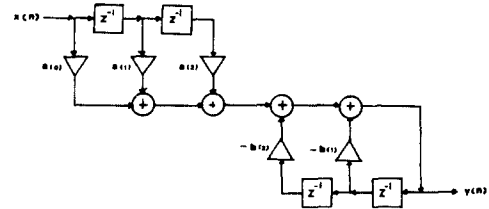


그림 2. 2차 순회형 필터  
Fig. 2. 2nd-order recursive filter structure.

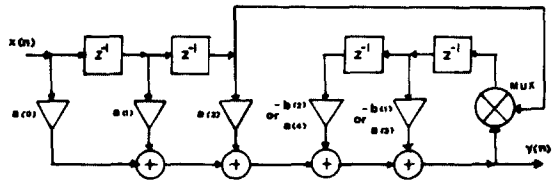


그림 3. 제안된 4차 비순회형 및 2차 순회형 필터의 일체구조  
Fig. 3. Proposed filter structure consisting of 4th-order nonrecursive and 2nd-order recursive.

에 의한 어드레스 지정과 본 논문에서 도입한 시퀀스 병렬이동에 의한 어드레스 지정방식이 있다. 이들 방식에 의한 4차 비순회형 필터구조를 그림 4와 그림 5에 보인다. 그림 4에서의 입출력 방정식은 식(3)과 같이 된다.<sup>[5]</sup>

$$y(n) = \sum_{k=1}^{B-1} 2^{-k} F(x_1^k, x_2^k, x_3^k, x_4^k, x_5^k) - F(x_1^0, x_2^0, x_3^0, x_4^0, x_5^0) \quad (3)$$

여기서 B는 비트수를 나타낸다.

본 논문에서 구성한 방식은 시퀀스 자체가 ROM의 어드레스가 되어진다. 이 방식의 입출력 관계식은 식(4)와 같이 표시한다.<sup>[6]</sup> 여기서 [ROM]<sup>-x(n)</sup>은 x(n)이 가리키는 메모리 어드레스의 승산값임을 뜻한다.

$$y(n) = [ROM]^{-x(n)} + [ROM]^{-x(n-1) + \text{승산}} + [ROM]^{-x(n-2) + \text{승산}} + [ROM]^{-x(n-3) + \text{승산}} + [ROM]^{-x(n-4) + \text{승산}} \quad (4)$$

그림 4와 그림 5에 의하면 Peled, Liu 방식의 ROM용량은 필터차수에 지수함수적인 관계가 있고, 본 논문 방식에서는 대수적인 관계가 있다.

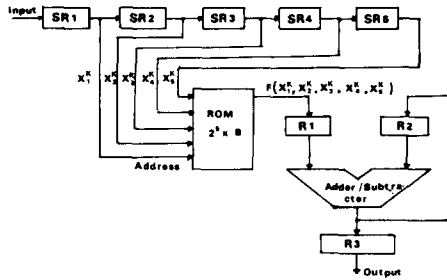


그림 4. 시퀀스 직렬 쉬프트 방식의 필터구조  
Fig. 4. Sequence serial shift type filter structure.

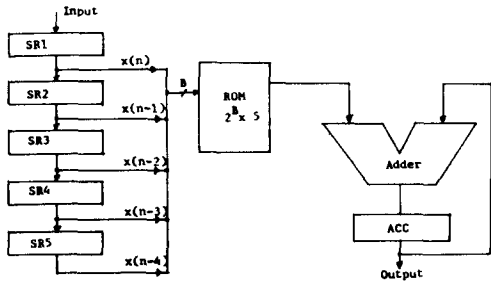


그림 5. 시퀀스 병렬 쉬프트 방식의 필터구조  
Fig. 5. Sequence parallel shift type filter structure.

여기서 N은 필터차수, B는 시퀀스의 비트수이다.

표 1에 의하면 고차 필터의 구성시 Peled, Liu의 방식은 ROM의 용량이 지수함수적으로 증가하며, 이 문제를 해결하기 위해 저차 필터를 중속접속이나 병렬접속하는 방법이 연구되어 있으나 가산기와 감산기가 여러 개 필요하고 설계 및 구성이 복잡하다. 그러나 본 방식에서는 가산기 1개 만으로 충분하다.

표 1. 두 방식의 ROM 용량 비교

Table 1. ROM capacity comparison between two types.

	비 순 회 형		순 회 형	
	Peled, Liu	본 연구	Peled, Liu	본 연구
기억용량	$2^{N+1}$	$2^B \cdot (N+1)$	$2^{2N+1}$	$2^B \cdot (2N+1)$

#### IV. 디지털 필터의 구성

##### 1. 데이터 회로

14차 비순회형과 7차 순회형 특성을 갖는 필터구조를 그림 6에 제시하였다. 구성을 보면, 입력 데이터를 지연 기억시킬 수 있는 8비트 레지스터 X0~X7이 있으며, 순회형일 때는 출력 데이터를 지연 기억하고 비

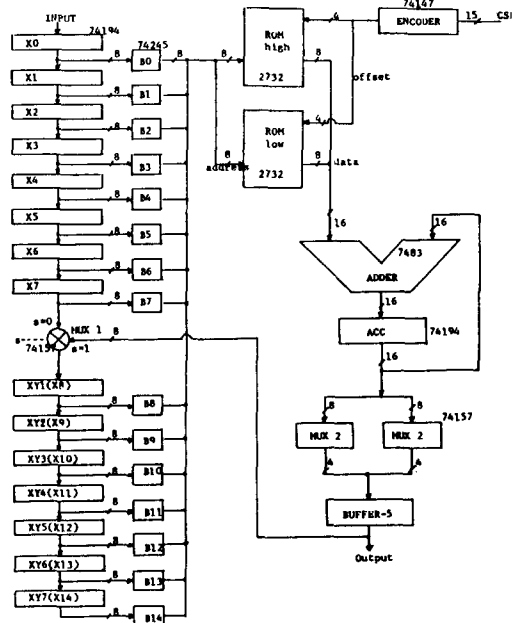


그림 6. 순회 비순회 일체형 디지털 필터 구성도  
Fig. 6. Recursive-nonrecursive integrated type digital filter configuration.

순회형일 때는 입력 데이터 X7의 값을 계속 지연 기억시키는 8비트 레지스터 XY1~XY7이 있다. 각 레지스터에는 1개씩의 버퍼가 있어서 15개의 레지스터 데이터 중 시퀀스별 해당 레지스터 1개씩만 버퍼에 의해서 선택이 되어 ROM의 어드레스가 된다. 15개의 버퍼 중 어느 하나가 동작할 때 나머지 버퍼는 하이 임피던스 상태를 유지한다. 미리 계산된 승산값이 들어있는 ROM의 어드레스를 지정할 때 어드레스 12비트 중 하위 8비트는 레지스터의 데이터에 의하고 상위 4비트는 옵션 번지가 된다.

연산 범위를 넓혀주기 위해 16비트 연산을 행하며 ROM의 승산값 기억도 16비트로 했다. 가산기도 16비로 구성하며 시퀀스 직렬이동 방식과는 달리 감산기는 필요치 않다.

순회형과 비순회형의 선택이 가능케 하기 위하여 XY1 레지스터의 입력단에 멀티플렉서를 두어서 순회형인 경우 XY1 레지스터가 y(n) 출력값을 기억하게 하고 비순회형인 경우 X7 레지스터의 입력 데이터의 지연된 값을 계속 기억하게 한다. 또 필터의 전달함수 설계시 정수연산을 위한 스케일링의 크기가 서로 달라서 누산기의 계산값을 출력시, 비트의 위치가 달라지기 때문에 멀티플렉서를 사용하여 비트의 위치를 조절해 준다.

2. 제어 회로

디지털 필터 전용처리기를 제어하는 제어 프로그램을 AHPL 언어<sup>17)</sup>로 설계하였으며 부록 1에 제시한다. 프로그램을 보면 1번에서는 외부 스타트 신호에 동기되어 동작을 개시한다. 2번에서 입력 데이터를 받고 누산기를 클리어한다. 3번에서 17번까지는 각 레지스터의 데이터에 해당되는 승산값을 ROM으로부터 가져와 합산을 해 나간다. 17번에서는 오버플로어와 언더플로어에 대해 검사해서 오버플로어이면 19번으로 가서 양의 최고수인 7FFF를 출력하고 언더플로어에서는 18번으로 가서 음의 최저수인 8000을 출력하며 20번에서는 누산기의 최종 합산된 결과를 출력시킨다. 10번 문은 조건 전달문으로서 s=0인 경우에만 X7레지스터의 내용이 XY1으로 전달되어져 비순회형인 경우에 해당한다. 20번 문은 S=1인 경우 합산된 출력이 저장된 누산기의 내용이 XY1으로 전달되어져 순회형인 경우의 동작이다.

V. 오차해석

디지털 필터에서의 오차는 주로 한정된 비트수에 의한 입력신호의 양자화 오차, 필터 계수의 양자화오차, 승산 및 가산의 사사오입 또는 절사오차로 구분된다.<sup>18,19)</sup> 입력 신호의 양자화 오차는 A/D 변환기의 양자화 간격에 좌우되며 오차크기는 최대 양자화 간격의 절반이다. 즉  $\pm 1/2LSB$ 이다. 통계학적으로 양자화에 의한 오차가 균일하게 분포되어 있고 평균치가 영이면 분산값은 다음과 같이 된다.<sup>10)</sup>

$$\sigma^2 = \frac{\Delta^2}{12} \tag{5}$$

여기서  $\Delta$ 는 양자화 간격이다.

필터계수의 양자화 오차 및 승산값의 사사오입 오차를 구하기 위해 다음 식을 생각하자.

$$y(n) = \sum_{k=0}^N (a_k)_B x(n-k) \tag{6}$$

여기서  $(a_k)_B$ 는 계수  $a_k$ 의 B비트 고정 소숫점 표현임을 의미한다. 계수의 사사오입에 의해 발생하는 오차값을  $\alpha_k$ 라 하면  $(a_k)_B = a_k + \alpha_k$ 이다. 한편 이상적인 출력값을  $w(n)$ 이라 하면, 출력의 n번째 샘플의 오차  $e(n)$ 은 실제 출력  $y(n)$ 과 이상적인 출력  $w(n)$ 의 차이이다.

$$\begin{aligned} e(n) &= y(n) - w(n) \\ &= \sum_{k=0}^N [(a_k)_B - a_k] \cdot x(n-k) \\ &= \sum_{k=0}^N \alpha_k x(n-k) \end{aligned} \tag{7}$$

입력 데이터  $x(n-k)$ 는 A/D변환기에 의해 양자화되므로  $\Delta/2$ 의 오차를 갖고있다. 따라서 식(7)은 다음

과 같이 된다.

$$\begin{aligned} e(n) &= \sum_{k=0}^N \alpha_k [x(n-k) + \frac{\Delta}{2}] \\ &= \sum_{k=0}^N \alpha_k \cdot x(n-k) + \sum \alpha_k \cdot \frac{\Delta}{2} \end{aligned} \tag{8}$$

식(8)에서 입력 데이터와 계수를 B비트로 양자화하면  $e(n)$ 은 최고 (2B+1)비트가 된다.  $\alpha_k \cdot x(n-k)$ 와  $\alpha_k \cdot \Delta/2$ 는 2B비트가 된다. 기존 논문에서는<sup>15)</sup> 승산값을 B비트로 ROM에 기억시키므로 양자화 오차가 발생하지만, 본 논문에서는 배정도(double precision)로 입력 데이터와 계수와의 승산값을 ROM에 기억시켰기 때문에 발생하지 않는다.

VI. 전달함수의 설계

1. 비순회형 디지털 필터

1) 저역통과 필터

설계조건은 샘플링 주파수 10KHz, 차단 주파수 2 KHz로서 설계 방법은 참고문헌<sup>13)</sup>에 의했다.

2) 고차 저역통과 필터

설계조건은 통과대역 0 ~ 0.14, 저지대역 0.19 ~ 0.5의 정규화 값을 갖는다. 설계 방법은 참고문헌<sup>2)</sup>에 의했다.

2. 순회형 디지털 필터

1) 저역통과 필터

설계조건은 샘플링 주파수 10KHz, 차단 주파수 2 KHz의 버터워스 7차 필터로서 설계 방법은 참고문헌<sup>13)</sup>에 의했다.

2) 고역통과 필터

설계조건은 샘플링 주파수  $10\pi$ rad/sec, 통과 주파수  $3.5\pi$ rad/sec 차단 주파수  $1.5\pi$ rad/sec, 통과대역 감쇠 1dB이하, 차단대역 감쇠 45dB 이상의 버터워스 필터이다. 설계는 참고문헌<sup>11)</sup>에 의해 하였다.

3) 대역통과 필터

설계조건은 상측통과 주파수 1.0 rad/sec, 하측통과 주파수 2.0rad/sec, 상측저지 주파수 0.5rad/sec, 하측저지 주파수 2.5rad/sec, 차단영역에서의 최소감쇠 25 dB이다. 설계는 참고문헌<sup>2)</sup>에 의해 하였다.

4) 다중대역통과 필터

설계조건은 밴드에지 (band edge) 0.0 ~ 0.10에서의 요구값 1.00, 밴드에지 0.20 ~ 0.30에서의 요구값 0.0, 밴드에지 0.40 ~ 0.60에서의 요구값 1.00, 밴드에지 0.80 ~ 1.00에서의 요구값 0.0, 통과 대역에서의 최대 절대편차 2.49276dB, 최소 대역 감쇠 -12.05523이다. 설계방법은 참고문헌<sup>2)</sup>에 의했다.

Ⅶ. 실험 및 고찰

실험장치는 그림 7 과 같이 구성하였으며 순회형 및 비순회형 각각을 측정하였다. 입력신호는 스위프 신호 발생기(TRIO WG-230 sweep generator)의 정현파를 취했으며 처리되어진 출력신호는 스토리지 오실로스코프(TEK 7613)에 저장하여 디지털 필터의 주파수 특성을 측정하였다. A/D 변환기는 NSC의 ADC 0800을 사용하였으며 D/A 변환기는 Intersil의 DAC-UP8BC를 사용하였다.

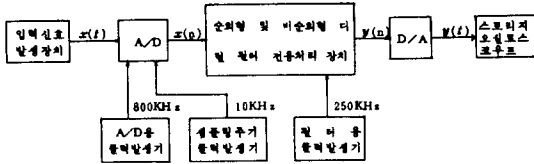


그림 7. 실험장치 구성도  
Fig. 7. Experimental equipment configuration.

순회형 및 비순회형의 주파수특성 측정치, Z변환식에 의한 주파수 특성 계산치와 차분방정식에 의한 계산식<sup>11)</sup>의 값을 비교한 그래프를 그림8, 9에 보였다. 그림 8을 보면 순회형 필터의 특성으로 통과대역인 2 KHz 이하의 저주파에서는 거의 오차가 없이 0dB를 유지함을 볼 수 있으며 차단 주파수 2KHz에서 2.5KHz 까지 천이영역의 특성이 현저히 나타남을 볼 수 있으며 2.5KHz 이상에서는 이론치와 약간의 차이가 있지만 하지만 우수한 차단특성이 얻어졌다.

그림10은 순회형 고역통과 필터의 주파수 특성으로서 입력신호는 주파수 10Hz부터 4KHz까지의 스위프 파형을 인가한 것에 대한 응답이다. 이 입력파형은 샘플링 주파수 8KHz로 샘플링한 것이다.

측정시의 3dB 주파수는 2800Hz로서 설계치의 주파수(샘플링 주파수 10πrad/sec에 대한 통과 주파수 3.5

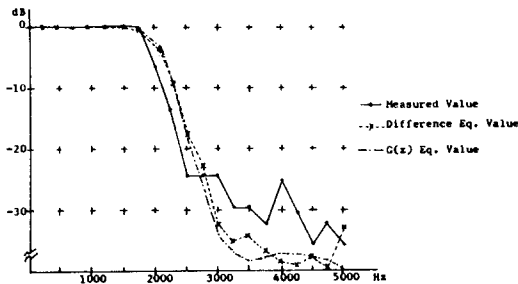


그림 8. 순회형 디지털 필터의 주파수 특성  
Fig. 8. Frequency response of recursive digital filter.

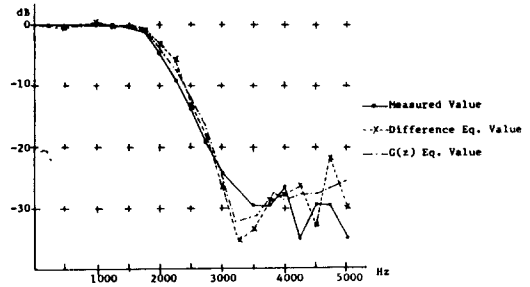


그림 9. 비순회형 디지털 필터의 주파수 특성  
Fig. 9. Frequency response of non-recursive digital filter.

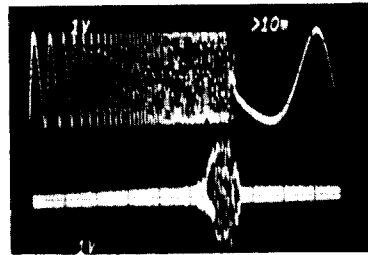


그림 10. 순회형 고역통과 필터의 주파수 특성 곡선, (상)입력파 (하)출력파  
스케일 : 1cm 당 1V, 10ms  
Fig. 10. Frequency Response curve of the recursive highpass filter.

π rad/sec는 샘플링 주파수가 8KHz 일때 2800Hz에 해당한다)에 일치했다.

차단주파수(설계치는 1200Hz에 해당)에서는 설계치가 45dB이상이지만 실제 측정시에는 주파수 범위 1200 Hz에서 100Hz 까지 22dB에서 43dB의 감쇠를 보여 주었다.

그림11은 순회형 대역통과 필터의 주파수 특성으로서 입력 신호 10Hz부터 4KHz까지의 스위프 파형에 대한 응답이며 샘플링 주파수는 8KHz이다. 설계치의 상측차단 주파수는 1273Hz이고 하측차단 주파수는 2546 Hz이다. 측정시 1300Hz에서는 3.5dB의 감쇠가 있고 2700Hz에서도 3.5dB의 감쇠가 있었다. 따라서 설계치와 측정치는 거의 일치했다.

그림12는 중속접속 유한 임펄스 응답 저역통과 필터의 주파수 응답 특성이다. 설계조건에서 통과대역 0 ~0. 14는 측정주파수 0Hz~1120Hz에 해당하고 저지대역 0. 19~0. 5는 측정주파수 1520Hz~4000Hz에 해당한다. 측정시 차단 주파수는 1300Hz보다 약간 높은 주파수에서 얻어졌다.

그림13은 중속접속 무한 임펄스 응답 다중 밴드 필

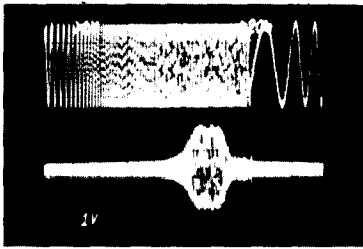


그림 11. 순회형 대역통과 필터의 주파수 특성 곡선, (상) 입력과 (하) 출력 스케일 : 1cm 당 1V, 20ms

Fig. 11. Frequency response curve of the recursive bandpass filter.

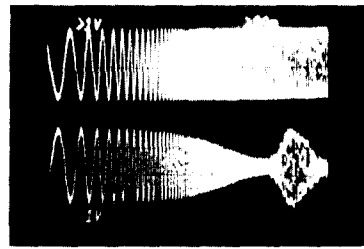


그림 13. 종속접속 무한임펄스 응답 다중밴드 필터의 주파수 특성곡선, (상) 입력과 (하) 출력 스케일 : 1cm 당 1V, 20ms

Fig. 13. Frequency response curve of the cascaded infinite impulse response multiband filter.

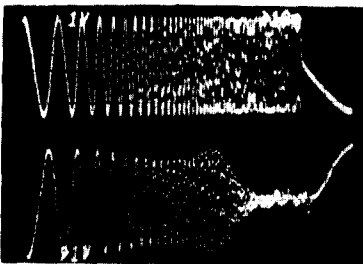


그림 12. 종속접속 유한 임펄스 응답 저역통과 필터의 주파수 특성곡선, (상) 입력과 (하) 출력 스케일 : 1cm 당 1V, 10ms

Fig. 12. Frequency response curve of the cascaded finite impulse response lowpass filter.

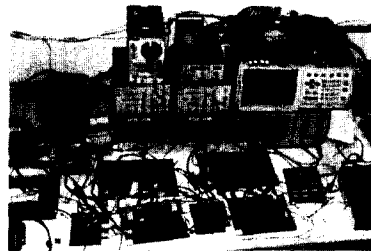


그림 14. PCB로 구성된 디지털 필터와 측정계기  
Fig. 14. Digital filter made on PCB and experimental set up.

터의 주파수 응답 특성이다. 저역통과 필터의 차단 주파수는 설계조건에서 400Hz (설계조건은 주파수 4000 Hz를 1로 정규화한 값에 대해 밴드에서 0.1은 400Hz에 해당한다) 이고 측정값도 400Hz에서 3.5dB 감쇠를 보여 주어 설계치와 측정치는 거의 일치했다. 대역통과 필터의 상측차단 주파수는 설계조건에서 1600Hz이며 측정값도 1600Hz에서 3.5dB의 감쇠를 보여 주었다. 하측차단 주파수는 설계조건에서 2400Hz~3200Hz 사이에 해당하며 측정시에는 2600Hz에서 얻어졌다.

그림 14는 PCB로 구성된 디지털 필터와 측정계기들이다.

### Ⅶ. 결 론

디지털 필터의 구성 방식이 지금까지는 순회형 또는 비순회형을 분리하여 구성하는 것이었으며 단지 버터워스, 체비세프등의 필터 특성의 변경과 차단 주파수의 변경만이 가능하였다. 또한 데이터 직렬이동 방식에 의해서 구성하므로써 고차필터의 구성이 복잡하였다. 본 논문에서는 순회형 및 비순회형을 주어진 조건에

맞게 사용할 수 있도록 1 개의 필터에서 선택할 수 있게 하여 용통성을 높였다. 또한 시퀀스 병렬이동과 데이터에 의한 직접 어드레스 지정방식에 의해 연산함으로써 기억용량의 문제없이 처리속도가 빠른 고차필터의 구성이 용이해졌다.

실험결과로서 Z-변환식에 의한 주파수 응답과 차분방정식에 의한 주파수 응답에 근사한 필터특성을 얻었다. 아울러 고차필터를 실현시키기 위해 7 차 순회형 또는 14 차 비순회형을 단위 모듈로 한 필터를 종속접속한 결과도 효율적임을 실험을 통해 확인했다.

### 부록 1. 제어 프로그램

MODULE : FIR & IIR FILTER

INPUT : s; start; XO(8)

OUTPUT : ACC(16)

MEMORY : XO(8); X1(8); X2(8); X3(8); X4(8);

X5(8); X6(8); X7(8); XY1(8); XY2(8);

XY3(8); XY4(8); XY5(8); XY6(8);

XY7(8); ACC(16); ROM (4K×8×

2EA)

```

1. → (start, start)/(1, 2)
2. XO ← INPUT DATA; ACC ← 0
3. ACC ← ACC + (ROM)  $\pm XY7(X14) + offset 14$ 
4. ACC ← ACC + (ROM)  $\pm XY6(X13) + offset 13$ 
   ; XY7(X14) ← XY6(X13)
5. ACC ← ACC + (ROM)  $\pm XY5(X12) + offset 12$ 
   ; XY6(X13) ← XY5(X12)
6. ACC ← ACC + (ROM)  $\pm XY4(X11) + offset 11$ 
   ; XY5(X12) ← XY4(X11)
7. ACC ← ACC + (ROM)  $\pm XY3(X10) + offset 10$ 
   ; XY4(X11) ← XY3(X10)
8. ACC ← ACC + (ROM)  $\pm XY2(X9) + offset 9$ 
   ; XY3(X10) ← XY2(X9)
9. ACC ← ACC + (ROM)  $\pm XY1(X8) + offset 8$ 
   ; XY2(X9) ← XY1(X8)
10. ACC ← ACC + (ROM)  $\pm X7 + offset 7$ 
   ; XY1(X8) *  $\bar{s}$  ← X7
11. ACC ← ACC + (ROM)  $\pm X6 + offset 6$ 
   ; X7 ← X6
12. ACC ← ACC + (ROM)  $\pm X5 + offset 5$ 
   ; X6 ← X5
13. ACC ← ACC + (ROM)  $\pm X4 + offset 4$ 
   ; X5 ← X4
14. ACC ← ACC + (ROM)  $\pm X3 + offset 3$ 
   ; X4 ← X3
15. ACC ← ACC + (ROM)  $\pm X2 + offset 2$ 
   ; X3 ← X2
16. ACC ← ACC + (ROM)  $\pm X1 + offset 1$ 
   ; X2 ← X1
17. ACC ← ACC + (ROM)  $\pm X0 + offset 0$ 
   ; X1 ← X0
   → (OF, UF,  $\overline{OF} \wedge \overline{UF}$ ) / (19, 18, 20)
18. ACC ← 8000
   → (20)
19. ACC ← 7FFF
20. OUTPUT ← ACC; XY1(X8) *  $s$  ← ACC
   → (1)

```

## 參 考 文 獻

- [1] A. Antoniou, *Digital Filter-Analysis and Design*, McGraw-Hill, 1979
- [2] Peled, Liu, *Digital Signal Processing-Theory, Design, and Implementation*, John Wiley & Sons, Inc., 1976.
- [3] T.J. Terrell, *Introduction to Digital Filters*, MacMillan Press, 1980.
- [4] 박인정, 이태원, "Z-80에 의한 Digital Filter 실험에 관한 연구" 대한전자공학회 하계학술 발표대회논문집, vol.6, no.1.
- [5] Peled, Liu, "A new hardware realization of digital filters," *IEEE TR. Assp.* vol. 22, pp. 456-462, Dec. 1974.
- [6] 박인정, "비순회형 디지털필터의 설계와 구성에 관한 연구" 단국대학교논문집, pp. 177-190, 1985.
- [7] Hill-Peterson, *Digital System-Hardware Organization and Design*, John Wiley 1978
- [8] B. Liu, "Effect of finite word length on the accuracy of digital filters," *a review IEEE Trans. Circuit Theory (Special Issue on Active and Digital Networks)* vol. CT-18,
- [9] A.V. Oppenheim and C.J. Weinstein, "Effect of finite register length in digital filtering and FFT." *Proc., IEEE* vol. 60, pp. 957-976, Aug. 1972.
- [10] L.B. Jackson, "On the interaction of roundoff noise and dynamic range in digital filters," *the Bell system Technical Journal*, vol. 49, pp. 159-184, Feb. 1970.
- [11] 박인정, 이태원, "차분방정식에 기초를 둔 디지털 필터의 주파수 특성 계산에 관한 연구" 전자공학회지 제22권 3호 pp. 220-227, 5월 1985년.