

# Digital Tuning Analog Component 집적회로의 설계 및 제작

## (Design and Fabrication of Digital Tuning Analog Component IC)

申明澈\*, 張榮旭\*, 金永生\*, 高鎭秀\*

(Myung Chul Shin, Young Wook Jang, Young Saeng Kim,  
and Jin Soo Ko)

### 要 約

본 논문은 television station detector, decoder-H 및 decoder-L type으로 구성된 고성능 digital tuning analog component 집적회로의 설계 및 제작에 대하여 기술한다. 비교레벨 샘플링 방법을 이용하여 아주 변동이 심한 외부 회로에 대해서도 안정한 채널 선국을 수행해 낼 수 있다. SST 바이폴라 표준공정을 이용하여 집적회로를 제작하였으며, 칩의 크기는 2.2×2.1mm<sup>2</sup>이다.

그 결과 DC특성, 채널선국기능 및 디코더 기능이 만족스러운 집적회로의 제작에 성공하였다.

### Abstract

This paper describes the design and fabrication of a high performance digital tuning analog component integrated circuit that contains a television station detector and decoders (H and L types). When the comparator level sampling method is used, this integrated circuit can be used as a stable channel selector for an external circuit with very large signal variation. It has been fabricated using the SST bipolar standard process and its chip size is 2.2 x 2.1 mm<sup>2</sup>.

As a result, we have succeeded in fabricating the IC that satisfies the D.C characteristics, and the channel station detector and decoder function.

### I. 서 론

일반적으로 TV의 power selector 블록은 현재 DTS (digital tuning system) IC 이외에 tuner driver용 decoder IC와 driver용 power transistor 및 LED driver용 transistor array, audio volume control driver용 lowpass filter block, 방송 채널을 선택해내는 station detector block, tuning voltage control

filter block 그리고 power control regulator 단으로 구성된다.

따라서 본 IC 설계에서는 고 전력이 요구되는 power control regulator 단과 최고 60V 공정이 필요한 tuning voltage control filter block을 제외한 모든 블록을 집적화하였다.

Station detector는 remote control system을 사용하는 television에서 방송선택 신호를 내주는 기능을 하는 회로이다. 일반적인 방송선택 방법은 SYNC 신호와 F.B.T (fly back transformer) 펄스를 이용한 간단한 인버터 회로와 R, C충방전을 이용하고 있지만, station band의 상태나 사용하는 위치, 시간에 따라

\*正會員, 三星半導體通信(株) 半導體研究所  
(Samsung Semiconductor and Telecommunication  
Co, Ltd. R & D)

接受日字: 1986年 3月 31日

잡음의 양상이 달라지고, 특히 잡음 신호가 큰 경우에는 충전신호 크기가 거의 방송시의 크기와 같아 질 수 있어서 에러를 유발할 수 있다.

따라서 본 연구에서는 에러를 최소화하기 위해 약 15KHz로 발전하는 F. B. T 펄스를 샘플링 펄스 입력으로 사용하고, SYNC. 신호를 reference voltage에 비교하여 출력하는 비교회로를 구성하였으므로, normal SYNC. 신호에 비해 일반적으로 주파수가 높고 peak기간이 짧은 삼각파 SYNC. noise는 비교기 출력때 에너지가 현저히 낮아지므로 non-station time을 완벽하게 구분해 낼 수 있다. 또한 2x4 decoder-high 및 decoder-low type을 집적하여, 각종 driver용 decoder로 사용할 수 있게 설계하였다.

II. IC설계

설계된 IC의 전체적인 block diagram은 그림1과 같다.

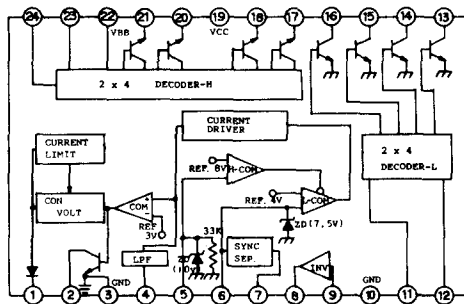


그림 1. 전체 블록 다이어그램  
Fig. 1. Whole block diagram.

설계된 IC는 pin 9로 입력된 정방향 composite video signal은 inverter 회로를 거치면서 위상이 바뀌어 SYNC. separator에서 수평동기 신호가 분리된다. 이 신호는 low comparator에 입력되며, 수평동기 신호와 위상이 같은 F. B. T펄스는 pin 5를 통해 high comparator로 입력된다. Low comparator와 high comparator로 구성된 window comparator 출력은 current driver에 의해 적분기 전압으로 나타내게 되며, 이는 다시 comparator의 기준전압(-3V)과 비교되어 open collector 출력으로 pin 2를 통해 출력되며, 또 하나의 출력은 current limit 회로와 voltage control 회로를 거쳐 pin 1로 출력된다. 또한 decoder-low, decoder-high는 pin 11, 12 및 pin 23, 24의 입력 상태에 따라 각각 pin 13, 14, 15, 16과 pin 17, 18, 20, 21의 출력 상태가 정해져 각 driver용 TV system 및 extra circuit block에

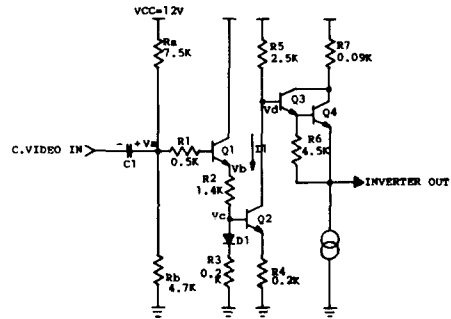


그림 2. 인버터 회로  
Fig. 2. Inverter circuit.

응용할 수 있도록 설계하였다.

그림 2는 inverter 회로를 나타낸다.

인버터 회로는 TV의 정방향 composite video signal을 역상으로 전환하여 동기분리를 손쉽게 하기 위해 구성한다. 이때 최대 2.0V<sub>pp</sub> video signal의 DC offset이 3.5V에서 6.5V까지 변화하여도 DC coupling으로 입력신호가 변형되지 않고, 출력될 수 있도록 입력을 설계해 준다. 본 회로에서는 offset전압(V<sub>a</sub>)을 typical값인 4.6V로 하였으며, base-emitter간의 전압차(V<sub>BE</sub>)를 0.65V로 가정하면 V<sub>b</sub>전압은 3.95V가 된다. 그러므로 V<sub>c</sub>전압은 R<sub>3</sub>/R<sub>2</sub>+R<sub>3</sub> · (V<sub>b</sub>-V<sub>D1</sub>)+V<sub>D1</sub>이 되어 1.06V를 나타낸다. 이와같이 DC level을 낮추는 것은 Q<sub>2</sub>의 입력신호를 작게함으로써 Q<sub>2</sub>의 collector 동작범위를 크게 하기 위한 것이다.

Q<sub>2</sub>의 collector에서 위상이 바뀐 신호는 Q<sub>3</sub>, Q<sub>4</sub>로 구성된 전력증폭 회로를 통해 역합성 비디오 신호를 출력하게 된다.

여기서 I<sub>1</sub>=(V<sub>b</sub>-V<sub>c</sub>)/R<sub>2</sub>이며, V<sub>a</sub>=V<sub>cc</sub>-I<sub>1</sub> · R<sub>3</sub>가 되어 결국 offset전압인 V<sub>a</sub>의 변화에 따라 V<sub>b</sub> 및 V<sub>c</sub>, V<sub>a</sub>, I<sub>1</sub>값이 모두 변화하게 된다.

그러므로 인버터 출력측 DC전압은 V<sub>a</sub>-2V<sub>BE</sub>가 된다. 그림 3은 동기분리 회로를 나타낸다.

동기분리는 저역필터를 거친 역 video 신호를 AC coupling하고, 동기 신호가 침두에 오도록 clamping하므로 동기를 분리해 낸다.

동기출력 pin 6은 low-comparator의 positive 입력과 직접 연결되나, 정전류로 출력되므로 pin 6의 외부에 연결되는 필터값에 따라 위상 변환을 할 수 있으며, 고주파 잡음을 제거할 수 있다. 이 방법은 일반적으로 지연되어 나오는 F. B. T펄스와 SYNC. signal이 일치되게 하기 위해 R, C필터를 부가해 주는 것이다. 또한 수평동기 신호의 지연을 위해 R, C필터를 구성해 주면 시간이 긴 수직동기 기간에는 비교기 입력 pin 6에 과

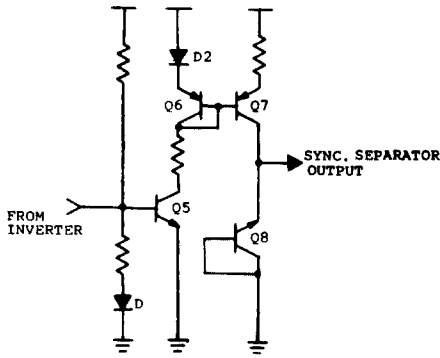


그림 3. 동기분리 회로  
Fig. 3. SYNC. separator circuit.

전압이 발생할 수 있으므로, pin 6에 비교전압보다 약간 높은 제너 다이오드를 부가해서 과전압 입력이 비교기 동작에 영향을 미쳐 생기는 오동작을 하지 않도록 한다.

그림 4는 비교기 회로를 나타낸다.

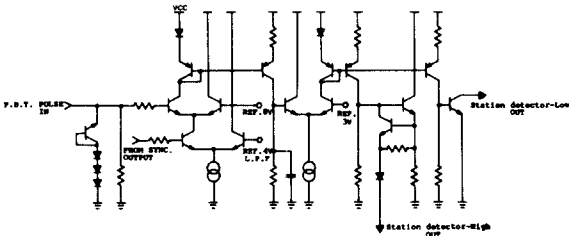


그림 4. 비교기 회로  
Fig. 4. Comparator circuit.

Low-comparator는 station time시 SYNC. 신호를 구형파로 변형하고, 낮은 레벨의 동기잡음을 걸러내어 잡음 margin을 높이기 위한 회로이다. 그림5는 random noise를 시간에 대한 전압축으로 나타낸 것이다.

즉, 삼각과 형태의 비동기 random noise는 기준 전압을 보통의 동기잡음 크기보다 약간 높게 설정하면 전체시간에 대한 noise time은 상대적으로 감소하는 것을 알 수 있다. High-comparator는 그림11의(c)와 같이 입력되는 F.B.T펄스에 대해 F.B.T펄스 비교출력 기간이 동기신호기간 정도가 될 수 있도록 비교전압을 설정(=6μsec), 동기신호를 샘플링 할 수 있는 샘플링 펄스를 만든다.

그림 6은 비교기 출력신호 다이어그램을 나타낸다.

여기서 (a)는 동기시의 low-comparator 출력파형을 (b)는 비동기시의 noise signal에 대한 low-comparator

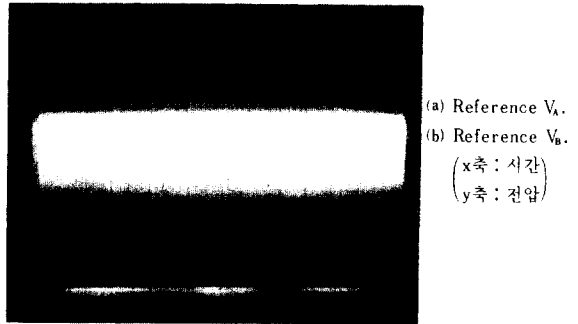


그림 5. 비동기시 랜덤 잡음신호  
Fig. 5. Non-synchronous random noise signal.

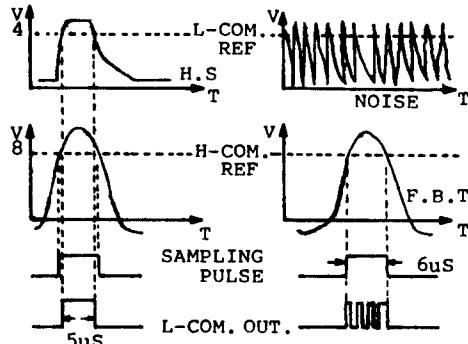


그림 6. 비교기 출력신호 다이어그램  
Fig. 6. Comparator output signal diagram.

출력 파형도를 나타낸 것이다. 이때 high-comparator에 의한 샘플링 펄스는 그림 6과 같이 동기신호기간 4.5μsec를 전후한 약 6μsec의 펄스로 구성되고, 이와 같은 입력에 대한 두 출력상태를 비교하면 동기시의 출력 에너지가 큼을 알 수 있다.

저역필터는 외부의 R, C필터 회로로 구성되며, 정전류 드라이브의 총 전류를 적분하여 전압상태로 나타내게 한다. 즉, 샘플링 기간인 63.5μsec기간중 약 6μsec는 R, C필터에 전류를 charge하고, 그후 약 57.5μsec 동안은 R을 통해 방전하게 된다.

따라서 어느 순간에는 6μsec동안 충전하는 전류량과 57.5μsec 동안 방전하는 전류량이 같아져서 일정한 전압을 유지한다. 즉, 동기시에는 6μsec 샘플링 기간동안 약 5μsec정도 충전을 하고, 비동기시에는 최대 충전시간이 일반적으로 3.5μsec를 넘지 못하므로, 두 상태에 따른 L. P. F전압 레벨은 충분한 차이가 나타나게 된다. 또한 L. P. F비교기는 L. P. F에 나타난 두상태의 중간위치에 비교전압을 가하여, 상태변화가 high, low로 됨에 따라 최종 open collector로

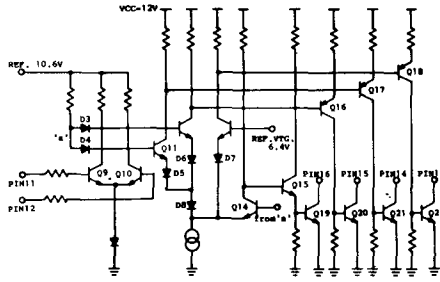


그림 7. 2×4 디코더-로우형 회로  
Fig. 7. 2×4 decoder-low type circuit.

station detector 출력이 나온다.

그림 7은 2×4 decoder-low type 회로를 나타낸다.

입력 pin 11, pin 12가 모두 low상태이면, transistor  $Q_9, Q_{10}$ 이 off상태가 되어  $Q_{9c}, Q_{10c}$  및  $Q_{14B}$ 에 high전압( $V_{cc}$ )이 걸린다. 그런데  $Q_{11}, Q_{12}$ 에 의한  $Q_{14E}$ 의 전압은  $V_{cc}-2V_{BE}$ 가 되고,  $Q_{13}$ 의 베이스 전압은 제너다이오드, 저항 및 다이오드에 의해 기준 바이어스(=6.4V)가 걸린다. 따라서  $Q_{13B}$ 에 의한  $Q_{14E}$ 의 전압은  $6.4V-V_{BE}$ 가 되고,  $Q_{14B}$ 에 의한  $Q_{14E}$ 의 전압은  $V_{cc}-V_{BE}$ 가 되어 결국 transistor  $Q_{11}, Q_{12}, Q_{13}$ 은 off상태가 되고,  $Q_{14}$ 만 ON상태가 된다. 즉,  $Q_{13}$ 은 ON상태가 되고,  $Q_{16}, Q_{17}, Q_{18}$ 은 off상태가 된다.

위와 동일한 해석방법으로 입력상태에 따른 decoder 출력 상태를 나타내면 표 1과 같다.

표 1. 디코더-로우 핀 상태  
Table 1. Decoder-low pin state.

PIN11	PIN12	PIN13	PIN14	PIN15	PIN16
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

그림 8은 2×4 decoder-high type 회로를 나타낸다.

Decoder-high type은 decoder-low와 회로의 기본 동작은 동일하다. 단지 decoder-low는 출력단을 inverter로 하여 상태가 바뀌게 되고, decoder-high는 emitter follower로 전상태가 그대로 유지된다.

표 2는 decoder-high state를 나타낸 것이다.

III. 측정 및 결과

설계, 제작된 IC는 그림 9와 같다.

바이폴라 표준공정을 이용한 full-custom IC로 제작

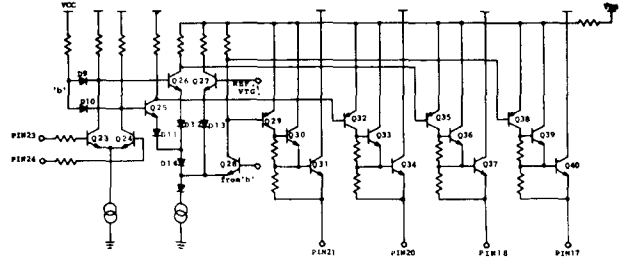


그림 8. 2×4 디코더-하이형 회로  
Fig. 8. 2×4 decoder-high type circuit.

표 2. 디코더-하이 핀 상태  
Table 2. Decoder-high pin state

PIN24	PIN23	PIN17	PIN18	PIN20	PIN21
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

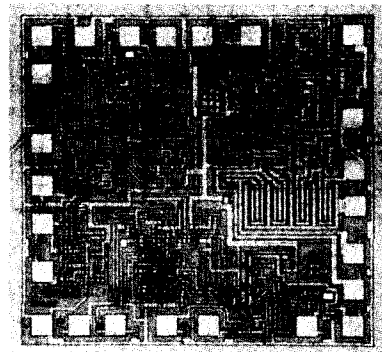


그림 9. 제작된 IC  
Fig. 9. Fabricated IC.

하였으며, IC의 동작상태를 측정하기 위해서 그림10과 같은 test circuit을 구성하고, station time시와 non-station time시의 특성과형을 측정한 결과를 각각 그림 11, 그림12에 나타내었다. 여기서 그림11은 station time시 (a) pin 9의 video신호에 의해 (b) pin 6에 동기 신호가 나오고 이에 대해 (c) pin 5에 F. B. T펄스가 입력되므로 (d) pin 4의 L. P. F전압이 3.9V가 된다.

그림12는 non-station time일때로 (a) pin 9 video noise에 의해 (b) pin 6에 SYNC. noise가 나타나고 (c) pin 5에 F. B. T펄스가 입력되어 샘플링하지만 noise가 low-comparator reference voltage이하로 대부분 나타나므로 (d) pin 4의 L. P. F전압은 0.1V가 된다. 또

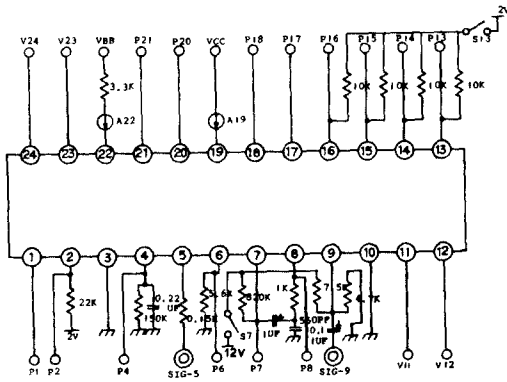
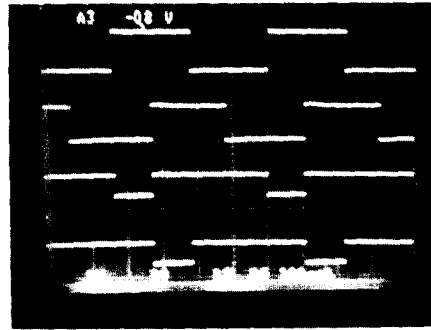
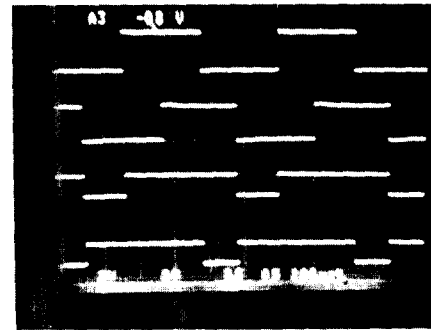


그림10. 테스트 회로.  
Fig. 10. Test circuit.

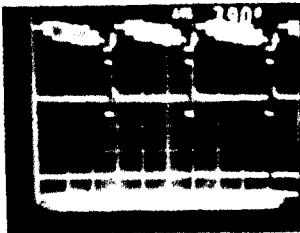


(pin 11)  
(pin 12)  
(pin 14)  
(pin 13)



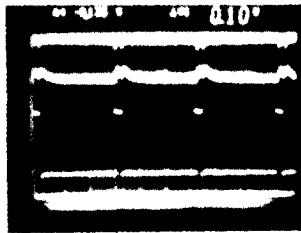
(pin 11)  
(pin 12)  
(pin 16)  
(pin 15)

(a) low type .



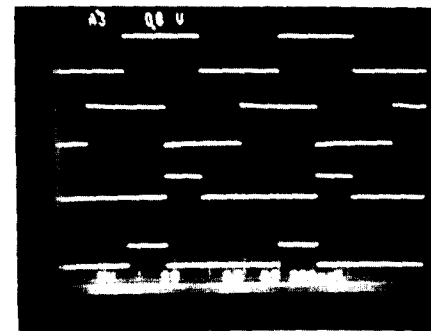
(a) C. video signal (pin9)  
(b) SYNC. signal (pin6)  
(c) F. B. T pulse (pin5)  
(d) L. P. F voltage (pin4 : 3.9V)

그림11. 방송시 신호 다이어그램  
Fig. 11. Station time signal diagram.

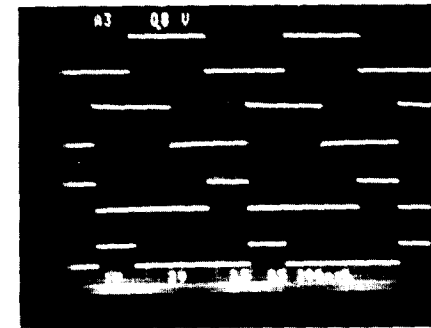


(a) C. video noise (pin9)  
(b) SYNC. noise (pin6)  
(c) F. B. T pulse (pin5)  
(d) L. P. F voltage (pin4 : 0.1V)

그림12. 무방송시 신호 다이어그램  
Fig. 12. Non-station time signal diagram.



(pin 23)  
(pin 24)  
(pin 17)  
(pin 18)



(pin 23)  
(pin 24)  
(pin 21)  
(pin 20)

(b) high type .

그림13. 디코더-하이, 로우 출력특성  
Fig. 13. Decoder-high, low output characteristics.

한 decoder-low, decoder-high의 출력특성은 앞에서 언급한 표 1, 표 2와 같고, 측정 결과는 그림13에 나타내었다.

이상의 결과에서 알 수 있듯이, 최종 출력인 station detector출력은 방송시, 즉 composite video 신호와 F. B. T신호가 모두 입력될 때는 S. D출력은 low 상태가 되어 채널선풍이 이루어지나, 무방송시 즉 composite video 신호 또는 F. B. T신호중 어느 한 신호라도

빠졌을 경우는 S. D출력은 high(=8.5V) 상태가 되어 채널선국이 이루어지지 않는다.

또한 decoder-high는 입력상태에 따른 출력상태가 정해져 튜너의 band selector 작용을 하게 되며, decoder-low는 현재 PWB-selector 블록에는 실제 사용되지 않으나, 기능 추가시 user가 쉽게 응용할 수 있도록 하였다. 또한 본 IC를 실제 TV시스템에 적용하여 측정된 결과, 채널당 speed는 기존의 R, C충방전 방식에서는 350msec이나 DTAC(digital tuning analog component) 사용시에는 190msec로 약 1.8배가 향상되었으며, 전 채널 scanning시 error rate는 3.5%에서 0.5%로 감소하여 정확한 채널선택을 할 수 있었다.

#### IV. 결 론

Digital tuning analog component IC를 설계, 제작하였다. Test circuit을 구성하고, 설계 제작된 IC를 측정된 결과 양호한 회로특성으로 원하는 기능을 잘 수행함을 알 수 있었으며, packaging하여 실제 TV 시스템에 응용해 본 결과 시스템이 잘 동작함을 알 수

있었다. 본 연구를 성공적으로 수행함으로써 다음과 같은 잇점을 얻을 수 있다.

첫째: power-selector블록의 PCB면적이 1/2로 감소하고, 둘째: set-maker의 원가절감 및 cost down 효과가 증대되며, 셋째: power-selector단을 2칩화함으로써, simple하고 smart한 제품제조가 가능하며, 넷째: 경쟁력있는 IC의 자체개발로 수출증대효과 및 기술력을 과시할 수 있다. 또한 향후 축적된 기술을 이용하여 high-technology가 요구되는 새로운 경쟁력있는 IC의 개발에 응용할 수 있을 것으로 기대한다.

#### 참 考 文 献

- [1] Bernard Grob, "Basic Television Principles and Servicing," McGraw-Hill Inc. 1975.
- [2] VI84-029, "SST Technical Report".
- [3] VI84-041, "SST Technical Report".
- [4] VI85-017, "SST Technical Report".
- [5] VI85-019, "SST Technical Report".
- [6] VI85-072, "SST Technical Report".