

인 도핑 다결정 실리콘 산화막의 전기적 특성에 관한 연구

(A Study on the Electrical Characteristics of Oxide Grown from Phosphorus-Doped Polysilicon)

尹 亨 燮*, 姜 相 元*, 朴 晨 鐘*

(Hyung Sup Yoon, Sang Won Kang and Sin Chong Park)

要 約

본 연구에서는 ramped I-V 측정을 통하여 증착온도가 다른 인 도핑 다결정 실리콘 산화막의 전기전도특성과 절연파괴특성을 조사하였다. 그 결과 560°C에서 증착한 인 도핑 다결정 실리콘의 산화막이 625°C에서 얻은 인 도핑 다결정 실리콘의 산화막보다 높은 파괴전장(6.8MV/cm)과 낮은 누설전류를 갖고 있음을 알 수 있었다. 또한 인 도핑 다결정 실리콘 산화막의 I-V 특성 곡선에 Fowler-Nordheim tunneling 기구를 적용한 결과, 560°C 박막은 0.76eV, 625°C 박막은 0.64eV의 유효에너지 장벽높이(ϕ_B)를 갖는 것으로 나타났다.

Abstract

In this work the electrical conduction and breakdown properties of thermal oxides grown on phosphorus-doped polysilicon have been investigated by using ramped I-V measurements. The oxide films, grown from phosphorus-doped polysilicon deposited at 560°C, have higher breakdown field (6.8MV/cm) and lower leakage current than those deposited at 625°C. Also the effective energy barrier height (ϕ_B) calculated from the Fowler-Nordheim curve of polyoxide was 0.76eV for 560°C deposited film and 0.64eV for 625°C deposited film.

I. 서 론

다결정 실리콘 산화막은 E²PROM, DRAM 그리고 CCD^{1,2} 등의 silicon MOS 소자에서 층간의 절연물로서 널리 사용되고 있다. 이 다결정 실리콘 산화막은 다결정 실리콘의 표면에 있는 asperity나 protuberance 등으로 인해 다결정 실리콘과 산화막의 계면이 거칠어지고, 외부에서 일정한 전압을 인가하였을 때 계면

부근의 asperity에서는 국부적 전장증가(localized field enhancement) 현상이 발생하여 평탄한 계면특성(smoothness of silicon-oxide interface)을 갖는 단결정 산화막보다 누설전류(Fowler-Nordheim tunneling current)가 많이 흐르는 것으로 보고되었다.^{3,4} 결국, 다결정 실리콘 산화막의 전기적 특성은 다결정 실리콘과 산화막의 계면 상태에 의해 결정되는 것으로 밝혀졌고, 이러한 계면상태를 개선시키려는 많은 연구가 있었다. 다결정 실리콘과 산화막의 계면상태(surface roughness of polysilicon-polyoxide interface)에 영향을 주는 공정 변수로는 다결정 실리콘의 증착온도, 도핑조건, 열처리 조건, 산화온도 및 분위기등이 있는 것으로 보고되었다.⁵⁻⁶⁾

*正會員, 韓國電子通信研究所

(Electronics and Telecommunications Research Institute)

接受日字: 1986年 8月 30日

최근들어 반도체 소자의 크기가 감소함에 따라 다결정 실리콘 박막과 그 산화막의 두께가 얇아지는 추세이므로 절연물질인 산화막(SiO₂)의 중요성이 증대하고 있다. 더우기 E²PROM 이나 DRAM 소자는 전도층간의 용량성 결함문제를 개선하기 위해 얇은 산화막을 사용하므로 낮은 누설전류와 높은 파괴전압을 갖는 산화막이 요구되고 있다.

본 연구에서는 증착온도를 달리하여 얻은 인도핑 다결정 실리콘 박막을 산화시킨 후 double polysilicon 구조의 캐패시터를 제작하여, 다결정 실리콘 산화막의 전기적 특성을 조사하였다. 아울러 도핑하기 전의 pre-annealing이 산화막의 전기적 특성에 미치는 효과도 관찰하였다.

II. 실험

1. 시험소자 제작

본 연구에서 수행한 주요 공정순서는 그림1과 같다.

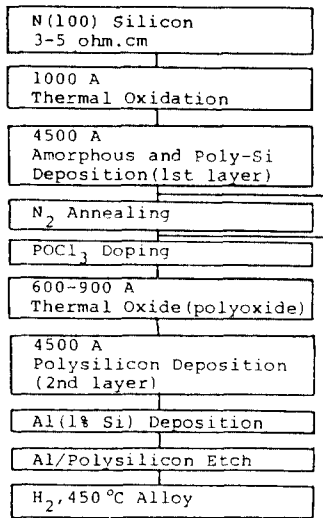


그림 1. 시험소자의 제작 공정순서도
Fig. 1. Process sequence of the test pattern fabrication.

본 연구에서 사용한 반도체 기판은 결정방향이 (100)이고 비저항이 3-5 ohm·cm인 N형 실리콘 웨이퍼이고 표준세척공정을 거친 후 TCE(Trichloroethylene:0.63 vol%)와 dry O₂로 1000°C에서 두께 1000Å의 산화막을 성장시켰다. 여기에서 산화막 1000Å은 하층 다결정 실리콘과 N형 실리콘 기판 사이를 격리하기 위한 것이다. 성장한 산화막의 일부를 HF로 식각하고, 560°C와 625°C의 LPCVD 반응로에서 100% silane 기체를

열분해하여 각각 4500Å 두께로 실리콘 박막을 증착하였다. 이 때 증착한 각 실리콘 박막을 X-선 회절 방법으로 분석한 결과에 의하면 그림 2에서 알 수 있듯이 560°C에서 증착한 실리콘 박막은 X-선 회절 신호의 peak가 없는 상태를 보이는데, 이것은 증착된 실리콘 박막의 결정구조가 비정질 상태로 되어있음을 의미한다. 반면에 625°C에서 증착한 실리콘 박막은 결정면 (110), (111), (311)에 대한 세개의 peak를 갖는 다결정 상태의 박막임을 알 수 있었다.¹⁷⁻¹⁸ 여기서 사용한 silane 기체의 유량은 50 SCCM이었다. 증착한 560°C와 625°C의 실리콘 박막중에서 일부는 바로 1000°C에서 POCl₃로 도핑하였고, 나머지 박막은 1000°C에서 N₂로 preannealing한 후 POCl₃ 도핑하였다.

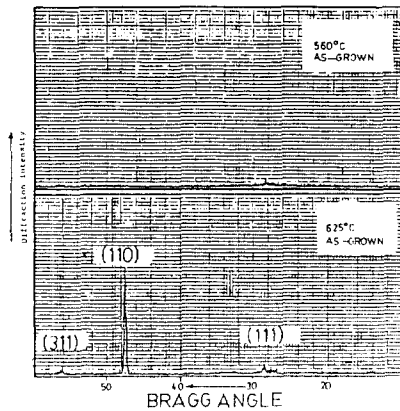


그림 2. 560°C, 625°C 증착 박막에 대한 X-선 회절
Fig. 2. X-ray diffraction intensity vs. diffraction angle for 560°C and 625°C deposited films.

인(phosphorus)을 도핑한 다결정 실리콘의 산화막은 TCE(0.63vol.%)와 dry O₂로 1000°C의 반응로에서 성장시켰다. 다결정 실리콘 산화막을 식각시킨 후 625°C의 LPCVD 반응로에서 4500Å 두께의 다결정 실리콘 박막을 증착하고, 1000°C에서 POCl₃로 도핑하였다. 다음에 Al(1% Si)을 sputter로 증착하고 gate전극을 형성하기 위해 PR mask를 정의한 후, Al/polysilicon 순서로 식각하여 360×360μm²의 gate전극을 완성시키고, 460°C의 H₂ 분위기에서 30분간 alloy하였다. 최종 완성된 시험소자는 그림 3과 같이 double polysilicon 구조로 된 캐패시터이며, 하층 다결정 실리콘의 일부와 직접 연결된 N형 반도체 기판을 소자의 backside contact으로 사용하였다.

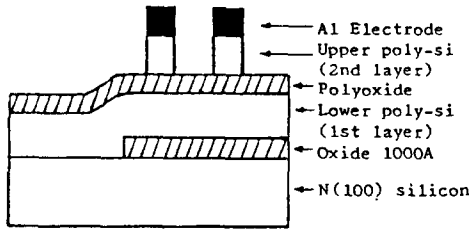


그림 3. 제작한 캐패시터의 단면
Fig. 3. Cross section of the fabricated capacitor.

2. 측정

다결정 실리콘 산화막의 두께는 1MHz C-meter 로 최종 완성된 캐패시터의 용량(capacitance)을 측정하여 구하였다. 다결정 실리콘 산화막의 전류특성과 파괴 전압특성은 semiconductor parameter analyzer (HP 4145A)를 사용하여 측정하였고, 산화막의 파괴 전압은 한 웨이퍼에서 30개 이상의 캐패시터를 측정하여 구하였다.

Ⅲ. 결과 및 고찰

1. 다결정 실리콘 산화막의 I-V 특성

본 연구에서는 층간의 절연물질(SiO_2)이 다결정 실리콘 산화막으로 구성된 double polysilicon 구조의 캐패시터를 제작하여, 각 캐패시터에서 ramped 전압에 따른 전류의 변화를 측정함으로써 다결정 실리콘 산화막의 전기전도특성을 조사하였다.

그림 4는 560°C와 625°C에서 증착한 실리콘 박막을 각각 POCl_3 로 도핑한 후 TCE와 dry O_2 의 1000°C 분위기에서 성장한 다결정 실리콘 산화막의 I-V 특성 곡선을 나타낸 것으로, double polysilicon 구조로 된 캐패시터의 상층 전극에 양(+)의 ramped 전압을 인가한 결과이다.

낮은 인가 전압에서는 전류가 거의 일정하게 흐르는 영역이 나타나는데, 이것은 캐패시터의 변위전류(displacement current)로서 전압상승률(voltage ramp rate: v/sec)과 용량(capacitance)의 곱으로 표시되는 값이다. 반면에 고전압에서는 인가된 전압에 따라 전류가 증가하는 누설전류영역이 나타나며, 이 영역의 누설전류를 Fowler-Nordheim tunneling 전류라고도 한다.

그림 4의 I-V 특성 곡선에서 알 수 있듯이 다결정 실리콘 산화막의 전기전도 특성은 산화막의 I-V 특성 곡선에서 누설전류가 흐르기 시작하는 점(즉, leakage field)을 결정하여 평가할 수 있다.

본 연구의 560°C 박막(amorphous state)에서 성장

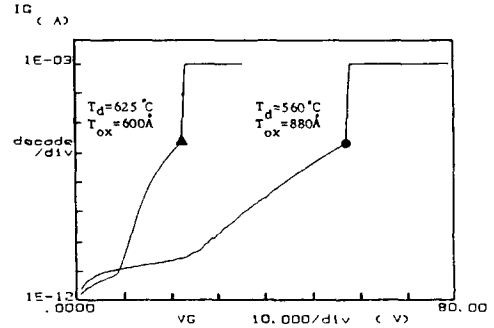


그림 4. 560°C와 625°C에서 증착한 인 도핑 다결정 실리콘 산화막의 I-V 특성 절연 파괴점(● : 57.5V, 1.04 μA ; ▲ : 22.5V, 1.17 μA)
Fig. 4. I-V characteristics of oxides grown on P-doped polysilicon deposited at 560°C and 625°C (as-grown). Breakdown point (● : 57.5V, 1.04 μA ; ▲ : 22.5V, 1.17 μA).

한 산화막의 누설전류전장(leakage field)는 2.8MV/cm이나 625°C 박막(polycrystalline state)의 산화막은 1.5MV/cm의 누설전류전장을 갖고 있다. 즉, 동일한 전장에서 산화막의 누설전류특성을 비교하였을 때 560°C 박막에서 성장한 산화막이 625°C 박막에서 얻은 산화막보다 더 낮은 누설전류특성을 갖는다. 이러한 결과는 실리콘 박막의 결정학적 구조(crystallographic structure)가 산화막의 전기적 특성에 중요한 영향을 미치고 있음을 의미한다. G. Harbeke와 M. T. Duffy^{5,9} 등은 초기에 비정질 상태로 증착한 실리콘박막(amorphous silicon)이 다결정 상태의 실리콘(polycrystalline silicon)보다 더 균일한 표면특성(smooth surface)을 갖는다고 보고하였다.

한편 DiMaria, R. M. Anderson, 그리고 E. A. Irene^{13, 14, 16} 등은 다결정 실리콘과 산화막의 계면에서 asperity 또는 protuberance 등을 직접 관찰함으로써 다결정 실리콘 산화막에서 많은 전류가 흐르는 것을 다결정 실리콘 표면에 존재하는 asperity에서 생기는 국부적 전장증가(localized field enhancement) 현상으로 해석하였다. 결국, 비정질 상태의 박막(560°C)에서 성장한 산화막이 개선된 누설전류특성을 갖는 것은 다결정 실리콘과 산화막의 계면특성이 균일해져 asperity에서 발생하는 국부적 전장증가(localized field enhancement) 현상이 감소하였기 때문인 것으로 해석할 수 있다.

그림 5는 560°C와 625°C에서 증착한 실리콘 박막을 도핑하기 전에 1000°C의 N_2 분위기에서 preannealing 한 후 도핑하여 성장한 산화막의 I-V 특성 곡선을

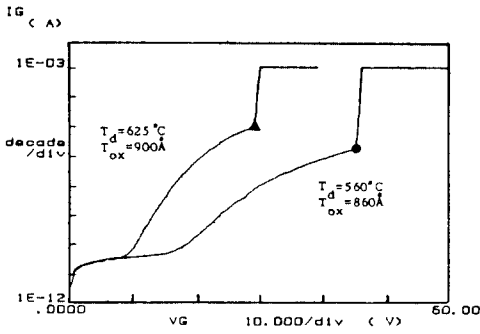


그림 5. 도핑하기 전에 preannealing 한 인 도핑 다결정 실리콘 산화막의 I-V 특성, 절연 파괴점 (● : 45.5V, 0.78μA; ▲ : 29.7V, 5.35μA).
 Fig. 5. I-V characteristics of oxides grown on P-doped polysilicon deposited at 560°C and 625°C (preannealing before POCl₃ doping). Breakdown point (● : 45.5V, 0.78 μA; ▲ : 29.7V, 5.35μA).

나타낸 것으로, 560°C 박막에 성장한 산화막의 누설전류 전장은 2.1MV/cm 이나 625°C 박막의 산화막은 1.2 MV/cm 누설전류전장을 갖고 있다. 그림 4와 비교할 때 누설전류전장이 약간 저하된 결과를 보이는데, 이것은 N₂ annealing하는 동안에 grain growth가 일어나 다결정 실리콘 표면이 거칠어졌기 때문인 것으로 볼 수 있다.¹⁰

그림 6은 캐패시터의 상층 전극에서 인가한 전압의 극성에 따른 다결정 실리콘 산화막의 I-V 특성 곡선을 나타낸 것으로 음(-)의 극성일 때 보다 양(+)의 극성에서 더 많은 누설전류가 흐르는데 이것은 산

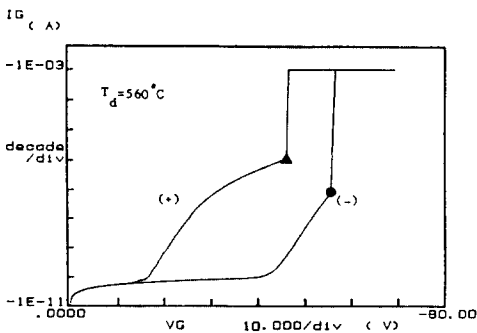


그림 6. 상층 전극의 극성에 따른 다결정 실리콘 산화막의 I-V 특성, 절연 파괴점 (● : 56.0V, 0.08μA; ▲ : 46.6V, 0.98μA).
 Fig. 6. I-V characteristics of polysilicon oxide for applied voltage polarity of upper electrode. Breakdown point (● : 56.0V, 0.08μA; ▲ : 46.6V, 0.98μA).

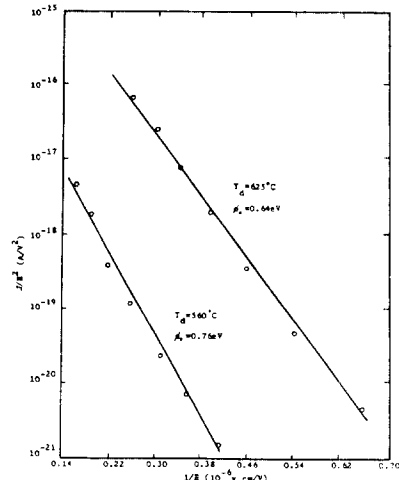


그림 7. 560°C, 625°C 에서 증착한 인 도핑 다결정 실리콘 산화막에 대한 Fowler-Nordheim 특성
 Fig. 7. Fowler-Nordheim characteristics for oxides grown on P-doped polysilicon deposited at 560°C and 625°C (as-grown).

화공정 이력 때문에 하층 다결정 실리콘과 산화막의 계면상태가 상층 다결정 실리콘과 산화막의 계면보다 거칠어졌기 때문인 것으로 해석된다.^{11, 12}

그림 7은 인 도핑 다결정 실리콘 산화막의 I-V 특성 곡선에서 누설전류가 흐르는 영역에 다음과 같은 Fowler-Nordheim tunneling 기구를 적용한 것으로, 전류밀도 J¹³는

$$J = \frac{q^3 E}{8\pi h \phi_{ox} m_{ox}^*} \cdot E^2 \exp\left(-\frac{4(2m_{ox}^*)^{1/2} \phi_b^2}{3\hbar q} \frac{1}{E}\right)$$

으로 표시된다. 여기에서

E : 인가한 전장 (V/cm)

q : 전자의 전하량 (C)

m_{ox}* : 산화막 내에서 전자의 실효질량 (m_{ox}* = 0.5m)

φ_b : polysilicon-polyoxide 계면의 energy barrier height (eV)

h : planck 상수

$$\hbar = \frac{h}{2\pi}$$

그림 7의 기울기에 위 식을 적용하면 다결정 실리콘과 산화막 간의 실효에너지 장벽높이 (effective energy barrier height)를 구할 수 있다. 본 연구에서 구한 560°C 박막의 에너지 장벽높이(φ_b)는 0.76eV이고, 625°C 박막에서는 0.64eV이었다. 즉 이러한 에너지 장벽높이의 차이가 생기는 것은 하층 다결정 실리콘과 산화막의 계면상태 (electron-injecting electrode)와 관련 되었다고 생각되고, 여기서 560°C 박막의 실효 에너지

장벽높이(ϕ_b)가 큰 값을 갖는 것은 다결정 실리콘의 표면상태가 개선되었기 때문인 것으로 볼 수 있다.¹⁴

2. 다결정 실리콘 산화막의 파괴전압 특성

그림 8은 560°C와 625°C에서 성장된 인 도핑 다결정 실리콘 산화막에 대한 파괴전장의 빈도를 표시한 것으로, 560°C 박막의 산화막이 6.8MV/cm의 평균 파괴전장을 갖는 반면에 625°C 박막의 산화막은 4.0MV/cm의 값을 갖고 있음을 알 수 있다. 여기에서 초기에 비정질 상태(560°C)로 증착한 실리콘 박막의 산화막이 다결정 상태(625°C)의 박막에서 보다 더 높은 파괴전

장을 보이는데 이것은 560°C에서 증착한 실리콘 박막의 표면상태(surface roughness)가 개선되어 다결정 실리콘과 산화막의 계면에서 생기는 국부적 전장 증가 현상이 감소되었기 때문인 것으로 볼 수 있다.^{13, 5, 9, 15.}

그림 9는 도핑하기 전에 preannealing한 경우로서 그림 8에서 보다 약간 저하된 파괴전장 특성을 보이는데 이것은 N₂ annealing할 때 생기는 grain growth로 인해 다결정 실리콘의 표면이 거칠어진 것에 기인

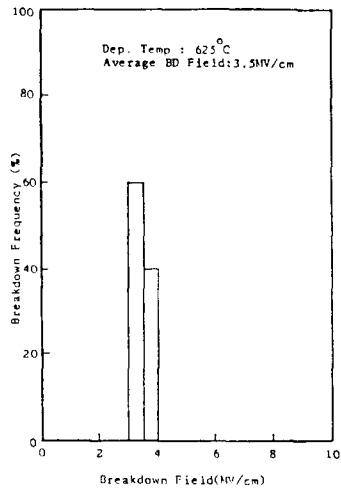
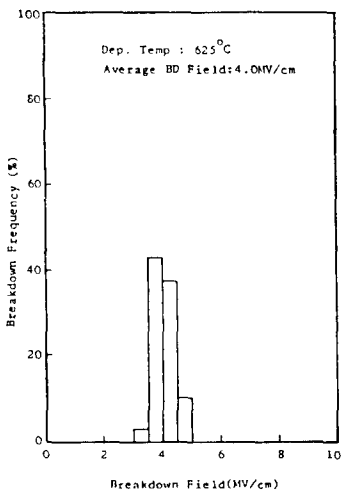
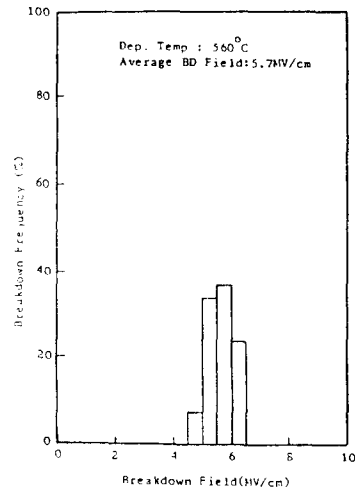
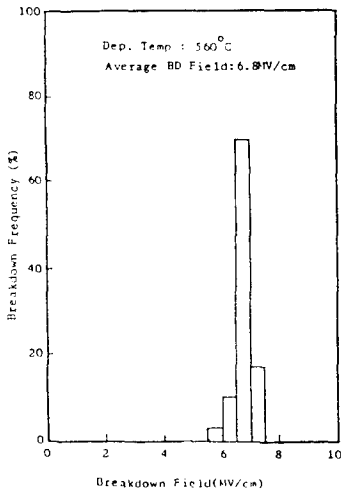


그림 8. 560°C, 625°C에서 증착한 인 도핑 다결정 실리콘 산화막에 대한 파괴 전장의 빈도
 Fig. 8. Histogram of breakdown field for oxides grown on P-doped polysilicon deposited at 560°C and 625°C (as-grown).

그림 9. 도핑하기 전에 preannealing 한 인 도핑 다결정 실리콘 산화막에 대한 파괴 전장의 빈도
 Fig. 9. Histogram of breakdown field for oxides grown on P-doped polysilicon deposited at 560°C and 625°C (preannealing before POCl₃ doping).

하는 것으로 설명할 수 있다!¹⁰ 여기서 간단한 preannealing만으로는 polyoxide의 quality를 개선시킬 수 없음을 알 수 있다.

IV. 결 론

본 연구에서는 증착온도가 다른 인 도핑 다결정 실리콘 산화막의 전기적 특성을 조사하였고, 그 결과를 요약하면 다음과 같다.

(1) 560°C와 625°C에서 증착한 인 도핑 다결정 실리콘 산화막의 전기적 특성을 조사한 결과, 560°C 박막의 산화막이 625°C 박막의 산화막보다 더 높은 파괴전장(6.8MV/cm)과 더 낮은 누설전류를 갖고 있음을 알 수 있었고, 이것은 다결정 실리콘과 산화막의 계면상태가 개선된 것에 기인하는 것으로 해석되어진다. 따라서 E²PROM 등의 소자에서 하충전극은 초기에 비정질 상태로 증착하는 것이 바람직한 것으로 여겨진다.

(2) 다결정 실리콘 산화막의 고전압 영역에 Fowler-Nordheim tunneling 기구를 적용한 결과, 560°C 박막은 0.76eV, 625°C 박막은 0.64eV의 실효 에너지 장벽 높이를 갖는 것으로 나타나 560°C 박막의 표면 상태가 개선되었음을 알 수 있었다.

참 고 문 헌

[1] Hisakazu Iizuka, Fujio Masuka, Tai Sato, and Mistuaki Isikawa, "Electrically alterable avalanche-injection type MOS read only memory with stacked gate structure," *IEEE Trans. on Electron Devices*, vol. ED-23, pp. 379-387, Apr. 1976.

[2] Hideo Sunami, Mitsumasa Koyamagi, and Norikazu Hashimoto, "Intermediate oxide formation in double-polysilicon gate MOS structure," *J. Electrochem. Soc.*, vol. 127, pp. 2499-2505, Nov. 1980.

[3] R.M. Anderson and D.R. Kerr, "Evidence for surface asperity mechanism of conductivity in oxide grown on polycrystalline silicon," *J. Appl. phys.*, vol. 48, pp. 4834-4836, Nov. 1977.

[4] D.J. DiMaria and D.R. Kerr, "Interface effects and high conductivity in oxides grown from polycrystalline silicon," *Appl. Phys.Lett.*, vol. 27, pp. 505-507, Nov. 1975.

[5] M.T. Duffy, J.T. McGinn, J.M. Shaw, R.T. Smith, R.A. Soltis, and G. Harbeke, "LPCVD polycrystalline silicon: growth and physical properties of diffusion-doped,

ion-implanted, and undoped films," *RCA Rev.*, vol. 44, pp. 313-325, June 1983.

- [6] M.Berberian, *The Physics of MOS Insulators*, pergamon, 1980.
- [7] 윤형섭, 박신중, "LPCVD법으로 제작한 비정질 실리콘과 다결정 실리콘의 구조 및 전기적 특성," 대한전자공학회 학술대회 논문집, vol. 8, no. 1, pp. 42-45 (1985. 6).
- [8] Hyung Sup Yoon, Chul Soon Park, and Sin-Chong Park, "Structure and electrical resistivity of low pressure chemical vapor deposition silicon," *J. Vac. Sci. Technol.*, A, Nov.-Dec. 1986 (to be published).
- [9] G.Harbeke, L.Krausbauer, E.F. Steigmeier, A.G. Widmer, H.F. Fappert, and G. Neugebauer, "High quality polysilicon by amorphous low pressure chemical vapor deposition," *Appl. Phys. Lett.*, vol. 42, pp. 247-251, Feb. 1983.
- [10] E.A. Iren, E.Tierney, and D.W. Dong, "Silicon oxidation studies: morphological aspects of the oxidation of polycrystalline silicon," *J. Electrochem. Soc.*, vol. 127, pp. 705-713, Mar. 1980.
- [11] K.C. Saraswat and H.Singth, "Thermal oxidation of heavily phosphorus-doped thin films of polycrystalline silicon," *J. Electrochem. Soc.*, vol. 129, pp. 2321-2326, Nov. 1982.
- [12] E.J. Korma, J.Snijder, and J.F. Verwey, "SiO₂ layers on polycrystalline silicon," in *Insulating Films on Semiconductors* (editors: J.F. Verwey and D.R. Wolters), North-Holland, 1983.
- [13] M.Lenzlinger and E.H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO₂," *J. Appl. Phys.*, vol. 4, pp. 278-283, Jan. 1969.
- [14] K.Shinada, S.Moria and Y.Mikata, "Reduction in polysilicon oxide leakage current by annealing prior to oxidation," *J. Electrochem. Soc.*, vol. 132, pp. 2185-2188, Sept. 1985.
- [15] M.Sternheim, E.Kinsbron, J.Alspector, and P.A. Heiman, "Properties of thermal oxides grown on phosphorus in-situ doped polysilicon," *J. Electrochem. Soc.*, vol. 130, pp. 1735-1739, Aug. 1983. *