

# 아나로그와 양립하는 I<sup>2</sup>L의 제작

## (The Fabrication of Analog Compatible I<sup>2</sup>L)

蔡相勳\*, 具用書\*, 具珍根\*, 李振孝\*

(Sang Hoon Choi, Yong Seo Koo, Jin Gun Koo and Jin Hyo Lee)

### 要 約

10 $\mu$ m 두께의 에피층(epitaxial layer)을 가진 표준 아나로그소자와 디지털회로용 I<sup>2</sup>L을 하나의 칩에 제작하기 위하여, I<sup>2</sup>L 부분의 매몰층(buried layer)내로 이미 이온주입된 비소(arsenic)이외에 확산 계수가 빠른 인(phosphorus)을 한층 더 넣었다. 이 방법을 사용하여 몇가지 공정 조건을 변화시켜가며 소자를 제작하여, 만들어진 소자의 특성 변화를 조사하였다. 그 결과 가장 양호한 특성을 가진 I<sup>2</sup>L트랜지스터는 상향 전류 이득이 6~10일 때 얻어졌으며 이때, 최소 전달 지연시간은 16~18ns로 나타났다.

### Abstract

To fabricate digital I<sup>2</sup>L devices which are compatible with analog devices in a chip, phosphorus is implanted in the buried layer of I<sup>2</sup>L part which has already been diffused with arsenic impurity. Experimental results show that the minimum propagation delay time of I<sup>2</sup>L ring oscillator is 16-18 ns when the upward current gain of I<sup>2</sup>L transistor is 6-10.

### I. 序 論

I<sup>2</sup>L(Integrated Injection Logic)은 디지털 회로 기술로서 1971년에 발표된 이래,<sup>1,2</sup> 미래의 VLSI 논리 회로로 각광을 받으며 많은 연구가 진행되고 있다.<sup>3</sup> I<sup>2</sup>L은 집적도가 TTL의 10배 정도되고 전력 소모는 현존 논리 회로 가운데서 가장 적으며, 공정이 SBC(Standard Buried Collector) 공정과 거의 비슷하므로 아나로그 회로와 동일한 칩 상에 집적할 수 있는 장점을 가지고 있다. 그 외에 I<sup>2</sup>L은 MOS기술에 비해 전류 특성, 신뢰도 및 방사선에 대한 면역 특성에서도 장점을 가지고 있다. 그러나 I<sup>2</sup>L을 사용하여 아

나로그/디지털 회로를 구성할 때 근본적으로 아나로그 소자의 항복 전압과 I<sup>2</sup>L 소자의 성능 사이에는 문제점<sup>4</sup>이 따른다. 이를 해결하기 위하여 공정상에서 변화를 주는 방법이 몇가지 발표되었다. 즉, I<sup>2</sup>L의 전류 이득을 높이는 방법으로 super- $\beta$  공정<sup>4</sup>과 I<sup>2</sup>L의 활성(active) 베이스 영역의 베이스 확산을 별도로 행하여 베이스의 불순물 농도를 낮게 하는 방법<sup>5</sup>이 개발되었다. 그러나 위의 방법들은 낮게 도핑(doping)된 두꺼운 에피층 때문에 I<sup>2</sup>L의 동특성이 개선되지 않는다. 이러한 이유로 인해 공정이 간단하면서 높은 파괴 전압을 갖는 아나로그 회로와 고성능의 디지털 I<sup>2</sup>L 회로를 동일한 칩 상에 실현하기 위한 새로운 제조 기술의 개발이 필요하게 되었다.

본 연구에서는 아나로그 회로와 양립하는 I<sup>2</sup>L 회로를 제조하는 방법으로 에피층을 성장시키기 전에 I<sup>2</sup>L 부분에만 인을 이온 주입하는 방법을 사용하여, I<sup>2</sup>L NPN 트랜지스터의  $\beta_{up}$ 를 증가시켜 소자의 전달 지연

\*正會員, 韓國電子通信研究所  
(Electronics and Telecommunications Research Institute)

接受日字: 1985年 7月 1日

시간 및 소비 전류를 줄임으로써 소자의 특성을 향상시키는 실험을 수행하였다. 또한, 소자의 특성에 영향을 줄 수 있는 몇가지 공정 조건을 변화시켜가면서 아나로그 트랜지스터  $\beta_{down}$ 의 변화에 따른 I<sup>2</sup>L 트랜지스터  $\beta_{up}$ 의 변화를 관찰함으로써  $\beta_{down}$ 에 대한  $\beta_{up}$ 의 관계를 추정하였으며, 나아가서 비교적 조정이 용이한 아나로그 트랜지스터의  $\beta_{down}$ 을 조정함으로써 I<sup>2</sup>L 트랜지스터 부분의 가장 중요한 요소인  $\beta_{up}$ 을 손쉽게 적정치로 일치시키는 방법을 제시하였다.

II. 이중 매물층에 의한 I<sup>2</sup>L

아나로그 소자와 I<sup>2</sup>L 소자를 같은 칩에 만들기 위해 SBC공정을 그대로 사용할 때는 아나로그 소자의 파괴 전압을 적정 수준으로 유지하기 위해서 베이스와 매물층 사이에 불순물 농도가 낮은 에피층을 수  $\mu\text{m}$  정도 남겨둔다. 그러나 이 두꺼운 에피층으로 인해 I<sup>2</sup>L에서는 역방향으로 동작하는 NPN 트랜지스터의 에미터 효율(emitter efficiency)이 낮아지고 이 부분에서 축적되는 정공(hole)의 양이 증가하여 정 특성 및 동특성이 모두 나빠지는 결점이 있다. 이 문제를 개선하기 위해 아나로그/I<sup>2</sup>L 양립회로를 제작할 때, I<sup>2</sup>L 부분의 매물층에만 확산 계수가 큰 인을 넣어준다면 전 공정이 끝났을 때는 비소보다 빠른 인이 NPN 트랜지스터의 베이스 부분까지 확산되면서 I<sup>2</sup>L의 특성이 상당히 개선될 수 있을 것이다. 그림 1은 전 공정이 끝났을 때 매물층에 인을 넣어준 아나로그 양립 I<sup>2</sup>L의 단면도이며 그림 2는 그림 1에서 A, B선에 따른 불순물 농도 분포를 나타낸 것이다.<sup>18)</sup>

1. 정(static) 특성

I<sup>2</sup>L 구조에서는 NPN 트랜지스터가 역방향으로 동작하므로 매물층이 에미터 구실을 하게된다. 이 때, 베이스와 매물층 사이에 두껍고 농도가 낮은 에피층이 남아있으면 이로 인해 I<sup>2</sup>L의 동작을 판가름하는 중요한 요소인  $\beta_{up}$  값이 매우 낮아진다. 한편, I<sup>2</sup>L은 회

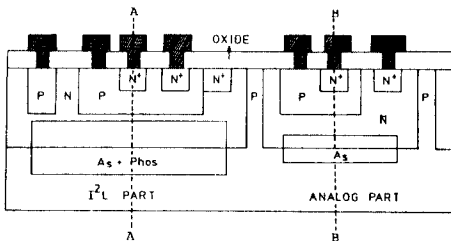


그림 1. 아나로그와 양립하는 I<sup>2</sup>L 소자의 단면도  
Fig. 1. Cross sectional view of analog compatible I<sup>2</sup>L device.

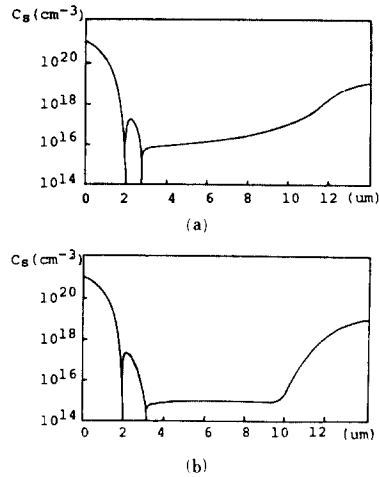


그림 2. (a) 아나로그 트랜지스터 및 (b) I<sup>2</sup>L 트랜지스터의 불순물 농도 분포

Fig. 2. Impurity concentration of (a) analog transistor and (b) I<sup>2</sup>L transistor.

로의 특성상  $\beta_{up,eff}$ (I<sup>2</sup>L에서 injector 접지시의 상향 전류 이득)가 1 이상이어야 하므로 실제  $\beta_{up}$ 은 이보다 더 높은 값을 가져야한다. 일반적으로 NPN 트랜지스터의 베이스 접지 전류 이득,  $\alpha$ 는

$$\alpha = M \cdot \alpha_T \cdot \gamma \tag{1}$$

(단: M은 collector multiplication factor,  $\alpha_T$ 는 base transport factor,  $\gamma$ 는 emitter efficiency)

로 주어진다.<sup>17)</sup> 그리고 NPN 트랜지스터의  $\alpha$  값에 가장 큰 영향을 주는 것은  $\gamma$ 이며

$$\gamma = \frac{1}{1 + \frac{G_B}{G_E}} \tag{2}$$

로 표시된다(여기서  $G_B$ 는 베이스 Gummel number로서

$$G_B = \int_{base} \left( \frac{N_{ab}}{D_{nb}} \right) dx$$

(단:  $N_{ab}$ 는 베이스 acceptor 농도

$D_{nb}$ 는 베이스내의 전자확산 계수)

이며  $G_E$ 는 에미터 Gummel number로서

$$G_E = \int_{emitter} \left( \frac{N_{de}}{D_{pe}} \right) dx$$

(단:  $N_{de}$ 는 에미터 donor 농도

$D_{pe}$ 는 에미터 내의 정공 확산계수)

이다. I<sup>2</sup>L의 경우는 NPN 트랜지스터가 역방향(upward)으로 동작하는 형태이므로 베이스 접지 상향 전류 이득을  $\alpha_{up}$ 이라 두면 I<sup>2</sup>L에서 에미터 역할을 하는 매물층에 인을 주입시킨 경우가 그렇지않은 경우보다 그림 2에서 보는 바와같이  $N_{de}$ 가 증가하고  $N_{ab}$

는 낮아져서 G<sub>E</sub>가 증가하고 G<sub>B</sub>는 감소하므로  $\gamma$ 가 커짐을 알 수 있다. 따라서 I<sup>2</sup>L에서 매물층에 인을 주입시키면  $\alpha_{UP}$ 이 증가하므로 에미터 접지 상황 전류 이득,  $\beta_{UP}$ 도 증가한다는 것을 예상할 수 있다.

2. 동(dynamic)특성

I<sup>2</sup>L의 동특성을 나타내는 주입 전류에 대한 전달 지연 시간의 관계는 그림 3에서와 같이 저 전류 영역과 고 전류 영역으로 구분된다. 일반적으로 저 전류 영역에서의 전달 지연 시간, T<sub>d</sub>는 접합 용량(junction capacitance) 및 선간 용량(wiring capacitance)에 의해 결정되며, T<sub>d</sub>는 이 용량 성분이 충, 방전하기에 필요한 시간에 비례한다. 따라서 주입 전류가 증가할수록 전하 이동이 빨리 일어나서 충, 방전 시간이 단축되므로 T<sub>d</sub>는 감소하게 된다. 이를 수식으로 표시하면

$$T_d \approx \frac{(C_j + C_w) \cdot \Delta V}{I}, \quad P \cdot T_d \approx (C_j + C_w) \cdot V \cdot \Delta V$$

(단:  $\Delta V$ 는 logic swing, I는 gate당 전류, V는 input voltage, P·T<sub>d</sub>는 power-delay product)

로 주어진다.

또한, 고 전류 영역에서는 트랜지스터 내에 축적된 소수 반송자(minority carrier)들의 영향이 접합 용량이나 선간 용량에 의한 영향보다 크게 나타난다. 이 영역에서는 전류가 증가함에 따라 소수 반송자의 축적이 적절적으로 증가하므로 T<sub>d</sub>는 더 이상 감소하지 않고 일정하게 되며, 주입 전류가 이보다 더 커질 경우 전류 증가에 따른 f<sub>T</sub>의 감소와 베이스, 컬렉터 직렬 저항에 의한 효과가 나타나므로 T<sub>d</sub>는 오히려 커지는 경향을 나타낸다. 한편, I<sup>2</sup>L 구조에서 소자의 전기적 특성을 결정짓는, 최소 전달 지연 시간(T<sub>dmin</sub>)에 영향을 미치는 가장 중요한 요소로는 에미터 시정수(time constant),  $\tau_e$ 를 들 수 있다. 그리고 이  $\tau_e$ 를 결정하는 가장 큰 요인으로는 에피층에서의 정공 축적으로서 이는 에피층 두께에 비례하고 에피층의 농도에 반비례하는 것으로 알려져 있다.<sup>[6]</sup> 그러므로 매물층에 인을 주입하면 I<sup>2</sup>L 부분의 베이스, 에미터 접합면 근처의 에피층 불순물 농도가 그림 2에서와 같이 상대적으로 높아져서 이 부분에서 축적되는 정공의 양이 감소하므로 에미터의 시정수가 감소하게 되어 I<sup>2</sup>L의 속도 특성이 개선된다.

III. I<sup>2</sup>L 제작

아나로그 소자와 I<sup>2</sup>L 소자를 같은 칩에 만들기 위한 실험을 그림 4의 순으로 행하였다.

1. 매물층 공정

비저항이 8~15Ω·cm인 P형, <111> 웨이퍼를 사용하

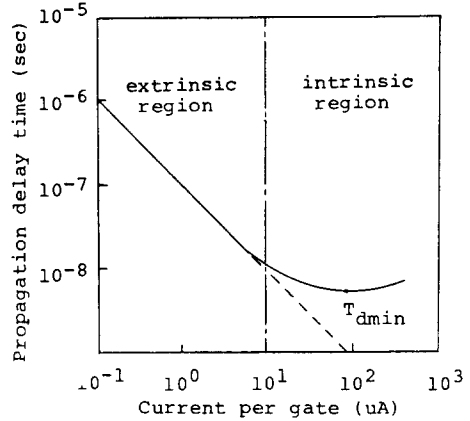


그림 3. I<sup>2</sup>L 트랜지스터의 동특성  
Fig. 3. Dynamic characteristic of I<sup>2</sup>L transistor.

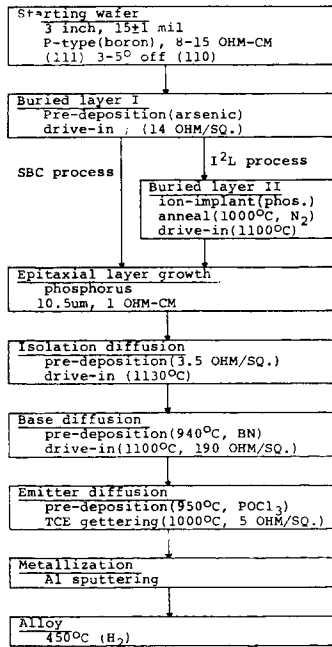


그림 4. 아나로그와 양립하는 I<sup>2</sup>L의 공정 순서도  
Fig. 4. Fabrication flow chart of analog compatible I<sup>2</sup>L.

여 아나로그 및 I<sup>2</sup>L 소자 부분에 비소를 4.2μm의 깊이로 확산시킨 후, I<sup>2</sup>L 부분에만 이온 주입기를 사용하여 50keV의 에너지로 인을 주입시켰다. 이 과정에서 불순물(dose) 양에 따른 소자의 특성 변화를 관찰하기 위해 이온 주입량을 2 × 10<sup>14</sup>, 4 × 10<sup>14</sup>, 6 × 10<sup>14</sup> atoms/cm<sup>2</sup>으로 구분하여 주입시켰다.

2. 에피층 성장 공정

매물층 확산 공정이 끝난 후 웨이퍼 표면에  $BV_{CEO}$  가 20볼트 이상되기 위한 두께  $10.5\mu m$ , 비저항  $1\Omega\cdot cm$  인 인이 도핑된 N<sup>-</sup>형 에피층을 성장시켰다.

3. 베이스 확산 공정

BN 웨이퍼를 사용하여  $940^{\circ}C$ , 수소/산소 분위기에서 베이스를 확산시켰으며 공정이 끝났을 때의 아나로그 부분에서 측정된 면저항 값이  $200\Omega/\square$  가 되도록 조정하였으며, 접합 깊이는  $2.8\mu m$  정도 되게 하였다.

4. 에미터 확산 공정

아나로그 소자에서는 에미터가 되고 I<sup>2</sup>L에서는 콜렉터가 되는 N<sup>+</sup>층 확산을 위하여  $950^{\circ}C$ 에서  $POCl_3$ 를 사용하여 초기 확산(predeposition)시켰다. 그리고 마지막 공정 단계로서 에미터 확산을 위한 열처리(drive-in)를 행하였으며 이 과정에서 산화막 내의  $Na^+$ 등과 같은 유동 전하에 의한 누설 전류를 줄이고 산화막의 질을 높이기 위하여  $1000^{\circ}C$ , 산소/TCE (Tri-Chloro Ethylene) 분위기에서 게터링(gettering)도 함께 해주었다. 한편, 이 과정에서도 공정 시간

변화에 따른 I<sup>2</sup>L 부분의  $\beta_{UP}$  크기 변화를 관찰하기 위해 열처리 시간을 바꾸어 가며 실험을 진행하였다.

IV. 측정 결과 및 분석

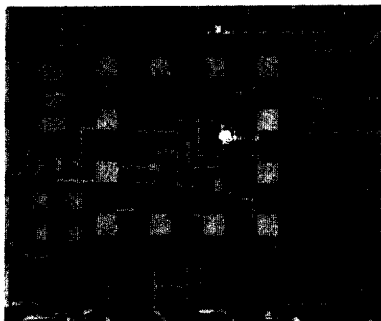
공정 조건을 변화시켜가며 제조한 소자들을 각 콧트별로 측정하여 중요한 값들만 표 1에 나타내었다. 여기서  $\beta_{UP}$ 은 I<sup>2</sup>L의 NPN 트랜지스터에서 측정된 상향 전류 이득이고  $T_{amin}$ 은 I<sup>2</sup>L로 구성된 5단 링 발진기(ring oscillator)에서 측정된 최소 전달 지연 시간이다. 그런데 이 값들은 I<sup>2</sup>L의 특성을 결정짓는 중요한 요소이며 이 들을 적당히 조정하는 것이 아나로그/디지털 혼합 회로의 성능을 좌우하는 열쇠가 된다.

이 표에서 볼 수 있는 바와같이  $\beta_{UP}$  및  $T_{amin}$ 은 매물층에 주입된 인의 양과 에미터 열처리 시간에 의해 민감하게 변화한다. 이것을 단계별로 나누어 분석해 보면 다음과 같다.

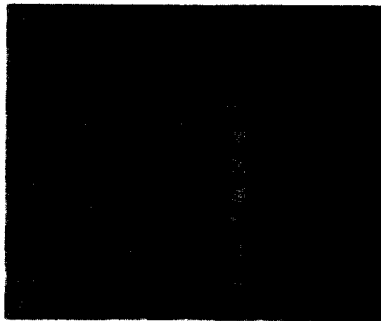
표 1. I<sup>2</sup>L 부분의 전기적 특성

Table 1. Electrical characteristics of I<sup>2</sup>L part.

I <sup>2</sup> L dose (cm <sup>-2</sup> )	Wafer No.	Flow condition			D.C. parameter $\beta_{UP}$	A.C. parameter (Ring Oscillator)		
		EMITT. TIME (min)	BASE (2) TIME (min)	$R_{SUB}$ ( $\Omega/\square$ )		$T_{amin}$ (ns)	2.5MHz $I_{n(A)}$	
$2 \times 10^{14}$	A-1	40	35	211.3	6.08	21.39	161.3	
	$4 \times 10^{14}$	B-1	20	35	205.6	3.11	24.35	243.8
		C-1	30	35	209.1	6.7	19.46	148.2
		D-1	30	33	198	6.56	19.05	149.3
		A-2	40	35	205.7	7.61	17.8	141.6
$6 \times 10^{14}$	B-2	20	35	204.6	4.40	19.67	180.5	
	E-1	20	35	208	4.0	21.89	182	
	C-2	25	35	200.1	3.2	28.96	260.9	
		35	35	209.1	7.8	16.5	140	
	A-3	40	35	210.8	11.7	13.34	122.3	



(a)



(b)

그림 5. 제작된 시험 소자의 칩 사진 (a) 아나로그 및 (b) I<sup>2</sup>L 부분

Fig. 5. Microphotograph of fabricated test pattern chip. (a) Analog and (b) I<sup>2</sup>L part.

1. 인 주입에 의한 영향

표 1에서 볼 수 있는 바와같이 동일한 에미터 열처리 조건에서 매물층에 주입된 인의 양이 증가할수록 I<sup>2</sup>L 구조의 NPN 트랜지스터에서 측정된  $\beta_{UP}$  값이 증가한다는 것을 알 수 있다. 또한, 매물층이 베이스 영역으로 확산될 경우, 베이스 폭,  $W_B$ 가 감소함에 따라 베이스 내에서의 전하 재결합(recombination)에 의한 베이스 전류도 감소하므로 전류 이득은 더욱더 커지게 된다. 그러나  $\beta_{UP}$ 을 증가시키기

위해 불순물의 양을 지나치게 많이 주입시키면 매물층 내의 격자 결함(defect)이 상대적으로 많아지고 완성된 소자의 BV<sub>CRO</sub>가 감소하므로 여러 특성면에서 만족할 만한 소자를 얻기 위해서는 매물층에 주입되는 불순물의 양을 적절히 조정하는 것이 필요 하다.

인의 양이 많아질수록 같은 크기의 주입 전류에서 측정된 평균 전달 지연 시간이 짧아짐을 알 수 있다. 이것은 주입되는 불순물의 양이 많아지면 매물층의 불순물이 베이스 영역 쪽으로 더 많이 확산되어 에피층의 농도가 높아지므로 이 부분에서 축적되는 정공의 양이 줄어들어 전하의 이동이 빨라짐에 따라 나타나는 현상이라 볼 수 있다.

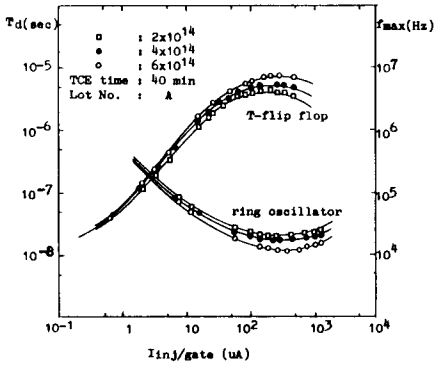


그림 6. 게이트 주입 전류에 대한 평균 전달 지연 시간  
Fig. 6. Average propagation delay time per gate vs injection current per gate.

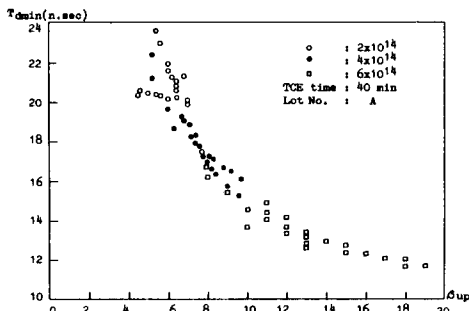


그림 7. 상향 전류 이득에 대한 최소 전달 지연 시간의 관계  
Fig. 7. Minimum propagation delay time vs upward current gain.

2. 에미터 열처리 시간에 의한 영향

I<sup>2</sup>L 소자는 공정 도중 에미터 열처리 시간에 따라 서로 그 특성이 크게 변한다. 그림 8은 에미터 열처

리 시간의 변화에 따른 I<sup>2</sup>L 소자의  $\beta_{UP}$  및 T<sub>amin</sub>의 변화를 나타낸 것으로써, 공정 시간이 길어지면  $\beta_{UP}$ 은 증가하고 T<sub>amin</sub>은 감소한다는 것을 알 수 있다. 이것은 에미터 열처리 과정에서 공정 시간이 길어질수록 확산 계수가 큰 인의 확산 거리가 확산 계수가 작은 붕소(boron)의 확산 거리보다 크기 때문에 베이스 폭, W<sub>B</sub>가 상대적으로 좁아지므로 베이스 영역에서 전하 재결합에 의한 베이스 전류 성분이 줄어들고 I<sup>2</sup>L의 콜렉터 쪽으로 유입되는 전하의 양이 증가하므로 I<sup>2</sup>L 트랜지스터의 콜렉터 전류가 증가하여  $\beta_{UP}$ 이 커지게 된다. 이와 동시에 열처리 시간이 길어질수록 매물층으로 부터 에피층으로의 불순물 확산도 더욱 크게 일어나서 I<sup>2</sup>L에서 에미터 역할을 하는 에피층의 농도가 높아지고 베이스 영역의 농도는 오히려 낮아지므로 에미터 효율이 증가하여  $\beta_{UP}$ 은 더 크게 증가하게 된다.

한편, 위에서 서술된 원인으로 인하여 에피층에서 축적되는 정공의 양과 베이스 층에서 축적되는 전자의 양, 즉 소수 반송자의 양이 줄어들기 때문에 I<sup>2</sup>L 트랜지스터의 동특성을 결정짓는 T<sub>amin</sub> 역시 감소하게 된다. 그러나 에미터 열처리 시간이 지나치게 길어지면 베이스 폭이 좁아져서 BV<sub>CRO</sub>가 낮아지므로 트랜지스터가 일정한 전압 하에서 동작할 때 단락(short) 현상이 일어날 가능성이 커진다. 그러므로 좋은 특성을 가진 I<sup>2</sup>L을 얻기 위해서는 에미터 열처리 시간의 적당한 조절도 소자의 특성을 좌우하는 큰 역할을 한다는 것을 알 수 있었다.

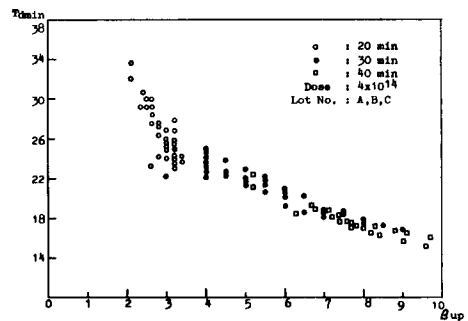


그림 8. 에미터 열처리 시간 변화에 따른 상향 전류 이득과 최소 전달 지연 시간과의 관계  
Fig. 8. Minimum propagation delay time vs upward current gain of I<sup>2</sup>L under the variation of emitter drive-in time.

본 실험에서는 일반 아나로그 트랜지스터와 I<sup>2</sup>L 구조를 가진 링 발진기를 동일한 칩으로 만들어 측정해 본 결과 아나로그 트랜지스터의 BV<sub>CRO</sub>를 약 20볼트

로 유지하면서 양호한 특성을 갖는 I<sup>2</sup>L 트랜지스터의  $\beta_{up}$  값은 6~10 정도의 범위에 있다는 것을 알 수 있었다. 이 조건에서 만들어진 링 발진기에서 측정된 I<sup>2</sup>L 트랜지스터의  $T_{amin}$  값은 16~18nsec였다.

여기서 일반적인 SBC(Standard Bipolar Collector) 공정이 아닌 PSA(Polysilicon Self-Alined) 기술을 이용하여 소자를 제작할 경우, 베이스 측면 전류 성분 감소 및 비활성 베이스 영역에서의 축적되는 전하량 감소 등에 의해, 보다 향상된  $\beta_{up}$  값과 1ns이하의 좋은 스위칭 특성이 얻어질 것으로 기대된다.

V. 아나로그 트랜지스터의  $\beta_{down}$ 과 I<sup>2</sup>L 트랜지스터의  $\beta_{up}$ 과의 관계

본 실험에서 공정 조건을 변화시켜가며 제조된 모든 칩을 측정하여 아나로그 트랜지스터의  $\beta_{down}$ 과 I<sup>2</sup>L 트랜지스터의  $\beta_{up}$ 과의 관계를 하나의 그래프 상에 나타낸 결과 중요한 사실들을 발견할 수 있었다. 그림 9는 이것을 나타낸 그래프이며 아나로그 부분의  $\beta_{down}$ 이 증가함에 따라 I<sup>2</sup>L의  $\beta_{up}$ 도 증가한다는 것을 보여준다. 동일한 매물층 이온 주입량에 대하여 에미터 열처리 시간을 20~40분 사이에서 변화시키면 아나로그 트랜지스터의  $\beta_{down}$ 이 50~300 사이에서 변할 때 I<sup>2</sup>L 트랜지스터의  $\beta_{up}$ 은 2~20 사이에서 거의 직선적인 비례 관계를 유지하면서 변한다는 것을 알 수 있다. 그런데 그림 9는 반 로그(semi-log) 그래프이므로 아나로그  $\beta_{down}$ 에 대해 I<sup>2</sup>L의  $\beta_{up}$ 은 거의 지수 함수에 가까운 관계를 가지고 있다는 것을 알 수 있다. 이것은 열처리 시간 변화에 따라 아나로그 트랜지스터 부분에서는 에미터 영역의 불순물 확산만이 베이스 폭의 크기에 영향을 미치나 I<sup>2</sup>L 트

랜지스터 부분에서는 콜렉터(아나로그의 에미터)영역 뿐만 아니라 에미터(매물층) 영역의 불순물 확산이 동시에 베이스 폭의 크기에 영향을 미쳐서 아나로그에 비해 I<sup>2</sup>L 부분의 베이스 폭 감소가 훨씬 더 커서 일어나는 현상이라 생각된다.

한편 이 그래프로 부터 유추해낸 중요한 사실로서, 아나로그 양립 I<sup>2</sup>L 회로에서 조정이 비교적 용이한 아나로그 부분의 특성 값을 공정 조건을 바꾸어가며 적당한 값에 일치시키면, 조정하기 어려운 I<sup>2</sup>L 부분의 특성 값을 비교적 용이하게 원하는 값에 맞출 수 있다는 것을 알 수 있었다.

본 실험에서는 아나로그 트랜지스터의  $\beta_{down}$  값을 180~250으로 조정함으로써 I<sup>2</sup>L 트랜지스터의  $\beta_{up}$  값을 6~10에 일치시켰으며 그 결과 특성이 좋은 I<sup>2</sup>L이 내장된 칩을 얻을 수 있었다.

VI. 結 論

기존의 아나로그 집적 회로 제조 공정을 거의 바꾸지 않고 아나로그 양립 I<sup>2</sup>L 소자를 만들 목적으로, 에피층을 성장시키기 전에 I<sup>2</sup>L 부분의 매물층에 비소이외에 인을 이온 주입 방법으로 한층 더 넣었다. 이 방법을 사용하여 일반적인 아나로그 회로와 I<sup>2</sup>L을 사용한 디지털 회로를 같은 칩 상에 만들어 본 결과 I<sup>2</sup>L의 특성은 매물층에 이온 주입되는 인의 양 및 에미터 열처리 공정 시간에 따라 크게 달라짐을 알 수 있었다.

제조된 소자로 측정해본 결과 가장 양호한 특성을 갖는 소자는 I<sup>2</sup>L NPN 트랜지스터의  $\beta_{up}$ 이 6~10이었을 때 얻어졌으며 이때, 게이트당 최소 전달 지연 시간은 16~18n·sec였다.

한편, 모든 측정 결과를 종합해봄으로써 공정 과정에서 아나로그 부분의  $\beta_{down}$ 을 적당한 값으로 조정하면 I<sup>2</sup>L 부분에서 가장 중요한 인자인  $\beta_{up}$ 을 원하는 값에 일치시킬 수 있다는 것을 알 수 있었다.

參 考 文 獻

[1] S.K. Wiedmann and H.H. Berger, *Small-Size Low-Power Bipolar Memory Cell*, ISSC DIGEST TECH. PAPERS, pp. 18-19, 1971.  
 [2] C.M. Hart and A. Slob, *Integrated Injection Logic*, Philips Technical Review, March 1973.  
 [3] Leif Halbo, "Integrated Injection Logic a review of its status and pro," *Micro*

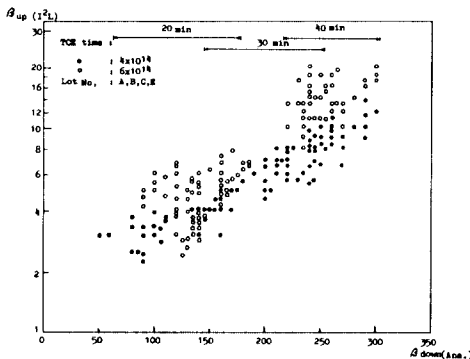


그림 9. 아나로그 하향 전류 이득과 I<sup>2</sup>L 상향 전류 이득의 관계

Fig. 9. Upward current gain of a I<sup>2</sup>L vs downward current gain of an analog transistor.

- Electronics Joun.* vol. 13, no. 2, pp. 5-11, 1982.
- [4] G. Bergmann, "Linear Compatible I<sup>2</sup>L Technology with High Voltage Transistor," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 566-572, Oct. 1977.
- [5] L. Blossfeld, *I<sup>2</sup>L und Standard Bipolartechnik Kombiniert: Ein neuer Prozess für digitale und analoge Schaltungen auf einem chip*, *Elektronik*, Heft 4, pp. 57-60, 1977.
- [6] Horst H. Berger, "The Injection Model-A Structure-Oriented Model for Merged Transistor Logic (MTL)," *IEEE J. Solid-State Circuits*, vol. SC-9, pp. 218-227, Oct. 1974.
- [7] Roy A. Colciaser, *Microelectronics processing and Device Design*, John Wiley & Sons, Inc, pp.185-192, 1980.
- [8] Noboru Horie, Seiki Harada, Takahiro Okabe, "Process and Device Technologies of Bipolar Analog/Digital LSIs," *Hitachi Review*, vol. 30 no. 4, 1981.
-