

스탠다드 셀의 자동 배치 시스템에 관한 연구

(A Study on the Automatic Placement System for Standard Cell)

姜 佶 淳*, 慶 宗 旻**, 朴 松 培**

(Gil Soon Kang, Chong Min Kyung and Song Bai Park)

要 約

본 논문은 초기 배치와 반복적인 배치 개선과 string배치의 연속적인 세단계로 구성된 standard cell 배치에 관한 연구이다. 초기 배치 단계에서는 배치될 셀들을 일렬로 늘어 놓은 후, 그 셀 row를 균일한 길이의 여러 row로 2 차원 평면에 배치한다. 반복적인 배치 개선에서는 총 배선 길이를 감소시키도록 셀들을 pairwise interchange 시킨다. 그리고, string 배치에서는 채널 밀도와 수직제한 그래프상에서 사이클의 갯수와 총배선 길이를 줄이도록, 각각의 row에서 셀들과 터미널들을 재배열한다. 본 배치 프로그램은 PASCAL로 VAX-11/750에 실현 되었으며, 여러가지 예제에 대한 simulation결과를 보였다.

Abstract

This paper describes a standard cell placement strategy which consists of three consecutive steps; initial placement, iterative placement improvement, and string placement. In the initial placement step, cell placement was done by solving the linear ordering problem for a one-dimensional layout of standard cells and then zigzagging the resultant linear order with in the chip plane. The iterative placement improvement step is based on the iterative pairwise interchange using the estimated total routing length as a figure-of-merit. The string placement is used to reorder cells and terminals in each standard cell row such that channel routing in the adjacent channels is not blocked by cyclic constraints and needs fewer routing tracks. The placement program is coded in PASCAL and implemented on a VAX-11/750 computer. Experimental results for several examples are included.

I. 序 論

집적회로의 집적도가 급격히 증가함에 따라, 설계비용과 시간을 줄이고 정확한 설계를 얻기 위한 집적회로 설계 전반에 걸친 자동화가 활발히 연구되고 있다. 이러한 추세에 부응하여 gate array와 standard cell 등의 semicustom IC와 full custom IC 등의 분야에서도 많은 연구가 진행되고 있다. Standard cell 설계방식은 높이가 일정하고 폭만 다른 직사각형 형태

*正會員, 韓國電子通信研究所
(Electronics and Telecommunications Research Institute)

**正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Elec. Eng., Korea Advanced Institute of Science and Technology)

接受日字: 1986年 3月 29日

의 미리 설계된 cell library를 이용하여, 주어진 회로를 실현하는 것인데, 셀들을 row의 형태로 배치한 후에 셀row 사이의 채널 영역에서 배선한다.^{1,2,3,7)}

Standard cell배치의 목적은 배선영역의 최소화, 총배선 길이의 최소화, 그리고 배선의 용이함등에 있다. 이런 목적에 따라 여러가지 배치 알고리즘이 연구되어 왔으며, 그 대개의 경우 초기 배치 단계와 배치 개선 단계로 구성된다.

이 논문에서는 standard cell의 자동배치 시스템을 초기배치, 반복적인 배치개선, 그리고 string배치의 세 단계로 나누어 구성하였다. 초기 배치 단계에서는 배치될 셀들을 linear ordering에 의하여 일렬로 늘어놓은 후, 균일한 길이의 여러 row로 folding하여 2차원의 칩평면에 배치한다. 배치개선에서는 총 배선 길이를 감소시키도록 셀들의 pairwise interchange를 수행한다. 이때 총 배선 길이는 모든 net의 배선 길이의 합이며, 각 net는 Steiner tree로 모델하여 그 배선 길이를 추정한다. 초기 배치와 반복적인 배치 개선을 하고 난후에는 feed-through cell을 할당한다. 그리고, string배치에서는, 채널밀도와 수직제한 그래프(vertical constraint graph)에서 사이클의 갯수와 총 배선 길이를 줄이도록 각각의 row에서 인접한 셀들의 교환과 셀의 반전 및 교환 가능한 터미널의 교환을 수행함으로써 standard cell의 배치 작업이 완료된다.

II. 초기배치

초기 배치는 배선길이 및 배선영역의 면적이 최소가 되도록 셀들을 2차원 평면상에 배열하는 초기과정으로서 직선 배열(linear ordering)과 평면배치의 두 과정으로 구분하였다.^{1,2)}

1. 직선배열

주어진 회로는 여러개의 net로 상호 연결된 셀들의 집합이며, 직선 배열 과정에서는 연결도가 큰 셀끼리 인접되도록 모든 셀들을 일직선상에 배열한다. 이 과정에서는 모든 셀들이 IN, ACTIVE 혹은 OUT의 세 집합중의 어느하나에 속하게 된다. 집합 IN은 이미 선택되어 직선상의 배열된 셀들의 집합이며, ACTIVE는 다음에 선택될 후보 셀들의 집합이고, OUT은 그 나머지 셀들의 집합이다. 초기 상태에서 IN은 어떤 셀도 가지고 있지 않으며, 마지막 셀이 선택되고 난후에 OUT에는 어떤 셀도 남아있지 않게 된다. 집합 IN으로부터 나오는 net들을 active net이라고 할때 IN에 속하지 않은 셀들 중에서 active net에 연결된 셀들의 집합이 ACTIVE이다. 그림 1과 같이 ACTIVE에서 한 선택된 셀(selected cell)에 연결된 net는 new

net, remaining net, terminated net중에 하나이다. New net은 선택된 셀과 OUT에 있는 셀을 연결하는 net이고, remaining net은 선택된 셀과 ACTIVE에 있는 다른 셀을 연결하는 net이고, terminated net은 선택된 셀과 IN에 속하는 셀을 연결하는 net중에서 remaining net을 제외한 것이다.

다음은 직선 배열의 알고리즘이다.¹¹⁾

<직선 배열>

- 1) 주어진 회로에 대한 셀들간의 연결 정보를 읽고, 모든 셀들을 OUT에 넣는다.
- 2) OUT으로부터 다른 셀들과 연결이 가장 적은 셀 C₀를 선택한다.
- 3) 선택된 셀 (C₀나 C_A)을 IN으로 옮기고, 그 셀에 연결된 모든 셀들을 OUT으로부터 ACTIVE로 옮긴다.
- 4) 만약 ACTIVE에 셀이 없으면, go to 2). 그렇지 않으면, ACTIVE로부터 셀 C_A를 선택하고, go to 3)
- 5) OUT에 셀이 없게 될때까지 3)~4)를 반복한다.

위 알고리즘의 step4)에서, ACTIVE에 속하는 후보 셀i에 대해서 선택함수 S(i)는 다음과 같으며, S(i)를 최대로 하는 후보 셀을 선택하여 IN으로 옮긴다.

$$S(i) = k_1 \cdot \{tn(i) - nn(i)\} + k_2 \cdot tn(i) + k_3 \cdot rn(i) - k_4 \cdot con(i)$$

여기서, k₁ > k₂ > k₃ > k₄이며, tn(i)는 셀i의 terminated net의 갯수이고, nn(i)는 new net, rn(i)는 remaining net의 갯수이다. 그리고 con(i)는 셀i에 연결된 다른 셀들의 수를 나타낸다. 즉, ACTIVE셀 중에서 IN셀과의 연관성이 클수록, OUT셀과의 연관성이 작을수록 S(i) 값이 커지게 된다.

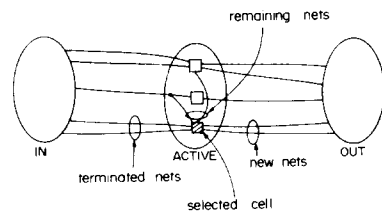


그림 1. 선택된 셀에 연결된 net들
Fig. 1. Nets connected to the selected cell.

2. 평면배치

직선 배열된 셀들은 그림 2(b)와 같이 길이가 균일한 여러 row로 접어서 2차원 칩 평면에 배치된다. 이때, 배치될 셀들의 면적과 배선 영역 면적의 합인 chip 면적을 추정하여, chip이 정방형에 유사하도록

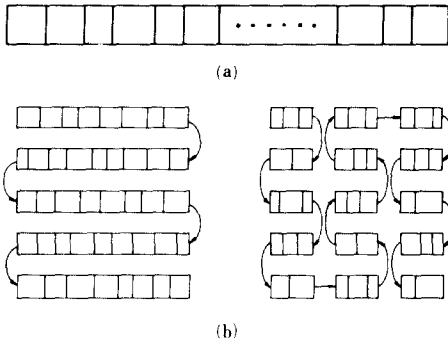


그림 2. 직선배열과 평면배치
(a) 직선배열
(b) 평면배치

Fig. 2. Linear ordering and folding.
(a) Linear ordering.
(b) Folding.

foldings할 row의 갯수를 결정한다. 일반적으로, standard cell에서 배선영역은 chip 면적의 50~70% 정도이며³, 여기서도 셀의 갯수에 비례하여 배선 영역이 chip 면적의 50~70%의 값을 갖도록 하여서 칩 면적을 구한다.

III. 반복적인 배치 개선

초기 배치가 끝난후 배치 개선을 수행한다. 배치 개선은 총 배선 길이의 최소화를 목적으로 하여 pairwise interchange 알고리즘을 이용한다.⁴⁾ Pairwise interchange는 2차원상에 배치된 어떤 2개의 셀의 위치를 서로 교환할때 새로 목적함수를 계산하여 목적함수가 개선되면 셀을 교환하고, 그렇지 않으면 원래의 위치로 환원한다. 이 과정을 다른 cell pair들에 대해서 반복한다. 여기서, 목적함수 L_p 는 근사적인 총 배선 길이로 정했으며, 각 net들의 배선 길이의 총합이다.

$$L_p = \sum_i l_i$$

여기서, l_i 는 net i 를 Steiner tree로 모델링하여 구한 배선 길이이다. 그러나, 어떤 net에 대하여 Steiner tree를 구하는 문제가 NP-complete하며,⁵⁾ standard cell의 배치에서는 한 net에 연결된 셀의 갯수가 일반적으로 많지 않으므로 (평균 2.5~3.5), 다음과 같이 단순화된 Steiner tree로 모델링하여 그 배선 길이를 구함으로써 배치 개선에 필요한 계산시간을 줄일 수 있다.

(Steiner tree length)

i) 어떤 net에 연결된 i 번째 cell의 중심점의 좌표를 (CX_i, CY_i) 라 하고, 그 net에 연결된 모든 cell의 중심점의 좌표중에서, 최소의 X, Y 좌표를 X_{min}, Y_{min} 으로, 최대의 X, Y 좌표를 X_{max}, Y_{max} 로 놓는다. 또한, 그 net의

의 모든 cell의 X, Y 좌표의 평균값을 X_{av}, Y_{av} 라고 한다.

Steiner tree length: $S1=0$.

ii) If $(X_{max}-X_{min}) \geq (Y_{max}-Y_{min})$ 인 경우 (그림 3(a))

$$S1 = X_{max} - X_{min},$$

for $i = 1$ to (last cell)

If $(CX_i$ 가 다른 모든 cell들의 X 좌표와 다를때)

$$S1 = S1 + |Y_{av} - CY_i|,$$

Else if (X 좌표가 CX_i 와 같은 cell들의 Y 좌표 중에서, CY_i 가 최대이고 $CY_i > Y_{av}$ 일때와 CY_i 가 최소이고 $CY_i < Y_{av}$ 일때)

$$S1 = S1 + |Y_{av} - CY_i|,$$

Else if $(X_{max}-X_{min}) < (Y_{max}-Y_{min})$ 인 경우 (그림 3(b)) X와 Y를 서로 바꾸어 그림 3(a)의 경우와 같은 과정을 수행한다.

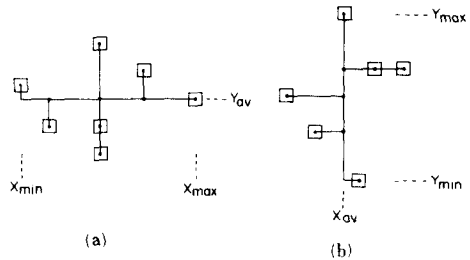


그림 3. Net의 steiner tree 모델링
Fig. 3. Steiner tree modeling of a net.

Pairwise interchange를 할 때 다른 셀들과 교환을 시도해 볼 후보셀이 선택되는 순서를 정하기 위하여 모든 셀에 대하여 그 셀에 연결된 net들의 배선 길이의 합을 선택함수 $C(i)$ 로 정의한다.

$$C(i) = \sum_j l_{ij}$$

여기서, l_{ij} 는 셀 i 에 연결된 net j 의 배선 길이를 Steiner tree로 모델링한 값이다. Pairwise interchange 과정에서는 $C(i)$ 가 최대인 후보 셀을 선택하여 교환 영역내에 있는 다른 모든 셀들과 차례로 위치의 교환을 해본후, 총 배선 길이 L_p 를 최대로 감소시키는 셀과 실제로 위치를 교환한다. 만약, 다른 셀들과의 교환에서 L_p 가 감소하지 않으면 셀 i 는 원래의 위치를 고수한다. 그다음, 아직 후보 셀로 선택되지 않았던 셀들의 선택함수와 L_p 를 새로 구하고, 그 셀들 중에서 선택함수가 최대인 것을 후보 셀로 선택하여 교환을 시도한다. 이런 과정을 교환영역에 있는 모든 셀들이 모든 셀들이 후보 셀로 선택될 때까지 반복한다.

교환영역은 일반적으로 그림 4(a)와 같이 전체 row들

을 한 영역으로 하여 모든 셀들이 서로 교환되는 경우로 정의되지만, 전체 교환 횟수를 줄이기 위하여 그림 4(b)의 방법을 제안하여, 그림 4(a) 방법과 함께 실현하였다. 그림 4(b)의 방법은 하나의 교환영역을 3row로 제한하여 수행하며, 처음 영역은 맨위에 있는 row부터 3개의 row이며, 이 영역에서 pairwise interchange가 완료되면, 두번째 row부터 아래로 3개의 row에서 수행되고, 교환영역이 마지막 row로 포함할 때까지 3 row씩 수행된다.

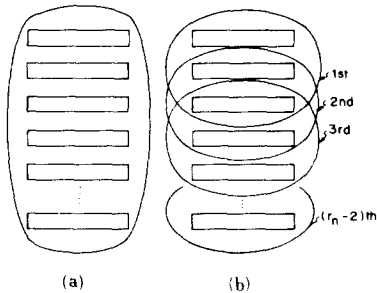


그림 4. Pairwise interchange의 교환영역
(a) 전체 row가 한 영역
(b) 3 row가 한 영역

Fig. 4. Region for pairwise interchange.
(a) With all rows in a region.
(b) With 3 rows in a region.

이와같이 3개의 row안에서만 cell pair를 찾는 것은 II 장의 linear ordering에 의해서 대부분의 net에 연결된 셀들이 3개의 row안에 포함된다고 보기 때문이다. Chip에 존재하는 모든 셀에 대하여 pairwise interchange를 한번 수행하는 것을 한 주기라고 하고 전체 cell의 갯수를 n이라고 할 때, 한주기 동안에 교환 횟수가 그림 4(a)의 경우에는 $O(n^2)$ 이며, 그림 4(b)의 경우는 $Q(n^{3/2})$ 이 된다. 반복적인 배치개선 과정은 pairwise interchange의 주기가 여러번 반복되며, 한 주기의 총 배선 길이 개선율이 1% 이내일 때 종료한다.

다음의 표 1과 표 2는 각각 셀의 갯수가 144개와 270개인 회로에 대하여 초기 배치만 하는 경우 (Init), 초기배치 후 그림 4(a) 방법으로 배치개선을 한 경우 (Iter3)에 대하여 CPU시간과 단순화된 Steiner tree로 모델링하여 구한 총 배선길이(L_p)를 나타내고 있다. L_p 는 string배치후에 계산하는 (표4.5, 6)실제 총 배선 길이인 L_s 와는 다름에 유의해야 한다.

표 1과 표 2로부터 그림 4(b)의 방법으로 배치개선을 한 경우는 그림 4(a)의 경우와 비교하여 L_p 가 거의 같으며, 셀수가 증가함에 따라 CPU시간이 현저하게

표 1. 셀의 갯수가 144인 회로에 대한 결과(표 3의 예제B)

Table 1. Results for a 144-cell circuit(Example B in Table3).

Process	CPU time	L_p
Init	50.17 sec	7322
Iter 1	31min, 48.03sec	5310
Iter 3	17min, 45.24sec	5310

표 2. 셀의 갯수가 270인 회로에 대한 결과(표3의 예제C)

Table 2. Results for a 270-cell circuit(Example C in Table3).

Process	CPU time	L_p
Init	2 min, 11.22 sec	14712
Iter 1	2 hr, 18min, 15.42sec	10667
Iter 3	53 min, 2.15sec 54	10736

감소함을 알 수 있다. 그리고, 배치 개선을 하는 경우는 초기 배치 결과에 비해 L_p 를 27%~30%정도 감소시킨다.

반복적인 배치 개선이 완료되면, 셀row의 좌, 우에 존재하는 배선 영역으로 돌아서 배선해야 하는 net들에 대하여 feed-trough cell를 할당하므로써, 셀row로 통과하여 배선한다.¹⁾

IV. String배치

Standard cell 배치에서 채널배선을 예측하여 각 채널에서 배선을 용이하게 하고, 채널밀도를 줄이고, 또 총 배선 길이를 감소시키도록 하는 과정이 필요하다. 이런과정이 string배치이다.¹⁾

String배치의 목적함수는 채널배선의 용이함, 배선 영역의 면적, 그리고 총 배선 길이를 비교적 정확히 나타내기 위하여 셀 row에서 string 배치가 행해질 때 목적함수 F(i)는 다음과 같다.

$$F(i) = K_1 \cdot \{UC(i-1) + UC(i)\} + K_2 \cdot \{CD(i-1) + CD(i)\} + K_3 \cdot \{S(i-1) + S(i)\} + K_4 \cdot L_s \text{이다.}$$

여기서, $K_1 > K_2 > K_3 = K_4$ 이고, 채널 i-1과 채널 i는 셀row에 상하로 인접한 두 채널이다. $UC(i-1)$, $UC(i)$ 는 각각 채널 i-1과 채널 i의 수직제한 그래프(vertical constraint graph) 상에서 사이클의 갯수이다. 그리고, $CD(i-1)$ 와 $CD(i)$ 는 각각 채널 i-1과 채널 i이 필요로 하는 수평트랙의 갯수인 채널밀도이다. 즉, 채널밀도가 각 배선영역의 면적을 나타내는 값이

된다. $S(i-1)$ 와 $S(i)$ 는 각각 채널 $i-1$ 과 채널 i 에서 최대밀도를 갖는 구간의 길이를 나타내며, 이 값이 감소하면 채널 밀도가 감소할 가능성이 있으므로 목적함수에 포함된다.⁸⁾ 또, L_s 는 총 배선 길이이며, 각 net에 연결된 터미널들의 정확한 위치로부터 구하며, 이 길이는 배치개선에서 목적함수로 사용한 총 배선 길이보다 실제로 채널배선을 할 때의 배선길이에 근사시킨 것이다. 그림 5는 한 net의 배선길이를 모델링한 것이며, 한 net가 셀의 상하등가 터미널(E)과 feed-through cell(F)을 통하여 연결되어 있는 경우를 나타낸다.

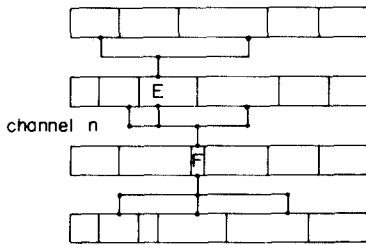


그림 5. Net의 배선 길이 모델링
Fig. 5. Modeling of the net routing length.

여기서, 각 net의 수평트랙은 채널의 중심을 지난다고 가정한다. 총 배선길이 L_s 는 각 net의 배선길이 $l_s(i)$ 의 합이며, $L_s = \sum l_s(i)$ 로 표시된다. 그리고, net i 의 배선길이 $l_s(i)$ 는 다음과 같이 표시된다.

$$l_s(i) = \sum_n |XR(n, i) - XL(n, i)| + \frac{CD(n)}{2} \cdot T(n, i) + K_1 \cdot FT(i)$$

여기서, $XR(n, i)$ 는 채널 n 에서 net i 가 연결되는 터미널들 중에서 가장 우측에 있는 것의 X좌표이고, $XL(n, i)$ 는 가장 좌측에 있는 것의 X좌표이다. 그리고, $CD(n)$ 은 채널 n 의 밀도, $T(n, i)$ 는 채널 n 의 상하에 할당된 net i 의 터미널수, $FT(i)$ 는 net i 에 할당된 feed-through cell의 갯수이다.

String 배치는 위와같은 목적함수를 감소시키도록, 한 셀row에서 셀들과 터미널들의 배열을 재구성한다. 이 재구성은 인접한 셀끼리 서로 교환하여 보는 “셀의 교환(cell exchange)” (그림6)과 각 셀들을 그 셀의 중심을 지나는 Y축에 대하여 반전시켜 보는 “셀의 반전(cell reflection)” (그림7)과 각 셀에 있는 논리적으로 대등한 터미널들끼리 그 터미널들에 연결된 net를 서로 교환해 보는 “터미널의 교환(terminal exchange)” (그림8)의 세가지 작용(operation)으로 구성된다.

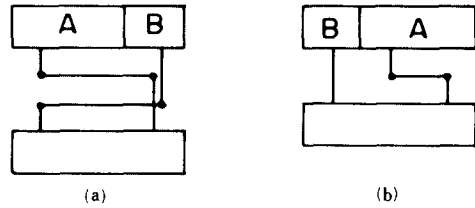


그림 6. Cycle을 풀기위한 셀의 교환의 예
(a) 셀을 교환하기 전
(b) 셀을 교환한 후

Fig. 6. An example of cell exchange for solving a cycle.

- (a) Before cell exchange.
- (b) After cell exchange.

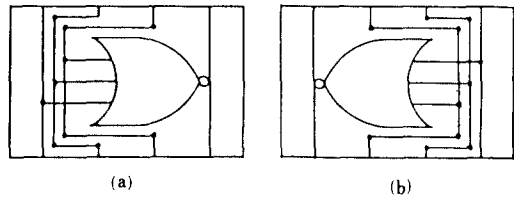


그림 7. 셀의 반전
(a) 셀을 반전하기 전
(b) 셀을 반전한 후

Fig. 7. Cell reflection.

- (a) Before cell reflection.
- (b) After cell reflection.

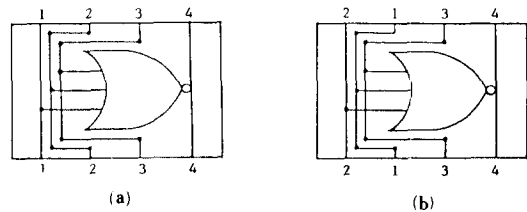


그림 8. 터미널의 교환
(a) Net를 교환하기 전
(b) Net를 교환한 후

Fig. 8. Terminal exchange.

- (a) Before net interchange.
- (b) After net interchange.

그림 8에서 논리적으로 대등한 터미널들은 1, 2, 3번 net가 연결되는 입력 터미널이며, 1번과 2번 net가 연결될 터미널 위치를 서로 교환한 것이 그림8(b)이다.

String 배치의 세가지 작용은 하나가 끝난 후에 다른 하나가 수행되며, 그 순서는 행동반경이 큰 것부터 시작되는 셀의 교환, 셀의 반전, 터미널의 교환의 순이고, 각 작용은 첫 row에서 마지막 row까지, 또, 한 row에서는 가장 좌측 셀부터 우측셀로 진행해 나

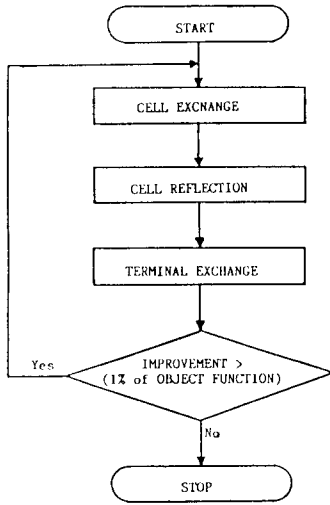


그림 9. String 배치의 유통도
Fig. 9. Flow chart of string placement.

간다.

이와같은 세작용이 모두 한번씩 수행되는 것을 한 주기라고 할 때, string배치는 각 주기를 끝낸 후 목적 함수가 어떤 비율(1%) 이상 개선되지 않을 때까지 반복해서 수행한다(그림9).

V. Simulation결과

본 배치 program은 Pascal 언어로 VAX-11/750 에 실현 하였으며, 전체 유통도는 그림10과 같다. 본 배치 program을 다음과 같이 크기가 다른 세가지 회로에 대하여 simulation한 결과는 다음과 같다.

표 3에서 예제 A, B, C의 회로 특성을 나타내고 있으며, 예제A는 ALU인 74LS181의 회로이며, 예제 B는 4-by-4 register file인 74170과 shift register를 4 bit comparator인 7485에 연결한 회로이다. 그리고 예제 A, B, C에 대한 simulation 결과는 각각 표4, 5, 6에 나타내었다.

여기서, L_s 는 string placement에서 목적함수에 사용하는 총 배선길이, # of FT는 할당된 feed-through cell의 갯수, # of cycle는 총 cycle을 이루는 net의 갯수, 그리고 CD_{total} 은 모든 채널밀도의 합을 나타낸다. Init은 초기배치만 하는 경우이고, Iter3은 초기 배치와 pairwise interchange 영역을 3row씩 제한하여 배선개선을 한 경우이며, Inter 1-Str은 초기배치와 pairwise interchange 영역을 전체 cell row로 하여 배치개선을 한 후에 string 배치를 하는 경우이고, Iter 3-Str은 초기배치와 pairwise interchange 영역을 3 row로 제한하여 배치개선을 한 후에 string 배치를 하

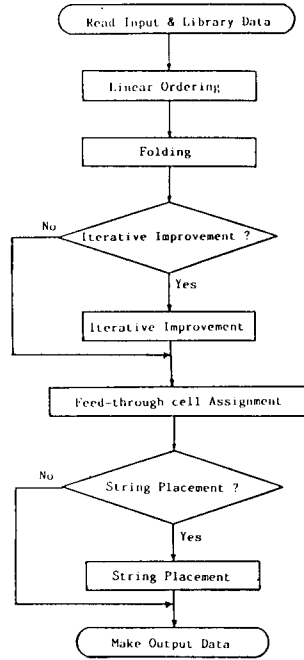


그림10. 배치시스템의 전체 유통도
Fig. 10. Overall flow chart of placement system.

표 3. 예제의 회로 특성

Table 3. Circuit characteristics of examples.

예 제	셀의 수	net의 수	셀폭의 평균치	한셀당 pin 수의 평균치	한 net 당 셀 수의 평균치
예제A	67	81	3. 73	3. 41	3. 04
예제B	144	166	4. 31	3. 71	3. 02
예제C	270	291	4. 06	3. 55	2. 95

표 4. 예제A의 Simulation결과

Table 4. Simulation results for example A.

Process	CPU time	L_s	# of FT	# of cycle	CD_{total}
Init tr	15.09sec	4028	9	0	53
Iter3	5min 40.75sec	2713	7	0	37
Iter1-str	12. min51.64sec	2451	7	0	32
Iter3-str	10min 30.05sec	2445	7	0	34

는 경우이다. 모든 경우에 대하여 feed-through cell을 할당하는 과정을 포함하였다. 특히, 배치개선을 할 때 pairwise interchange 영역을 3row로 제한하는 경우에도 전체를 pairwise interchange 영역으로 하는 경우와 거의 같은 배치효과를 얻는데 훨씬 적은 시간이 걸림을 알 수 있었으며 이 효과는 cell의 수가 증

표 5. 예제B의 Simul Simulation결과
Table 5. Simulation results for example B.

Process	CPU time	L_s	# of FT	# of cycle	CD_{total}
Init str	50.17sec	9467	6	1	94
Iter 3	03sec 17min48.	5725	5	2	56
Iter1-str	52min 45.24sec	4954	5	0	46
Iter-3-str	31min 39.64sec	4954	5	0	46

표 6. 예제C의 Simulation결과
Table 6. Simulation results for example C.

Process	CPU time	L_s	# of FT	# of cycle	CD_{total}
Init	2min 11.22sec	20277	60	1	139
Iter3	54min 215sec	13685	50	1	95
Iter1-str	3hr50min45.72sec	11919	36	0	82
Iter3-str	2hr27min1.06sec	11895	50	0	82

가함에 따라 더 크게 나타났다.

그리고, 배치개선과 string 배치를 수행하는 경우에는 초기배치만 하는 경우에 비해 feed-through cell과 수직제한 그래프에서 cycle을 이루는 net의 수를 감소시키며 string 배치의 목적함수에서 구해지는 총 배선길기와 채널밀도의 합은 초기 배치결과에 비해 약 50% 정도로 감소됨을 알 수 있다. 또한 string배치가 첨가될 경우에는 초기배치와 배치개선만을 수행하는 경우에 대해 15~20% 정도로 총배선 길기와 채널밀도를 감소시킴을 알 수 있었다. 끝으로 그림11, 12, 13에는 각각 예제A, B, C를 배치한 후에 채널 배선한

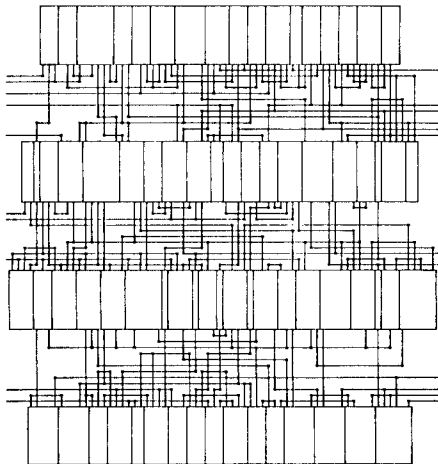


그림11. 예제A의 레이아웃
Fig.11. Layout for example A.

결과를 보였다. 여기서, 배치는 초기 배치를 한후에 배치 개선은 교환영역을 3row로 제한해서 pairwise interchange를 하고, string 배치를 한 것이다. 그림 11과 12의 채널배선은 수 작업에 의한 것이며, 그림 13은 switch box router에 의한 것이다.¹⁾

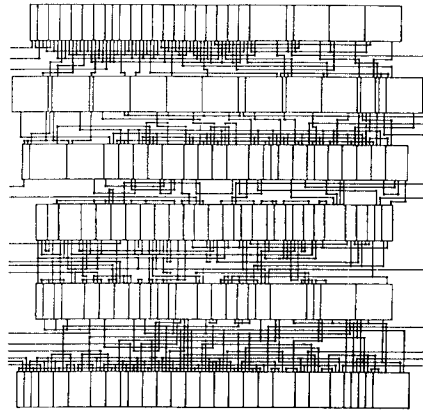


그림12. 예제B의 레이아웃
Fig.12. Layout for example B.

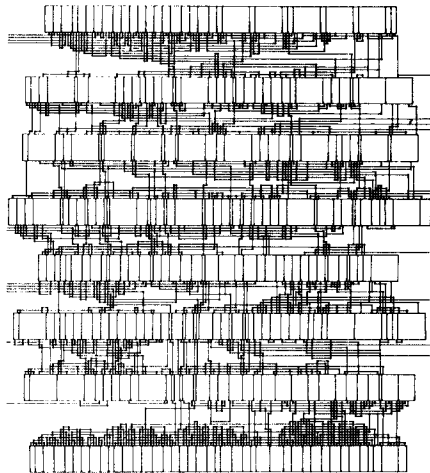


그림13. 예제C의 레이아웃
Fig.13. Layout for example C.

VI. 結 論

본 논문에서는 standard cell을 자동적으로 배치하는 배치시스템을 실현하였다. 본 배치시스템은 크게 초기배치와 배치개선, 그리고 string 배치로 나누어 있으며, 초기배치에서는 standard cell의 특성을 잘 이용할 수 있는 linear ordering-folding 알고리즘을 실현하였다. 그리고, 배치개선에서는 pairwise inter-

change를 할 때 계산시간을 줄이기 위하여 교환영역을 3row로 제한하여 실현하였으며, simulation 결과를 보면 cell의 수가 많아질수록 계산시간이 현저하게 줄어들면서 배치결과는 만족할만하다. 그리고, 각 채널에서 배선을 할 때, 배선영역의 면적을 줄이고, 배선을 용이하게 하기 위하여 string 배치를 제안하여 실현하였다. 그 결과, 초기배치와 배치개선만 하는 경우 보다 총배선 길이와 채널밀도가 15~20% 정도 감소하였다.

또한 일반적으로 global routing에서 고려하는 feed-through cell의 할당을 배치단계에서 수행함으로써 배선문제를 채널 배선문제로 단순화 시켰다. 앞으로 본 배치시스템에 standard cell library와 배선 시스템을 효과적으로 연결하여 automatic standard cell layout system을 완성시키는 것이 중요하리라 생각된다.

參 考 文 獻

- [1] Sungho Kang, *Linear Ordering and Application to Placement*. Proc. 20th Design Automation Conf., pp. 457-463, 1983.
- [2] G.W. Cox and B.D. Carroll, *The Standard Transistor Array (STAR) PART II: Automatic Placement Techniques*. Proc. 17th Design Automation Conf., pp. 451-457, 1980.
- [3] A.E. Dunlop and B.W. Kernighan, "A Procedure for Placement of Standard-Cell VLSI Circuits," *IEEE Trans. Computer-Aided Des.*, pp. 92-98, Jan. 1985.
- [4] M. Hanan and J.M. Kurtzberg, *Placement Techniques*. Chap. 5 in *Design Automation of Digital Systems: Theory and Techniques*, M.A. Breuer, Prentice Hall, pp. 213-282, 1972.
- [5] G. Persky, *PRO-An Automatic String Placement Program for Polycell Layout*. Proc. 13th Design Automation Conf., pp. 417-424, 1976.
- [6] N.P. Chen, "New Algorithm for Steiner Tree on Graphs," *Proc. IEEE ISCAS*, pp. 1217-1219, 1983.
- [7] J. Soukup, "Circuit Layout," *Proc. of the IEEE*, vol. 69, no. 10, pp. 1281-1304, 1981.
- [8] 강길순, "스탠다드 셀의 자동배치 시스템에 관한 연구", 한국과학기술원 석사학위 논문, 1986.
- [9] Nak Woong Eum, Gil Soon Kang, *Manual of Switch Box Router*. KAIST, E.E. dept., circuit and system Lab.