

CMOS 공정을 사용한 정밀능동필터용 연산증폭기 (CMOS Operational Amplifiers for Switched Capacitor Filter Application)

梁 景 勳*, 金 元 燦*, 李 忠 雄*

(Kyung Hoon Yang, Wonchan Kim and Choong Woong Lee)

要 約

본 논문에서는 switched capacitor filter의 회로구성에 필요한 기본 회로소자인 연산증폭기의 설계를 컴퓨터 시뮬레이션 및 측정결과를 통하여 논한다. 사용된 공정은 CMOS 디지털 공정이다. 2단으로 구성된 op-amp의 DC 전압이득은 66dB이고 unity gain bandwidth는 833KHz였으며 이 측정결과를 switched capacitor filter를 구성하는데 필요한 특성을 충분히 만족시키고 있음을 알 수 있었다.

Abstract

This paper studies the design of a CMOS operational amplifier for the switched capacitor filter by computer simulation, and presents the results of measurement. The operational amplifier composed of two stages is fabricated in the CMOS digital process. The DC voltage gain of the operational amplifier is 66 dB, and the unity gain bandwidth is 833kHz. These results satisfy the performance requirements for the operational amplifier of the switched capacitor filter.

I. 序 論

음성주파수 처리용 필터를 설계하는데 있어서 기존의 필터는 많은 개별부품(discrete IC)이 필요하며 신뢰도 및 성능에서 문제점을 갖고 있다. Switched capacitor filter는 기존의 필터가 가지고 있는 이러한 문제점을 해결하고 필터를 one-chip으로 구현하기 위해 연구되고 있는 분야이다.

본 논문에서는 이러한 switched capacitor filter의 기본 회로소자인 CMOS 아날로그 연산증폭기를 컴퓨터 시뮬레이션을 통하여 분석 및 설계하였다. 또, poly-

silicon gate CMOS공정을 이용하여 제작한 각 기본 회로소자들을 측정하고 그 결과를 분석하였다.

II. 기본 회로의 설계

1. 개 요

능동RC필터를 사용하여 음성주파수 처리용 필터를 구현할 때의 문제점은 다음과 같다.

음성주파수 처리를 위해 필요한 시정수 RC의 값은 10^{-4} 인데, 집적회로에서 최대한 허용할 수 있는 캐패시턴스를 100pF으로 할 때 음성주파수처리용 필터를 위해 필요한 저항값은 $1M\Omega$ 이나 된다. Diffusion저항을 사용할 경우, 이는 너무 많은 면적을 차지하므로 집적회로화 하기에 어려운 점이 있다. 또한, 특수공정을 사용하지 않고는 R과 C값을 공정변동에 관계없이 정확하게 구현하기 어렵다. Switched capacitor filter는 저항을 그림 1과 같이 switched capacitor로 대체함으

*正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Natl. Univ.)

接受日字: 1985年 12月 21日

(本 論文은 韓國科學財團과 三星半導體通信(株)의 도움으로 이루어졌음)

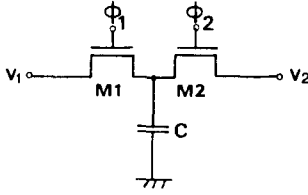


그림 1. Switched capacitor의 회로도
Fig. 1. Circuit diagram of switched capacitor.

로써 이러한 어려움을 해결한다.

Switched capacitor filter를 구성하기 위해서는 적분기를 구성하기 위한 CMOS op-amp와 MOS 아날로그 스위치, 캐패시터 및 클럭발생기 등이 필요하다. 본 논문에서는 op-amp에 관한 부분만을 논한다.

2. CMOS 연산증폭기

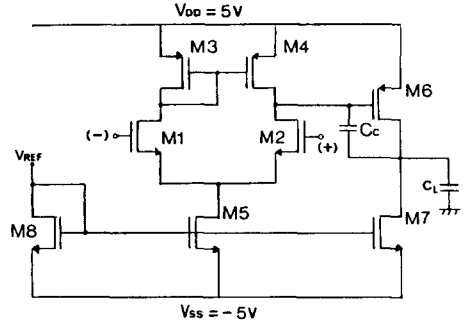
본 논문에서 CMOS op-amp는 범용의 op-amp가 아니라 시스템 구성에 필요한 intra-chip op-amp로 사용된다. Switched capacitor filter의 구성에 사용되는 op-amp는 칩내부의 캐패시터만 구동하면 되므로 출력단이 필요없고 집적도를 높이기 위해 간단한 회로구성이 요구되며 이러한 구성으로도 필요한 특성을 충분히 갖도록 설계되어야 한다. 음성주파수 처리용 switched capacitor filter에 사용되는 op-amp가 가져야 할 성능은 다음과 같다.

- 면적 : 0.1mm²이내
- 소모전력 : 수mW 이내
- Unity gain bandwidth : 0.8MHz이상
- Slew rate : 1V/μs 이상
- DC 전압이득 : 60dB이상
- Phase margin : 45도 이상

위의 여러가지 사항을 고려하여 설계한 op-amp의 회로도는 그림 2에 나타내었다.

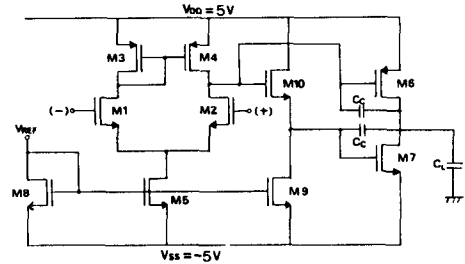
먼저 그림 2(a)의 회로를 살펴보면 이 회로는 입력단과 증폭만으로 구성되어 있다. 캐패시터 C_c는 op-amp의 주파수 특성을 안정시키기 위한 compensation 캐패시터의 역할을 한다. 그림 2(a)의 version2는 각 MOS의 W/L값을 변경하여 DC bias에 따른 주파수특성의 변화등을 version1과 비교하기 위한 것이다. 그림2(b)의 회로는 source follower M9, M10으로 입력단에서 출력되는 신호를 두 부분으로 나누어 M6, M7의 출력단을 push-pull로 동작하도록 하여 load capacitance를 충방전시키는 시간을 줄이기 위한 것이다.

OP-Amp의 설계에 있어서 고려한 사항들은 주파수 특성, DC전압이득, slew rate, offset전압 및 PSRR 등이다.



Version \ Device	1	2
M1	30um/10um	40um/10um
M2	30/10	40/10
M3	20/47	30/21
M4	20/47	30/21
M5	20/36	19/10
M6	58/10	92/10
M7	22/6	61/10
M8	20/36	19/10
Cc	6pF	6pF

(a)



Device	Version 3
M1	30um/10um
M2	30/10
M3	20/47
M4	20/47
M5	20/36
M6	29/5
M7	24/20
M8	20/36
M9	28/20
M10	10/78
Cc	6pF

(b)

그림 2. 연산증폭기의 회로도

- (a) 제 1안과 2안
- (b) 제 3안

Fig. 2. Circuit diagram of operational amplifiers.
(a) Version 1 and 2.
(b) Version3.

1) 주파수특성과 compensation 방법

그림 2(a)의 회로를 소신호 등가회로로 바꾸면 그림 4과 같다. C_c는 입력단과 증폭단의 pole을 Miller effect에 의해 분리시킴으로서 안정된 주파수특성을 갖도록 한다.

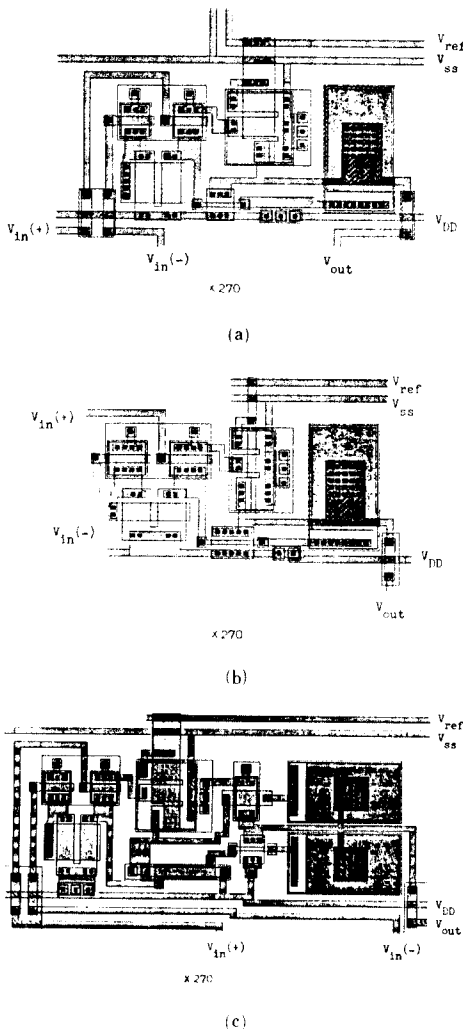


그림 3. 연산증폭기의 레이아웃
(a) 제 1안 (b) 제 2안
(c) 제 3안

Fig. 3. Layout of operational amplifiers.
(a) Version 1, (b) Version 2,
(c) Version 3.

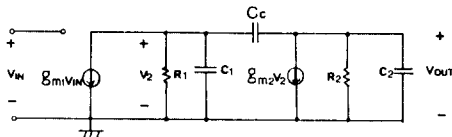


그림 4. 그림 2(a)의 등가회로
Fig. 4. Small signal equivalent circuit of Fig. 2(a).

이 그림에서 변수들의 의미는 다음과 같다.
 g_{m1} , g_{m2} : 입력단과 출력단의 transconductance

R_1 , R_2 : 입력단과 출력단의 등가저항
 C_1 , C_2 : 입력단과 출력단의 등가캐패시턴스
 C_c : compensation 캐패시턴스

그림 4의 회로에서 전달함수를 구하면 다음과 같다.

$$\frac{V_o(s)}{V_{in}(s)} = \frac{g_{m1}g_{m2}R_1R_2(1-s C_c/g_{m2})}{1+s(R_1C_1+R_1C_c+R_2C_2+R_2C_c+g_{m2}R_1R_2C_c) + s^2[R_1R_2C_1C_2+R_1R_2C_c \cdot (C_1+C_2)]} \quad (1)$$

C_c 의 영향으로 pole의 간격이 크고, $C_1 \ll C_2$, $C_1 \ll C_c$ 라 가정하여 pole과 zero를 구하면 다음과 같다.

$$p_1 \approx -\frac{1}{g_{m2}R_1R_2C_c} \quad (2)$$

$$p_2 \approx -\frac{g_{m2}}{C_2} \quad (3)$$

$$Z = \frac{g_{m2}}{C_c} \quad (4)$$

p_1 을 dominant pole로 간주하여 unity gain bandwidth를 구하면

$$\omega_1 = \frac{g_{m1}}{C_c} \quad (5)$$

op-amp의 안정도를 유지하기 위해서는 phase margin이 45° 이상이어야 한다. 이렇게 되기 위해서 $p_2 \gg \omega_1$, $Z \gg \omega_1$ 의 조건이 만족되어야 한다. 따라서

$$\left| \frac{p_2}{\omega_1} \right| = \frac{g_{m2}C_c}{g_{m1}C_2} \gg 1 \quad (6)$$

$$\left| \frac{Z}{\omega_1} \right| = \frac{g_{m2}}{g_{m1}} \gg 1 \quad (7)$$

이러한 점을 고려하여 미리 설정한 특성을 가지게 하기 위하여 다음과 같이 설계하였다. 그림2. version1의 설계에서는 $I_{D1} = I_{D2} = 8.4 \mu A$, $I_{D6} = 113.8 \mu A$ 가 되도록 하였고 소신호 등가회로에서 각 변수는

$$g_{m1} = 42.12 \mu A/V$$

$$g_{m2} = 168.48 \mu A/V$$

$$f_{p1} = 250Hz$$

$$f_{p2} = 2.7MHz (C_L = 10pF)$$

$$f_z = 4.5MHz$$

$$f_{\omega_1} = 1.1MHz (unity gain bandwidth)$$

와 같이 설계하였다.

2) DC-전압이득

필터의 구성에서 op-amp는 그림 5와 같은 적분기로 사용된다. op-amp의 전압이득이 적분기 동작에 미치는 영향을 살펴보자.

op-amp의 DC전압이득을 A_o , dominant pole을 p_1 이라 하면 op-amp의 전달함수는 다음과 같다.

$$A_v = \frac{A_o}{1+s/p_1} \quad (8)$$

op-amp의 입력저항이 커서 op-amp의 입력으로 흘

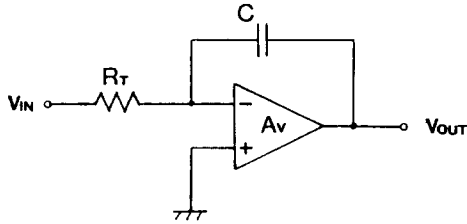


그림 5. 적분기의 회로도
Fig. 5. Circuit diagram of integrator.

러 들어가는 전류가 없다고 가정하여 전달함수를 구하면

$$\frac{V_o(s)}{V_{in}(s)} = - \frac{A_o}{1 + s[1/p_1 + (1+A_o)R_T C] + s^2 R_T C/p_1} \quad (9)$$

윗 식에서 A_o 가 아주 클 경우, 전달함수는 $-1/(R_T C)s$ 가 되어 이상적인 적분기가 된다. 음성주파수 처리용 적분기의 $R_T C$ 가 10^6ohm 의 저항과 10pF 의 C로 구성될 경우 p_1 이 100Hz 라 가정하면 표 1의 결과를 얻을 수 있다.

표 1. DC 전압이득과 적분기의 dominant pole에 관계
Table 1. Relations between DC voltage gain and integrator.

DC 전압 이득 (A_o)	적분기 Dominant pole 의 위치 (Hz)
100	14
1000	1.6
10000	0.3

위의 예에서 보듯이 op-amp의 이득은 $60 \sim 80 \text{dB}$ 정도는 되어야 한다. op-amp version 1의 DC 전압이득은

$$A_o = g_{m1} g_{m2} R_1 R_2 \approx 4600$$

으로써 73dB 의 이득을 갖도록 하였다.

3) Slew rate

출력신호의 왜곡을 피하기 위해서는 충분한 slew rate를 가지도록 설계하여야 한다. op-amp의 출력 전압의 변동은 compensation 캐패시터로 흐르는 입력단의 전류에 의해 결정되는데, 최대로 흘릴 수 있는 전류가 $2I_{D1}$ 이므로

$$\text{slew rate} = \left. \frac{dV_o}{dt} \right|_{\max} = \frac{2I_{D1}}{C_c} \quad (10)$$

$C_c = 6 \text{pF}$, $I_{D1} = 8.4 \mu\text{A}$ 로 하여 slew rate는 $2.8 \text{V}/\mu\text{s}$ 이 되게 설계하였다.

4) Offset 전압

Offset 전압은 systematic offset과 random offset이

있다. Systematic offset는 설계에 의해 결정되는데 각 MOS소자가 DC전류를 충분히 흘릴 수 있게 W, L을 설정하여 0.2mV 이내로 줄였다. Random offset은 공정 중에서 발생하는 것으로 입력단에 의한 것이 대부분이므로 입력단의 M_1, M_2, M_3, M_4 의 W, L, V_T (threshold voltage)의 변동에 대한 영향을 살펴보면 다음과 같다.

$$\Delta V_{T1,2} = V_{T1} - V_{T2}, \quad V_{T1,2} = \frac{V_{T1} + V_{T2}}{2} \text{라 하면}$$

$$V_{os} = \Delta V_{T1,2} + \Delta V_{T3,4} \left(\frac{g_{m3}}{g_{m1}} \right) + \frac{(V_{GS} - V_T)_{1,2}}{2} \left(\frac{-\Delta(W/L)_{1,2}}{(W/L)_{1,2}} - \frac{\Delta(W/L)_{3,4}}{(W/L)_{3,4}} \right) \quad (11)$$

공정의 변동에 의한 영향을 최소로 줄이기 위해서는 g_{m3} 를 g_{m1} 보다 작게 하고 $(V_{GS} - V_T)_{1,2}$ 의 값을 줄이면 된다. $(V_{GS} - V_T)_{1,2}$ 의 값은 slew rate를 크게 하기 위해서 어느 정도 이상 줄일 수 없다. 이러한 점을 고려하여 version 1의 경우 $(V_{GS} - V_T)_{1,2}$ 의 값은 0.4V , g_{m3} 와 g_{m1} 의 비는 0.3 이 되게 설계하였다.

5) Power Supply Rejection Ratio (PSRR)

PSRR은 op-amp가 전원전압의 변동에 영향을 받는 정도를 나타내는 parameter이다.

그림 2 (a)의 op-amp 회로에서 전원전압이 변동하는 경우의 등가회로는 다음과 같다.

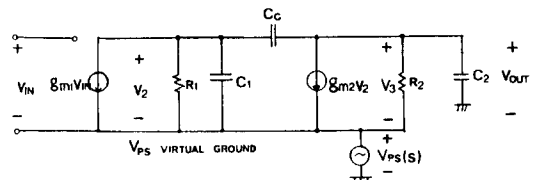


그림 6. 전원전압변동에 대한 등가회로
Fig. 6. Small signal equivalent circuit for power supply ripple.

여기서 V_{PS} 는 전원전압을 의미한다. 전원전압과 출력과의 관계는 다음과 같다.

$$\frac{V_o(s)}{V_{PS}(s)} = \frac{1 + s(R_1 C_c + R_2 C_c + R_1 R_2 C_c g_{m2})}{1 + s(R_1 C_c + R_2 C_c + R_2 C_2 + R_1 R_2 C_c g_{m2}) + s^2 R_2 C_2 R_1 C_c} \quad (12)$$

op-amp가 unity gain feedback일때 전달함수는

$$\left[\frac{V_o(s)}{V_{PS}(s)} \right]_{\text{unity gain}} = \frac{V_o(s)}{V_{PS}(s)} \cdot \frac{1}{1 + A_v(s)} \quad (13)$$

$A_v(s)$ 는 op-amp의 전압이득으로 (1)식에 나타나 있다. 낮은 주파수영역을 생각하면 $|A_v(s)| \gg 1$ 이므로 (1), (12), (13)식에서

$$\left[\frac{V_o(s)}{V_{ps}(s)} \right]_{\text{unity gain}} \approx \frac{(1+s/P_1)}{R_1 R_2 g_{m1} g_{m2}} \quad (14)$$

따라서 그림 7 과 같이 P₁보다 낮은 주파수 대역에서는 DC전압이득만큼 전원전압의 영향이 억압되어 있고 dominant pole에서부터 6dB/oct로 그 영향이 커진다. 따라서 op-amp power line에 고주파수 잡음의 영향이 크게 나타나지 않도록 하여야 하며 DC 전압이득을 크게하여 전원전압의 영향을 줄여야 한다.

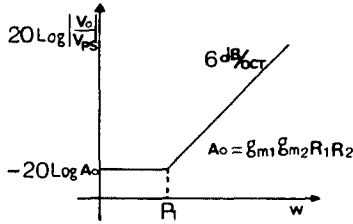


그림 7. Unity gain feedback시 전원전압변동의 영향
Fig. 7. Graph for the effect of power supply variation.

또한 잡음의 영향을 줄이기 위해 W_{1,2}와 L_{1,2}의 값을 크게 하고 (W/L)_{1,2} ≫ (W/L)_{3,4}, L₃ ≫ L₄ 되게 설계하였다. 전술한 설계방법에 의해 설계한 회로특성 파라미터를 회로분석용 프로그램인 SPICE로 분석 확인하였다. 시뮬레이션 결과는 표 2 에 나타내었다.

표 2. 각 OP-AMP의 파라미터(시뮬레이션 결과)
Table 2. Results of op-amp parameter(simulation).

	OP1 (V _{ref} =-3V)	OP2 (V _{ref} =-3.5V)	OP3 (V _{ref} =-3V)
DC gain	6095 (76dB)	9921 (80dB)	8798 (79dB)
V _{offset} (mV)	0.2	0.25	0.3
Linear V _o swing (open loop) (V)	3.5 ~ -3.8	3.9 ~ -4.0	3.5 ~ -2.6
DC power Dissipation(mW)	1.62	1.15	2.02
Slew rate (V/us)	3.43	3.87	2.83
C _L 10pF	Unity gain freq. (MHz) 1.2 Phase margin (°) 52.75	1.6 43	0.9 55
C _L 24pF	Unity gain freq. (MHz) 1.0 Phase margin (°) 40.82	1.1 35	0.8 46.5
CMRR	13544 (83dB)	22000 (87dB)	22000 (87dB)

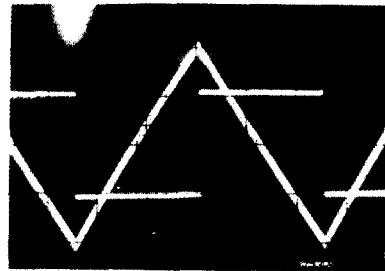
III. 측정결과 및 검토

측정된 CMOS op-amp의 파라미터는 표 3에 나타내었다.

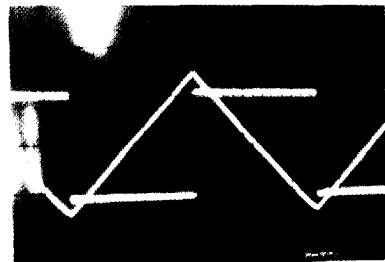
op-amp를 적분기로 구성시켰을 때의 V_{in}과 V_{out}의 파형은 그림8, 9, 10, 11과 같다.

표 3. 각 OP-AMP의 파라미터 (측정결과)
Table 3. Results of OP-AMP parameter (measurement).

	OP1	OP2 (V _{ref} =-3V)	OP2 (V _{ref} =-3.5V)	OP3
DC gain	6030 (76dB)	2087 (66dB)	4559 (73dB)	4470 (73dB)
V _{offset} (aV)	28	102	50	26
Linear V _o swing(V) (closed loop)	1.5 ~ -1.5	3 ~ -2.2	1 ~ -1	3 ~ -3
DC power Dissipation(mW)	2.42	5.01	2.23	3.19
Slew rate (V/us)	2.5/-1.3	7.1/-2.3	4.9/-1.1	3.3/-1.6
Unity gain frequency (Hz)	451 × 10 ³	833 × 10 ³	610 × 10 ³	509 × 10 ³
Phase margin	17°	26°	36°	18°
size(um ²)	4.58 × 10 ⁴	4.63 × 10 ⁴	4.63 × 10 ⁴	7.57 × 10 ⁴
CMRR	81dB	90dB	90dB	90dB
Integrator 특성 (V/sec)	400 (V/sec)	412.5	400	400
	5787 (V/sec)	5500	5250	5500



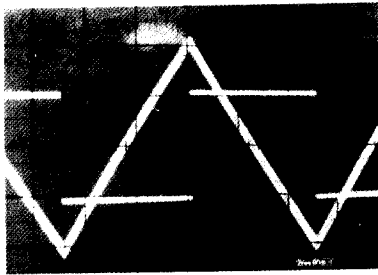
(a)



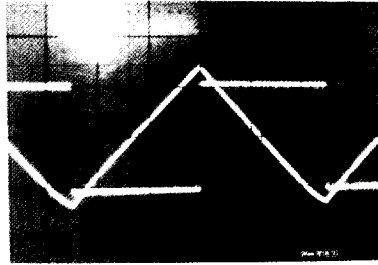
(b)

그림 8. 적분기 OP1
Fig. 8. Integrator OP1.

- (a) R=100.5 kohm, C=1.24nF
(V_{in}, V_{out}:50mV/div, time: 0.2ms/div).
- (b) R=100.5kohm, C=86pF
(V_{in}:50mV/div, V_{out}:1V/div, time: 0.2ms/div).



(a)

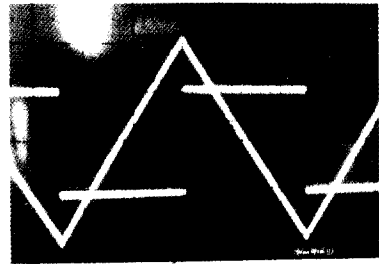


(b)

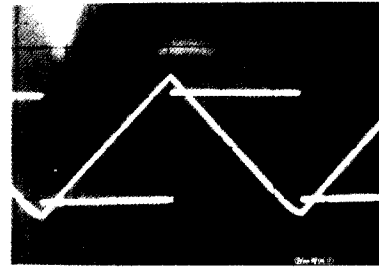
그림 9. 적분기 OP2 ($V_{ref} = -3V$)

Fig. 9. Integrator OP2 ($V_{ref} = -3V$)

- (a) $R = 100.5 \text{ kohm}$, $C = 1.24 \text{ nF}$
 $(V_{in}, V_{out}: 50 \text{ mV/div, time: } 0.2 \text{ ms/div})$.
- (b) $R = 100.5 \text{ kohm}$, $C = 86 \text{ pF}$
 $(V_{in}: 50 \text{ mV/div, } V_{out}: 1 \text{ V/div, time: } 0.2 \text{ ms/div})$.



(a)



(b)

그림 10. 적분기 OP2 ($V_{ref} = -3.5V$)

Fig. 10. Integrator OP2 ($V_{ref} = -3.5V$)

- (a) $R = 100.5 \text{ kohm}$, $C = 1.24 \text{ nF}$
 $(V_{in}, V_{out}: 50 \text{ mV/div, time: } 0.2 \text{ ms/div})$.
- (b) $R = 100.5 \text{ kohm}$, $C = 86 \text{ pF}$
 $(V_{in}: 50 \text{ mV/div, } V_{out}: 1 \text{ V/div, time: } 0.2 \text{ ms/div})$.

외부전압은 OP2의 경우 $V_{ref} = -3.5V$ 로 설계하였으나 bias변화에 따른 회로의 특성 변화를 검토하기 위해서 $V_{ref} = -3V$ 인 경우도 특성을 측정하였다. 측정된 op-amp의 DC전압이득은 66~76dB로서 switched capacitor filter에서 적분기로 사용하기에 충분하다는 것을 알 수 있었다. 표 2의 시뮬레이션 결과와 비교할 때 조금 차이가 있는 것은 사전에 예측한 소자의 파라미터가 공정 후 약간 변화하여 각 stage의 DC 전류와 channel length modulation 등이 달라진 것에 기인한다.

Offset전압은 25~50mV로써 MOS op-amp의 전형적인 값에 부합하였으며 시뮬레이션 결과에 비교하여 증가한 것은 시뮬레이션의 offset전압은 공정변동을 고려하지 않은 회로자체의 offset전압이기 때문이다.

DC power dissipation이나 slew rate 등이 시뮬레이션 결과와 차이를 보이고 있는 것도 사전에 예측한 소자의 파라미터의 변동으로 발생한 것으로 생각된다.

이와 같은 측정결과가 시뮬레이션에 의해 설계한 것에 대해 약간의 오차를 수반하고 있으나 목표한 특성에는 영향을 미치지 않는 정도임을 알 수 있다.

주파수 특성의 경우, unity gain frequency는 451~

833KHz로서 시뮬레이션을 통해 1MHz 이상으로 설계한 것에 비해 감소되었으며, phase margin은 18~36도 정도여서 45도 이상이 되도록 설계한 것과 차이가 있었다. 주파수 특성이 설계한 것과 비교할 때 그 특성이 나빠진 원인으로 몇 가지를 들 수 있는데 시뮬레이션 결과에서도 알 수 있듯이 C_L 값이 회로의 안정성에 끼치는 영향이 크다는 것을 알 수 있다.

첫째, 출력단이 없는 2-stage op-amp의 특성상 V_{out} 에 인가되는 캐패시턴스가 20pF 이하이어야 op-amp의 주파수 특성을 정확히 측정할 수 있다. 그러나 칩을 package 하고 실제 측정하는 과정에서 발생한 parasitic 캐피턴스의 영향으로 설계한 op-amp의 주파수 특성을 정확히 측정할 수 없었다.

둘째, 사전에 예측한 소자의 파라미터의 변동으로 transconductance 값의 불확실성에 기인하여 right-half plane 상의 zero의 영향이 커져서 phase margin이 감소하게 되었다는 점 등을 들 수 있다.

Slew rate는 1~3V/ μ s 정도이고 CMRR은 80dB 이상으로 만족스러운 결과를 얻을 수 있었다.

V_o linear range는 unity gain feedback의 구성에서 V_o 에 왜곡이 없는 전압범위를 측정하였는데 push-

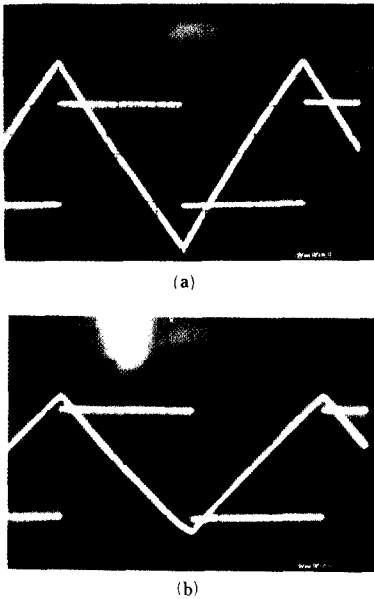


그림 11. 적분기 OP3

Fig. 11. Integrator OP3

- (a) $R=100.5 \text{ kohm}$, $C=1.24 \text{ nF}$
 $(V_{in}, V_{out}: 50 \text{ mV/div, time: } 0.2 \text{ ms/div})$.
- (b) $R=100.5 \text{ kohm}$, $C=86 \text{ pF}$
 $(V_{in}: 50 \text{ mV/div, } V_{out}: 1 \text{ V/div, time: } 0.2 \text{ ms/div})$.

pull출력단을 가진 OP3가 classA 출력단을 가진OP1 보다 우수함을 알 수 있다.

앞에서 언급한 특성을 갖는 op-amp의 적분기로서의 특성을 알아 보기위해 적분기의 RC를 2 가지 경우로 나누어 측정하였는데 모든 op-amp가 5%정도이내의 오차를 나타내었다. 이 측정의 결과에서 설계된 op-amp는 switched capacitor filter의 구성에 필요한 적분기로서 동작을 충분히 수행함을 알 수 있다.

IV. 결 론

본 논문에서는 음성주파수 처리용 switched capacitor

filter의 구성에 필요한 기본회로인 연산증폭기를 CMOS 디지털 공정을 이용하여 설계 및 제작하였다.

측정결과는 switched capacitor filter의 구성에 필요한 특성인 66dB의 DC 전압이득, 833KHz의 unity gain bandwidth, $2.3 \text{ V}/\mu\text{s}$ 의 slew rate 등을 얻을 수 있었다.

측정결과에 비추어 칩 외부에 인가되는 parasitic 캐패시턴스의 영향을 사전에 고려하여 부하 캐패시턴스에 대한 회로의 안정도를 더 증가시킬 필요가 있었는데 이러한 점을 보완하여 전술한 기본회로로 switched capacitor filter를 구성한다면 훌륭한 결과를 얻을 수 있을 것으로 생각된다.

参 考 文 献

- [1] Paul R. Gray and David A. Hodges and Robert W. Brodersen, Analog MOS Integrated Circuits, *IEEE Press*, pp. 35-36, 1980
- [2] Dewitt G. Ong, Modern MOS Technology, *McGraw-Hill, Inc.*, pp. 233-236, 1984.
- [3] Paul R. Gray and Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, *John Wiley & Sons*, pp. 744-752, 1984.
- [4] Alan B. Grebene, Bipolar and MOS Analog Integrated Circuit Design, *John Willey & Sons, Inc.*, 1984.
- [5] Phillip E. Allen and Edgar Sanchez-Sinencio, Switched Capacitor Circuits, *Van Nostrand Reinhold Company Inc.*, pp. 660-664, 1984.
- [6] H.W. Klein and Gerhard Kirschfink, Entwurf eines integrierten Switched-Capacitor-Filters in CMOS Technologie, *Thesis TH Aachen*, pp. 12, 1981.