

# 높은 항복전압을 위한 최적 계단산화막의 쇼트키 다이오드

## (The Schottky Diode of Optimal Stepped Oxide Layer for High Breakdown Voltage)

李 龍 宰\*, 李 文 基\*, 金 鳳 烈\*

(Yong Jae Lee, Moon Key Lee and Bong Ryul Kim)

### 要 約

쇼트키 접합의 가장자리 영역에 두께와 길이를 변화시킨 계단산화막을 형성시켜서 소자를 설계하여 제작하였다. 이 계단산화막의 효과는 기존의 보호산화막의 효과보다 역방향 전압의 인가시 가장자리 영역에 공핍층의 폭이 증가되어 항복전압이 개선되고 누설전류가 감소되는 것으로 나타난다.

실험적인 결과에서, 최적 계단산화막을 갖는 쇼트키 다이오드는 접합이 가지는 교류의 가장자리 효과를 줄임으로써 월등한 항복전압(170V)의 개선과 거의 이상적인 전류-전압 특성이 나타났으며, 이때 최적 계단산화막의 조건은 두께가 1700Å이며, 계단의 길이는 10μm이다.

### Abstract

A device with variable stepped oxide layer along the edge region of Schottky junction have been designed and fabricated. The effect of this stepped oxide layer in the edge region improves the breakdown voltage as a result of the by increase of the depletion layer width, and decreases the leakage current as compared to the effect of conventional field oxide layer, when the reverse voltage was applied. Experimental results show that the Schottky diode with the optimal stepped oxide layer maintains nearly ideal I-V characteristics and excellent breakdown voltage (170V) by reducing the edge effect inherent in metal-semiconductor contacts. The optimal conditions of stepped oxide layer are 1700Å in thickness and 10μm in length.

### I. 序 論

쇼트키 다이오드는 금속-반도체 사이에 정류성 접합을 이용한 것인데, 이때 전류 성분은 다수 캐리어의 흐름에 기인하며, PN접합 다이오드에 비해서 매우 빠른 스위칭 시간과 높은 순방향 전류에 의한 낮은 임계

전압 특성을 갖는다.<sup>1)</sup> 또한 제작공정이 간단하며 집적회로에 적용이 용이하다는 장점을 지니고있으나, 큰 누설전류와 낮은 역방향 항복전압 및 과잉 순방향 전류등의 바람직하지 못한 특성도 갖고 있다.<sup>2)</sup> 특히 역방향 항복전압이 PN 접합 다이오드에 비해 낮기 때문에 전력소자로도 응용에 제한을 받고있으며, 이와같은 역방향 특성이 개선된다면 전력소자로도 사용할 수 있다. 주로 열이 발생하는 영역이 금속-반도체의 경계면이므로 방열판을 이용한 금속전극의 열방출이 PN 접

\*正會員, 延世大學校 電子工學科  
(Dept. of Elec. Eng., Yon Sei Univ.)  
接受日字: 1985年 12月 26日

합소자에 비해 용이하다.<sup>[3]</sup> 역방향의 특성에서 큰 누설전류나 항복전압의 원인은 가장자리 효과 때문이며 이는 접합부분의 가장자리에서 전계의 밀집현상이 일어나 낮은 전압에서도 높은 전계가 걸려서 항복현상이 일어나기 때문이다.

본 연구에서는 종래의 금속중첩 쇼트키 다이오드<sup>[4]</sup>에서 금속-반도체 접합의 가장자리 부분에 계단산화막 구조를 형성시켜서 쇼트키 다이오드를 제작했으며, 이때 계단산화막은 계단의 두께와 길이를 각각 변화시켰다. 계단산화막의 영향으로 가장 개선된 항복전압과 이 특성에서 최적의 계단산화막 두께와 길이를 제시하고자 한다.

II. 쇼트키 다이오드의 항복현상

쇼트키 다이오드에서 항복전압에 미치는 인자는 소자의 기하구조와 반도체의 불순물 농도 및 표면상태와 금속종류에 따른 반도체의 성질, 금속-반도체 접합면의 가장자리 효과, 산화막 형성시 열적 응력으로 생긴 결함 및 양전하등을 비롯한 여러 복합적인 요인들에 영향을 받는다. 이에 대한 이론적인 표현을 정확히 나타내기는 어려우나 역방향 항복전압의 개선을 위한 기존의 쇼트키 다이오드의 구조적 특성을 비교하므로써 제안된 계단산화막이 쇼트키 다이오드에서 항복전압에 미치는 영향을 정성적으로 설명하고자 한다.<sup>[5]</sup>

1. 기존의 쇼트키 다이오드들에 대한 항복현상

반도체-금속 접합에서 반도체에 형성되는 공간전하 영역을 중앙부분과 가장자리 부분으로 나누어 생각하면, 중앙부분은 역전압에 따라 공간전하 영역폭이 일정하게 형성되지만, 가장자리 부분에서 공간전하 영역의 유효길이( $X_d$ )는 금속의 중첩정도와 산화막의 두께에 따라 각각 다르다.<sup>[6]</sup> 이때 가장자리 부분에서 공간전하 영역의 유효길이가 중앙부분의 공간전하 영역폭( $W_d$ ) 보다 적으며, 실리콘-산화막의 경계면에서 트랩 전하로 인하여 같은 역전압에서도 중앙부분 보다 가장자리 부분의 항복전계가 먼저 일어나 소프트 및 낮은 전압에서도 항복현상을 초래한다. 이런 불량한 전기적 특성에 영향을 미치는 가장자리 효과를 줄이기 위해 공간전하의 유효길이를 길게 증가시켜야 하고 활성영역에 인접한 산화막내의 양전하와 트랩전하를 줄이기 위해 양질의 산화막을 형성시켜야 한다.

그림 1의 (a)구조는 가장자리의 유효 공간전하 영역폭 ( $X_{d1}$ )은 중앙부분의 공간전하 영역폭( $W_d$ ) 보다 짧아서 낮은 항복전압이 나타난다. 그림 1의 (b)는 금속전극을 반도체-금속 접합부위 보다 넓게 산화막 위로 중첩시킨 구조로써, 금속전극에 인가되는 부(-)의 전

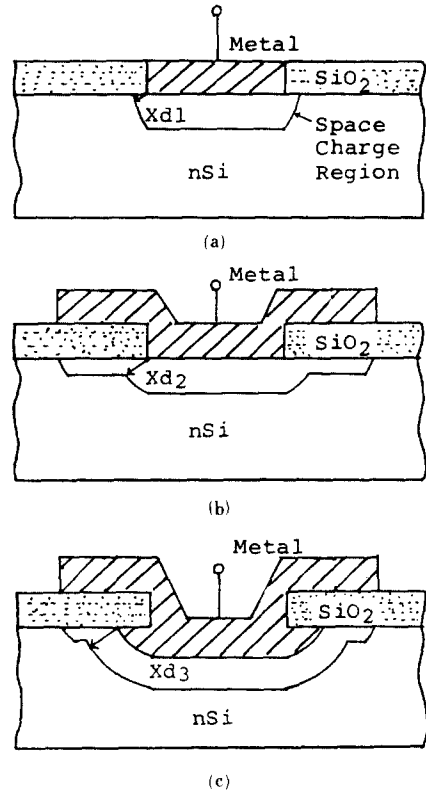


그림 1. 기존의 쇼트키 다이오드 구조

- (a) 쇼트키 다이오드
- (b) 금속 중첩 쇼트키 다이오드
- (c) 모트 식각 쇼트키 다이오드

Fig. 1. The structure of conventional schottky diodes.

- (a) Schottky diode without metal overlap.
- (b) Metal overlap schottky diode.
- (c) Moat-etched schottky diode.

압이 산화막 아래의 반도체 부분에 공핍영역을 형성시켜 가장자리 부분의 유효 공간전하 영역폭( $X_{d2}$ )이 길어져 (a) 구조 보다 항복전압이 개선된다. 그림 1의 (c)는 모트식각 구조로써 가장자리 부분의 곡률효과에 의해 항복전압이 변하며 곡률을 깊게하면 할수록 높은 항복전압이 나타나는데, 이 구조도 또한 가장자리 부분에 유효 공간전하 영역폭( $X_{d3}$ )를 크게 하는 방법이다.<sup>[7]</sup>

2. 쇼트키 다이오드에 대한 계단산화막의 응용 및 항복현상

MIS 다이오드에서 그림 2는 서로 다른 두께의 산화막에서 실리콘 기판의 농도에 따른 항복전압의 변화를 각각 측정된 결과와 소자의 구조이다.<sup>[8]</sup> 그림 2에서

Si-SiO<sub>2</sub> 계면을 따라 형성된 전계는 금속전극의 가장자리에서 최대전계를 가지며 이부분이 공간전하 영역 폭이 좁다는 것을 보여준다. 실리콘 기판의 농도가 일정할 때 산화막의 두께가 두꺼워지면 항복전압이 증가하며, 산화막의 두께가 일정할 때는 실리콘 농도에 따라 임의의 농도에서 최소값을 보인다. 즉 주어진 두께의 산화막에서는 최소 항복전압이 되는 항복전계가 금속전극의 가장자리 부분에서 항복현상이 아닌 중앙부분에서 형성한다. 최소항복전압보다 낮은 농도를 갖는 실리콘 기판에서 가장자리 부분의 항복현상을 피하려면 산화막 두께(d)와 항복전압의 최대 공간전하 영역폭(W<sub>max</sub>)과의 관계인 d/W<sub>max</sub>의 값이 0.3보다 커야한다.<sup>1)</sup> 인가전압이 일정할 때는 산화막의 두께를 두껍게하면 공간전하 영역폭이 좁아진다.

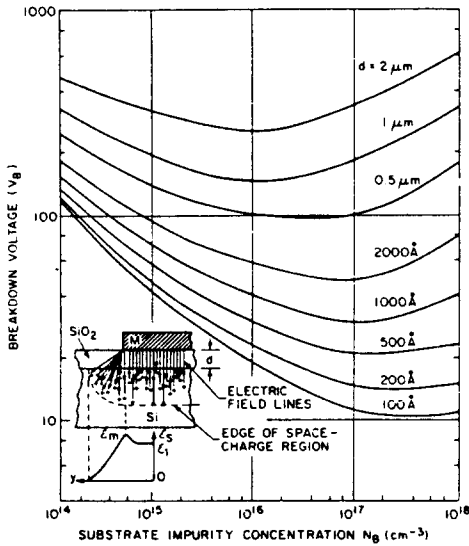


그림 2. MIS 다이오드의 항복전압  
Fig. 2. The breakdown voltage of MIS diode.

이런 원리를 고려해서 그림 3을 살펴보면 가장자리 부분에서 유효 공간전하 영역폭(Xd)를 최대로 증가시키면 높은 항복전압을 얻을 수 있다. 이를 위해서 MOS구조의 에너지대 원리를 생각할 때 N형 반도체에 역전압의 인가 정도에 따라 공간전하 영역 및 반전층이 형성되며, 일정한 인가전압에서 산화막의 두께가 얇을수록 공간전하 영역폭은 커진다. 또한 가장자리 부분에 최대의 유효 공간전하 영역폭(Xd)을 위해서 산화막 두께를 얇게 하면 유효 공간전하 영역폭은 커지나 산화막이 얇은 만큼 파괴현상(d/W<sub>max</sub> < 0.3)이 낮은 전압에서 일어나며, 산화막이 두꺼우면 내압은 높일 수 있지만 유효 공간전하 영역폭은 짧게 형성된

다. 따라서 금속-반도체 접합의 가장자리에 양질의 계단산화막을 표 1과 같이 두께와 길이를 변화시켜서 최대의 유효 공간전하 영역폭을 갖는 소자의 항복전압과 누설전류도 크게 감소된 전류-전압 특성이 보일 것으로 기대된다.

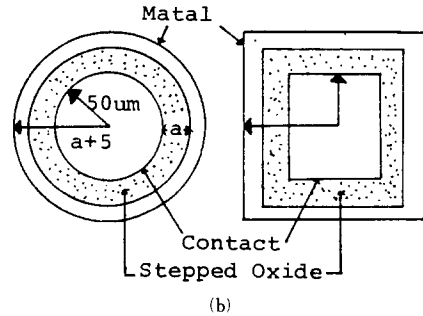
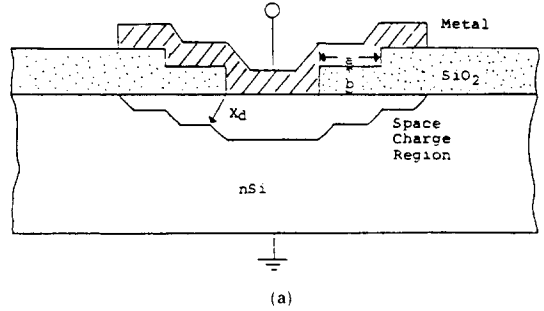


그림 3. 계단산화막 쇼트키 다이오드  
(a) 단면도 (b) 평면도  
Fig. 3. The schottky diode with stepped oxide layer.  
(a) Cross sectional view. (b) Top view.

표 1. 계단산화막의 길이변화 및 두께변화  
Table 1. The layer of stepped oxide length and thickness.

계단산화막의 길이 (a)	0	5	10	15	20	25	30	35	μm
계단산화막의 두께 (b)	0	100	560	990	1700	2700	4100		Å

III. 소자의 제작

소자의 제작에 필요한 마스크는 (1)계단산화막 성장용 마스크, (2) 접합개방 마스크, (3)금속전극 형성 마스크로써 소자는 그림 3의 (b)와 같이 원모양과 사각형으로 활성영역을 설계하였으며, 원모양 소자의 활성영역은 반지름이 50μm이며 사각형 모양은 원의 넓이와 거의 동일하게 제작하였으며, 계단산화막 길이는 5μm씩 증가시켜 35μm까지 설계하였으며 부성 감광액

용으로 마스크를 제작하였다. 실험에 사용된 반도체는 N/N<sup>+</sup> 형의 실리콘 웨이퍼이며, N에피층의 두께는 12 μm이며, 결정방향이 <111>이고, 비저항은 2 ohm-cm를 사용하여 그림 4의 공정 순서도에 따라 진행하였다.

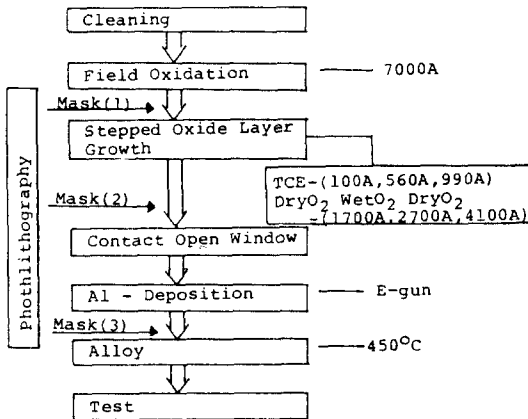


그림 4. 실험 공정 순서도

Fig. 4. Process sequence of the device fabrication.

초기 보호산화막 형성은 온도 1000°C에서 건식 습식 건식산화로 7000Å을 성장시키고, 마스크(1)을 통한 사진 식각법으로 계단산화막의 영역을 개방한 후 온도 1000°C에서 gettering 효과를 위해<sup>1)</sup> TCE와 산소의 체적비를 0.63%로 주입시켜 100 Å, 560 Å, 990 Å을 각각 성장시켰으며, 건식 습식 건식산화로 1700 Å, 2700 Å, 4100 Å을 각각 성장시켰다. 마스크(2)를 사용하여 금속-반도체 접합부분을 개방하고, E-gun 증착기를 이용하여 알루미늄 금속을 1 μm 증착시키고, 마스크(3)를 사용하여 전극단자를 형성한 후 온도 450°C 질소분위기에서 알로이 공정을 실시하였다.

IV. 측정 결과 및 고찰

1. 순방향 전류-전압 특성

순방향 임계전압은 전류가 1A/cm<sup>2</sup> 일때를 기준으로 전압을 측정하였으며, 제작한 소자의 금속-반도체 접합면적이 7800 μm<sup>2</sup>이므로 78 μA에서 0.36V의 임계전압이 측정되었으며 이값은 알루미늄 쇼트키 다이오드의 장점을 만족하며, 소자의 모양의 변화에 따른 특성차이는 없었다. 그림 5는 임계전압의 측정결과이며, 그림 6은 포화전류를 구하기 위한 측정결과이다.

쇼트키 다이오드에서 전류의 표현식<sup>1)</sup>은

$$I = I_s [ \exp(qV/nKT) - 1 ] \tag{1}$$

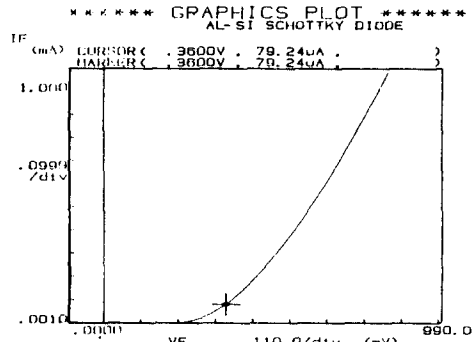


그림 5. 임계 전압의 측정을 위한 순방향 전류 전압 특성

Fig. 5. Forward I-V characteristics for the cut-in voltage.

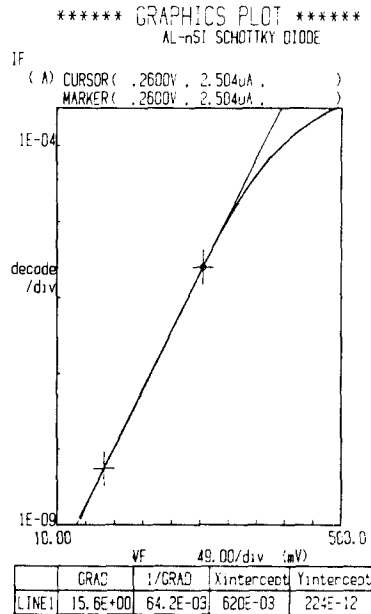


그림 6. 포화 전류 측정을 위한 전류 전압 특성

Fig. 6. I-V characteristics for the saturation current.

식(1)의 포화전류(I<sub>s</sub>)는

$$I_s = AA^*T^2 \exp(-q\phi_b/KT) \tag{2}$$

여기에서 A는 소자의 단면적, A\*는 Richardson 상수, φ<sub>b</sub>는 무인가 전압에 대한 장벽높이이다. 식(2)에서 포화전류를 측정하면 장벽높이를 구할 수 있으며, 포화전류는 그림 6에서 낮은 전압에서 외삽법으로 2.24 × 10<sup>-10</sup>A로 측정되었으며 이때의 포화전류 밀도는 2.87 μA/cm<sup>2</sup>이다. 여기서 얻어진 값을 식(2)에 대입하

여 장벽높이( $\phi_b$ )를 구하면 0.756V이었다. 이값은 일반적으로 잘 알려진 Al-Si 쇼트키 장벽높이와 훌륭한 일치율을 보여주고 있다. 또 식(1)에서 구한 ideality factor ( $n$ )는 1.057이었으며 Bathe 이론에 의하면 이때의 전류성분은 거의 thermionic emission에 의해 형성됨을 알 수 있다.<sup>10)</sup>

2. 역방향 항복전압

각각의 계단산화막 두께와 길이를 변화시킨 쇼트키 다이오드의 역방향 항복전압은 전류가 78 $\mu$ A에서 측정된 전압이다. 그림 7의 (a), (b)는 계단산화막을 길이의 변화에 따른 산화막 두께에 대한 항복전압 특성의 결과로서, (a)는 산화막의 두께가 100 Å, 560 Å, 990 Å, 1700 Å인 경우이며, (b)는 990 Å, 1700 Å, 2700 Å, 4100 Å인 경우의 항복전압을 대표값으로 취한 측정 결과이다.

그림 7의 결과에서 계단산화막의 두께가 너무 얇은 100 Å과 560 Å인 경우 계단산화막의 길이변화에 항복전압의 변화가 크게 차이가 없는 것으로 나타났는데,

이 원인은 산화막 자체의 내압이 낮기때문에 항복전압의 개선을 크게 기대 하기는 어렵지만 산화막이 100 Å인 경우 보다는 560 Å인 경우에서 어느정도 개선이된 결과로 나타났다. 990 Å 보다 1700 Å, 2700 Å이 더 양호한 항복전압 특성으로 나타났으며 4100 Å인 경우는 산화막 자체의 내압은 높으나 두꺼운 산화막으로 인하여 공간전하 영역은 상대적으로 짧게 형성되므로 이 공간전하 영역에 의한 유효 공간전하 영역폭을 증가시키지 못한 영향으로 항복전압 특성이 나빠진 결과이다. 그림 8의 (a), (b)는 산화막을 두께의 변화에 따른 계단의 길이를 변화시킨 항복전압의 결과로, (a)는 금속 중첩인 경우와 계단의 길이가 5 $\mu$ m, 10 $\mu$ m, 15 $\mu$ m인 경우 길이 변화와, (b)는 20 $\mu$ m, 25 $\mu$ m, 30 $\mu$ m, 35 $\mu$ m인 경우의 항복전압을 대표값으로 취한 결과이다.

그림 8의 결과에서 계단의 길이가 10 $\mu$ m인 경우가 가장 양호한 특성을 나타내었으며, 10 $\mu$ m 이상의 계단의 길이에 따른 유효 공간전하 영역폭은 영향이 없으나 넓어지는 계단산화막 자체에 함유된 양전하와 습식

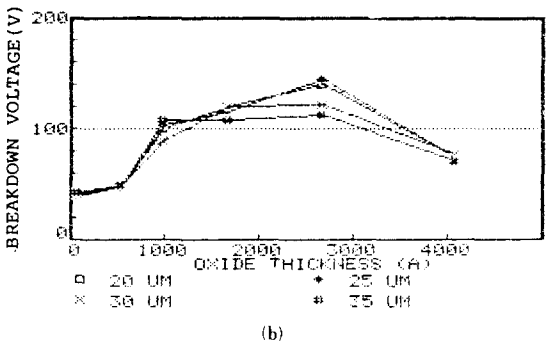
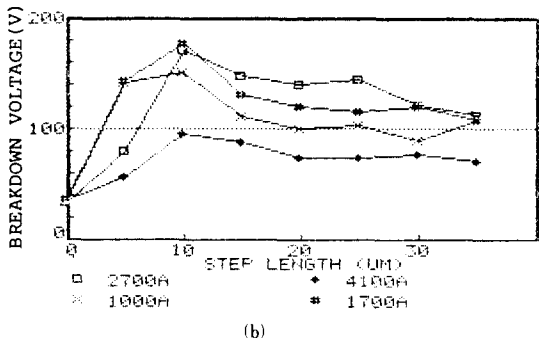
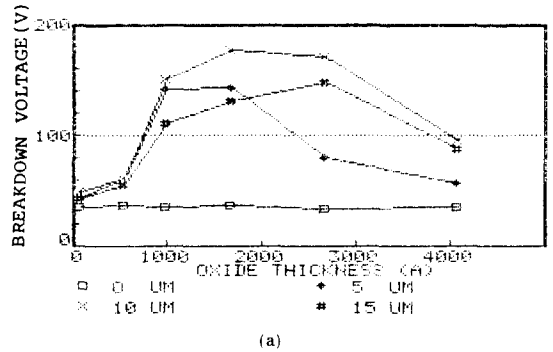
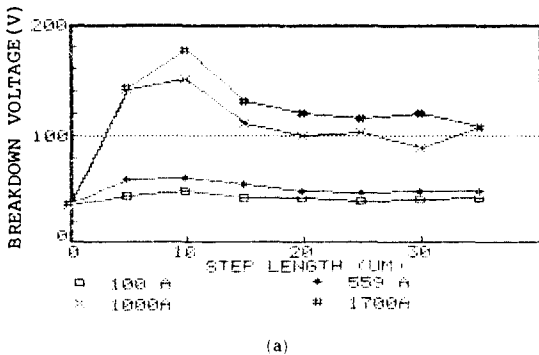


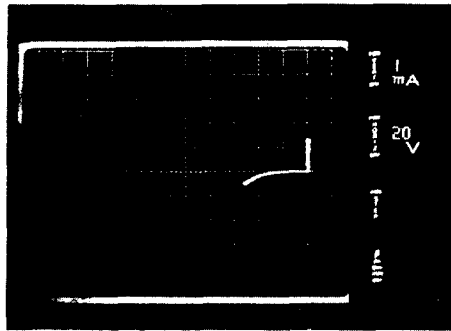
그림 7. 계단산화막 두께에 따른 역방향 항복전압  
(a) 100Å, 560Å, 990Å, 1700Å  
(b) 1000Å, 1700Å, 2700Å, 4100Å

그림 8. 계단 길이에 따른 역방향 항복전압  
(a) 0 $\mu$ m, 5 $\mu$ m, 10 $\mu$ m, 15 $\mu$ m  
(b) 20 $\mu$ m, 25 $\mu$ m, 30 $\mu$ m, 35 $\mu$ m

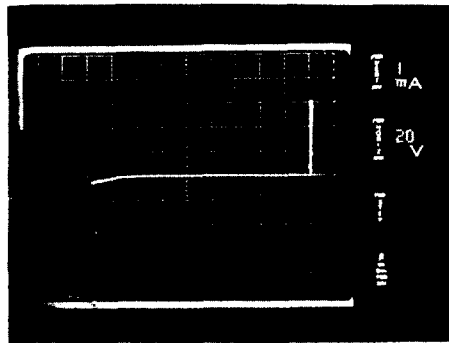
Fig. 7. Reverse breakdown voltage with the stepped oxide thickness.  
(a) 100Å, 560Å, 990Å, 1700Å.  
(b) 1000Å, 1700Å, 2700Å, 4100Å.

Fig. 8. Reverse breakdown voltage with the stepped oxide length.  
(a) 0 $\mu$ m, 5 $\mu$ m, 10 $\mu$ m, 15 $\mu$ m.  
(b) 20 $\mu$ m, 25 $\mu$ m, 30 $\mu$ m, 35 $\mu$ m.

산화로 형성된 산화막 자체의 특성으로 인하여 항복 전압이 조금 떨어지는 경향으로 나타났다. 이상의 결과에서, 계단산화막의 두께는 1700 Å이고, 길이는 10 μm에서 가장 양호한 170V 정도의 항복전압으로 개선되었으며, 그림 9는 결과 사진이다.



(a)



(b)

그림 9. 쇼트키 다이오드들에 대한 전류 전압 특성의 사진

- (a) 종래의 금속중첩 쇼트키 다이오드
- (b) 최적 계단산화막 구조의 쇼트키 다이오드

Fig. 9. Photography of current voltage characteristics for the schottky diodes.

- (a) Metal overlap schottky diode.
- (b) Schottky diode with the structure of optimal stepped oxide layer.

V. 結 論

계단산화막이 금속-반도체 접합의 가장자리 영역에 미치는 영향은 유효 공간전하 영역폭의 확장을 통한 항복전압을 개선시킨다. 항복전압의 측정 결과에서 유효 공간전하 영역폭은 계단산화막의 두께와 길이에 함수관계이며, 산화막의 두께 증가에 따라 증가하다가 다시 감소 하는 경향을 보이며, 산화막의 길이 변화에는 어떤길이(10 μm) 이상에서는 변화가 적은것으로 나타

났다. 170V의 가장 개선된 항복전압 특성에서 가장자리 영역에 형성 시킨 최적의 계단산화막은 두께가 1700 Å이고 길이는 10 μm이다. 순방향 전류-전압 특성에서 ideality factor (n)는 1.057이고, 접합의 장벽높이 ( $\phi_b$ )는 0.756V로 구해졌다. 이상의 결과에서, 금속-반도체 접합의 가장자리 영역에 계단산화막의 형성은 설계와 공정이 극히 간단하면서 역방향 항복전압의 현격한 개선과 누설전류를 감소시킨 특성으로 집적회로 및 개별소자로 응용이 용이할 것으로 사료된다.

參 考 文 獻

- [1] C.A. Mead, "Metal-Semiconductor surface barriers", *Solid State Electron.*, vol. 9, pp. 1023-1032, 1966.
- [2] A. Rusu, "The metal-overlap laterally-diffused (MOLD) schottky diode", *Solid State Electron.*, vol. 20, pp. 499-506,
- [3] Y.I. Choi, C.K. Kim, Y.S. Kwon, "Tapered sidewall schottky diodes with very low Tapere angles", *Jpn. J. Appl. Phys.* vol. 22, pp. 137-140-. 1983.
- [4] A.Y.C. Yu and C.A. Mead, "Characteristics of aluminum-silicon schottky diode", *Solid State Electron.* vol. 13, pp. 97-104, 1970.
- [5] G.K. Chang and B.R.Kim, "The effect of thin stepped oxide structure along contact edge on the breakdown voltage of Al-n Si schottky diode", *KIEE*, vol. 83-20-3-6, pp. 1-7, 1983.
- [6] A. Rusu and C. Bulucea, "Deep-Depletion breakdown voltage of SiO2/Si MOS capacitors", *IEEE Trans. Electron Device* ED-26, pp.201, 1979.
- [7] C. Rhee and J. Saltich, "Moat-etched schottky barrier diode displaying near ideal I-V Characteristics", *Solid State Electron.* vol. 15, pp. 1181-1186, 1972.
- [8] G.J. Declerck et al., "Some effects of trichloroethylene oxidation on the characteristics of MOS devices", *J. Electrochem. Soc.*, vol. 122, pp. 436-439, 1975.
- [9] J.L. Saltich and L.E. Clark, "The use of a double diffused guard ring to obtain near ideal I-V characteristics in schottky barrier diodes", *Solid State Electron* vol. 13, pp. 857-863, 1970.
- [10] S.M. Sze, "Physics of semiconductor devices", 2nd ed., Wiley New York, pp. 255-270, 1981.\*