

Teletext Bit Slicer 집적회로의 설계 및 제작

(Design and Fabrication of Teletext Bit Slicer IC)

申明澈*, 張榮旭*, 金永生*, 高鎮秀*, 明贊奎*, 閔聖基*

(Myung Chul Shin, Young Wook Jang, Young Saeng Kim, Jin Soo Ko,
Chan Kyu Myung and Sung Ki Min)

要 約

본 논문은 합성 비디오 신호에 포함되어 있는 teletext 정보신호 검파용 집적회로의 설계 및 제작에 대하여 기술한다. 비교레벨 샘플링 방법을 사용하여 아주 변동이 심한 외부회로에 대해서도 안정한 데이터 신호를 분리해 낼 수 있다. SST 바이폴라 표준공정을 이용하여 집적회로를 제작하였으며, 칩의 크기는 $2.5 \times 3.78 \text{mm}^2$ 이다.

그 결과 D.C 특성 및 데이터 신호 분리 기능이 만족스러운 집적회로의 제작에 성공하였다.

Abstract

This paper describes the design and fabrication of an integrated circuit that can detect the teletext signal included in a composite video signal. The circuit that is based on the comparator-level sampling method can detect a stable data signal even from an external circuit with large variation. It has been fabricated by the SST bipolar standard process. Its chip size is $2.5 \times 3.78 \text{mm}^2$.

I. 序 論

고 정보화 시대를 맞이하여 teletext, videotext 등과 같은 new media system 개발이 전 세계적으로 활발히 전개되고 있다. 문자다중방송(teletext)^{1,2)}이란 일반적으로 표준 television이나 cable television 채널에서 수직귀선소거기간(vertical blanking interval)을 이용하여 문자 혹은 도형 정보를 디지털 신호화하여 중첩한 다음, 전송하여 수신기에서 이를 분리하고, decoding 하여 user가 원할때 볼 수 있게함을 말한다. 또한 teletext는 주파수 스펙트럼의 많은 부분(마이크로파, F.M 라디오)으로 방송될 수 있으며, 기존 채널을 이용하여 주시가격, 날씨, 뉴스, 경마결과 등과 같은 순식간에

변하는 정보의 신속한 전달을 할 수 있으며, 서비스의 가격도 저렴하며 더 많은 사람에게 전달할 수 있다.

이런 잇점을 살려, 본 연구에서 설계, 제작한 teletext 정보신호 검파용 IC는 합성비디오 신호에 포함되어 방송되는 정보를 비교레벨 샘플링 방법^{3,4)}을 사용하여 수신기에서 정보신호만을 안정하게 검파하는 집적회로로써, video input buffer, SYNC separator, teletext data separator, clock-run-in으로 구성되어 있다.

II. IC 설계

설계된 IC의 전체적인 block diagram은 그림1과 같다. Tuner로부터 나온 A.C. couple된 합성비디오 신호는 고 임피던스 버퍼회로를 거쳐, sample and hold 회로 및 comparator 회로에 인가된다. 여기서 buffer 특성^{5,6)}은 회로 simulation시 3% differential gain, 3% differential phase 및 최소한 4.2MHz에서 3dB 대역폭을

*正會員, 三星半導體通信(株) 半導體研究所
(Samsung Semiconductor and Telecommunication
Co, Ltd. R & D)
接受日字: 1985年 11月 26日

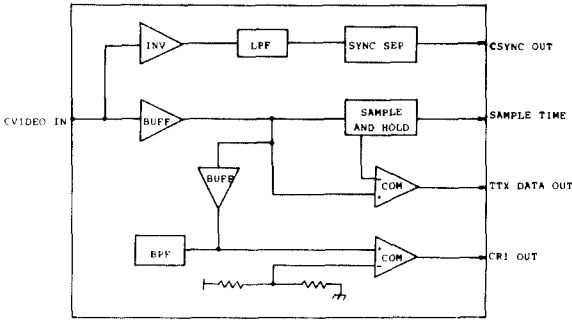


그림 1. 전체 블록 다이어그램
Fig. 1. Whole block diagram.

가지며 비디오 입력 피크치를 $2.0V_{PP} \sim 1.0V_{PP}$ 까지 변화시켜도 특성이 양호하도록 설계하였다.

그림 2는 비디오 입력 버퍼의 회로를 나타낸다.

Video input buffer의 negative 입력은 출력단과 연결되어 100%의 feedback이 되어 positive buffer로 동작한다. 따라서 Q_2 (negative input) base bias voltage는 Q_1 (positive input) base bias voltage와 동일하다. Q_4 와 R_1 은 기준전압 회로이고, Q_3, Q_4 는 current source가 된다. 그러므로 Q_3, Q_4 의 collector current는 다음과 같다.

$$I_{Q3} = I_{Q4} = V_{CC} - V_D / R_1 \quad (1)$$

Video buffer를 거친 composite video signal은 sample pulse의 high, low상태에 따라 sample and hold circuit이 동작되며, 캐패시터 충전값에 의해 slice level이 결정되어 TTX비교기의 기준 전압으로 인가된다. Sample and hold circuit은 그림 3과 같다.

평상시는 sample input이 high상태가 되어 Q_1 이 saturation상태가 되므로 Q_3 가 off가 되어 sample and hold 출력단이 floating되므로 이제까지 C_1 capacitor에 축적된 voltage가 출력된다. Sample pulse가 들어와 input voltage가 low로 떨어지면 Q_1 은 off되고 Q_3 current source의 bias가 R_1, R_2 에 의해 잡히게 되어 Q_3, Q_4 이 current source로 동작하게 된다. 따라서 Q_3, Q_4 로 이루어진 buffer가 active상태로 되므로 이 기간중 Q_4 base positive input voltage가 급격히 C_1 에 charge되어 C_1 memory voltage값을 positive input voltage로 변환시킨다.

Sample and hold circuit에 의해 만들어진 slice level(기준전압)과 buffer를 거친 composite video signal은 TTX비교기에서 비교되어 TTL레벨의 구형파로 최종 TTX 출력이 output된다.

그림 4는 TTX 및 CRI comparator circuit를 나타낸다.

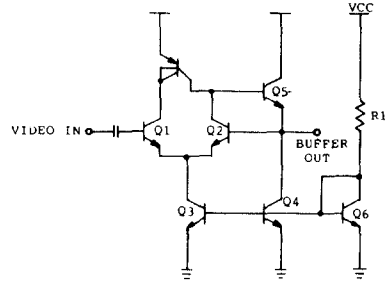


그림 2. 비디오 입력 버퍼회로
Fig. 2. Video input buffer circuit.

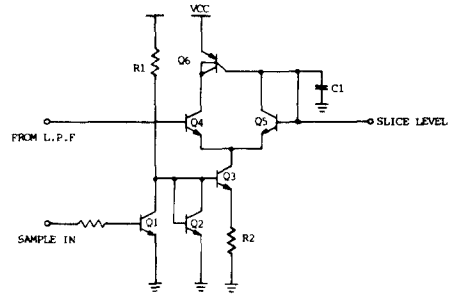


그림 3. 샘플, 홀드 회로
Fig. 3. Sample and hold circuit.

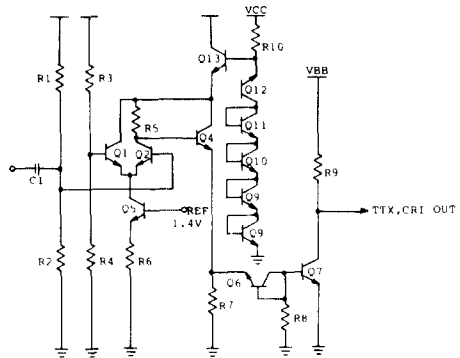


그림 4. TTX, CRI 비교기회로
Fig. 4. TTX and CRI comparator circuit.

여기서 TTX 및 CRI comparator circuit은 각각 동일한 comparator circuit으로 구성되어 있으며, 단지 reference bias단(input단)만 차이가 있다. TTX신호 흐름도는 앞서 설명한 것과 동일하며, CRI의 경우는 comparator에서 video input buffer를 거쳐 나온 composite video signal을 2.8 MHz bandpass filter^{3,5)}을 통과한 신호와 저항 R_3, R_4 에 의해 잡힌 기준전압과 비교되어 최종적으로 TTL레벨의 CRI출력이 out-

put된다.

Comparator 입력인 Q_1 베이스(negative input)와 Q_2 베이스(positive input)는 각각 $R_1=R_2=R_3=R_4$ 에 의해 $V_{CC}/2$ 로 reference bias가 잡혀 있으며, R_5 와 R_6 은 comparator input 조건에 따라 $V_D \cdot R_5/R_6$ 의 전압 변화를 갖는다. $Q_4 \cdot Q_6 \cdot Q_7$ 은 직렬연결로 Q_4 베이스 전압은 $2V_D + ZV_{EB}$ 를 넘지 못한다. 따라서 regulator 출력전압(Q_{12} 에미터전압)은 $3V_D + ZV_{EB}$ 가 되어 저항 R_5 양단에는 최소 V_D 의 전압이 걸린다.

Negative 입력이 high일때는 Q_4 에미터 전류가 Q_6, Q_7 를 통해 직렬로 과하게 흐를 위험이 있다. 이의 과전류 문제 해결을 위해 R_7 의 저항을 크게하여 방지한다.

Q_2 베이스가 high일때, 즉 positive 입력이 high일때는 Q_4 베이스 전압이 $3V_D + ZV_{EB} - V_D \cdot R_5/R_6$ 가 되므로 Q_7 을 saturation 할 수 있는 최소 Q_4 base drive voltage인 $2V_D + ZV_{EB}$ 를 넘지 못하므로, $Q_6 \cdot Q_7$ 는 off 상태가 되어 최종 TTX 및 CRI 출력은 high상태가 된다.

부가적으로 A.C. coupling된 합성 비디오 신호를 역변환하여 저주파 필터(lowpass filter)를 거쳐 대역폭(band width)을 감소시킨 다음 최종 합성동기를 분리해 내는 기능이 있다.

비디오 동기분리 회로는 그림 5와 같다.

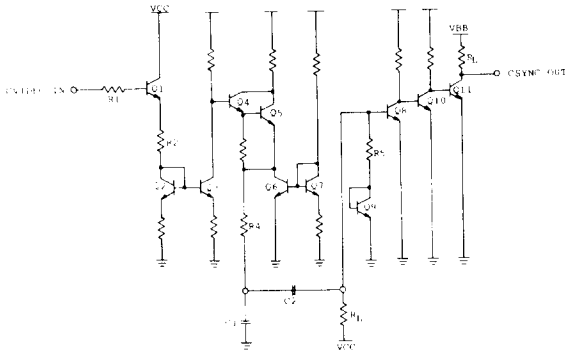


그림 5. 비디오 동기 분리 회로
Fig. 5. Video SYNC separator circuit.

Q_1 베이스로 D.C. coupling에 의해 정방향 합성 비디오 신호가 R_1 을 통해 입력되며, Q_2 는 Q_3 의 전기적 동작 특성을 보상하기 위한 회로이다. 또한 R_2, R_3 에 의한 입력신호 감쇄분 $R_3/R_2 + R_3 \cdot V_i$ 는 역시 D.C. level을 낮추어서 Q_3 collector의 동작 범위를 크게 하기 위한 것이다.

Q_3 의 collector에서 역상으로 반전된 신호는 Q_4, Q_5 의 전류증폭회로를 통해 역 합성 비디오 신호를 출력하게 된다.

R_4 및 C_1 은 SYNC. 신호외에 고주파 신호를 제거하기 위한 filter이고, filter된 신호는 결합콘덴서 C_2 를 통해 Q_6 의 base에 입력된다. 여기서 R_5 는 무신호시 transistor Q_6 의 base voltage를 약 0.4V 정도가 되도록 작은 전류를 흘리는 작용을 한다. 이때 침투치 동기신호는 Q_6 의 base-emitter 다이오드에 의해 clamping되어 신호크기 변동에 관계없이 안정하게 Q_{12} 의 collector를 통해 최대 크기가 5V인 TTL신호 레벨인 CSYNC. signal이 output된다.

그림 6은 입력신호인 composite video signal로부터 buffer, sample and hold 및 comparator를 거쳐 최종 TTX(teletext) 출력의 파형도이며, bread board에 의한 측정치를 도식적으로 표현하였다.

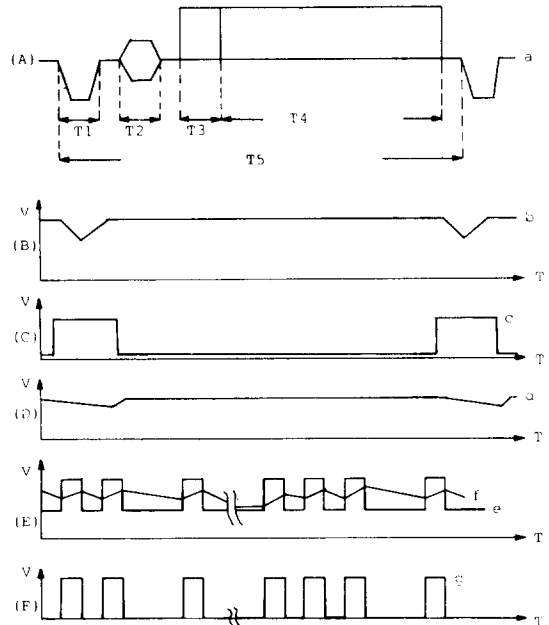


그림 6. TTX 출력파형도
Fig. 6. Output waveform diagram of TTX.

여기서 신호a는 composite video signal을, b는 능동형 저주파 필터를 거친 신호를 나타내고, c는 샘플링 펄스를, d는 sample and hold 전압변화, f는 TTX 비교기 입력, g는 TTX출력을 각각 나타낸다.

그림 7은 측정에 의한 CRI(clock-run-in) 출력파형도를 도식적으로 표현한 것이다.

여기서 b는 bandpass filter를 거친 신호이며, d는 TTL레벨의 CRI출력을 나타낸다. 또한 fig. 6 및 fig. 7서 알 수 있듯이, 여기서 bread board로 사용한 TR은 본 연구에서 실제 사용한 TR cell을 packaging하여,

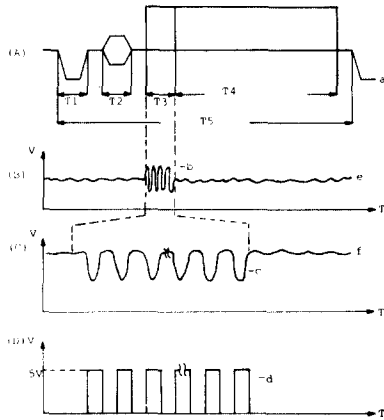


그림 7. CRI 출력파형도
Fig. 7. Output waveform diagram of CRI.

discrete로 제작하여 측정하였으므로 parameter에 의한 오차를 줄일 수 있었으며, 설계치에 가까운 결과를 얻을 수 있었다.

III. 측정 및 결과

설계, 제작된 IC는 그림 8 과 같다.

SST bipolar standard process를 이용한 semi-custon IC에 metal option으로 제작하였으며, IC의 동작상태를 측정하기 위해서 그림 9 와 같은 test circuit 을 구성하였다.

또한 TTX (teletext), CRI (clock-run-in) 출력 특성을 측정한 결과 그림 10 과 같았다.

여기서 그림 10 (a)는 입력주파수가 1MHZ일때의 TTX, CRI출력특성이며, 10 (b) (c)는 입력주파수가 각각 2.9 MHZ, 4MHZ일때의 출력특성 및 10 (d)는 SYNC. 신호 전후의 DATA 신호상태를 나타낸다.

그림 10의 측정결과에서 알 수 있듯이, Vcc가 12V일 때 주파수 변화에 따른 TTX, CRI 출력특성은 다음과 같다.

- $f_1=1\text{MHz}$ 일때, $t_{r1}=0$ (ideal 상태)
- $f_2=2.9\text{MHz}$ $t_{r2}=60\text{ns}$
- $f_3=4\text{MHz}$ $t_{r3}=80\sim 90\text{ns}$

여기서 f는 입력주파수, t_r 는 출력의 rising time을 나타낸다.

입력 정보신호를 error없이 정확하게 분리해 내기 위해서는 TTX data 출력의 speed문제가 가장 대두되며, 현재의 설계치는 60ns (2.9MHz일때)로 실험치와 일치하나, error rate를 좀더 최소화하기 위해서는 speed를 높이는 문제가 대두된다.

실제 teletext system에 적용해 본 결과, speed 가

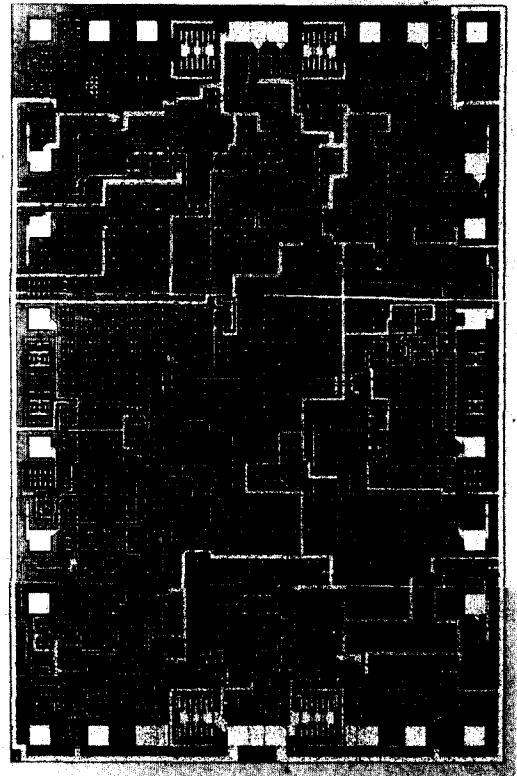


그림 8. 제작된 IC
Fig. 8. Fabricated IC.

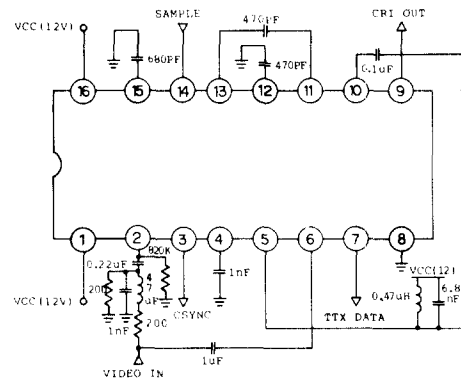


그림 9. 테스트 회로
Fig. 9. Test circuit.

60ns일때의 error rate는 전파방해로 문자신호가 약해졌을 때는 10만개 신호중 1개, 문자신호가 강해졌을 때는 1천만개 신호중 1개 정도가 발생한다.

IV. 結 論

Teletext bit slicer IC를 설계, 제작하였다. Test

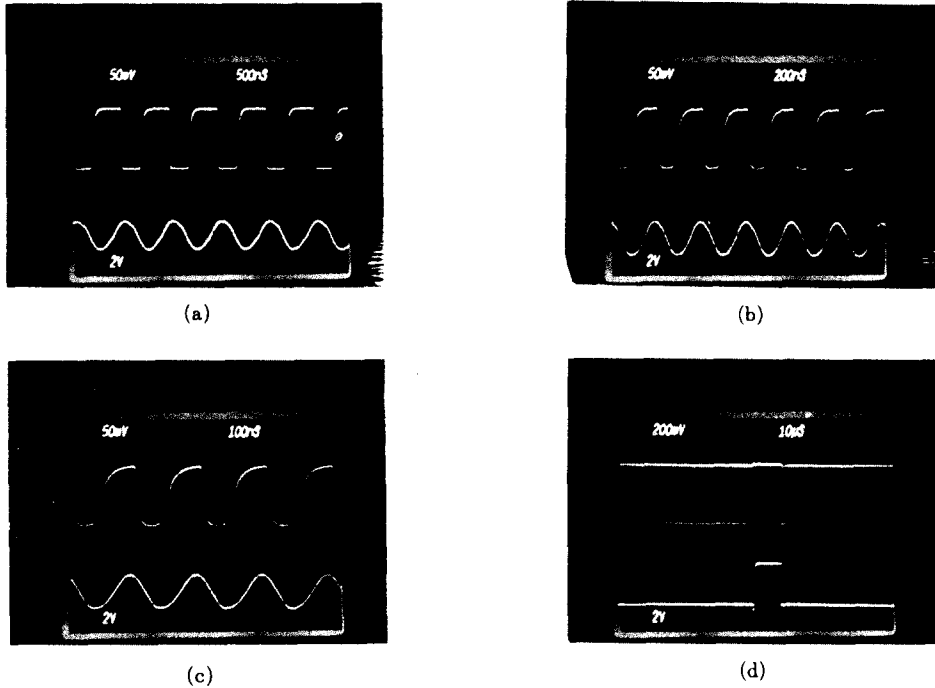


그림10. 출력파형

Fig. 10. Output waveform.

circuit을 구성하고 설계, 제작된 IC를 측정한 결과 양호한 회로특성으로 원하는 기능을 잘 수행함을 알 수 있으며, packaging 하여 실제 system에 응용해 본 결과 system이 잘 동작함을 알 수 있었다.

본 연구를 수행하는 과정에서 기존 semi-custom IC에 metal option으로 제작하여, 칩의 크기가 커졌으며, 이를 고려하여 향후 full-custom IC로 제작할 예정이며, 출력 구동능력에 따른 speed향상이 과제로 남아 있다.

또한 본 연구를 성공적으로 수행함으로써 analog 방식에 의한 문자다중 정보신호 검파용 IC의 국산화와 아울러 수입대체 효과를 가져올 수 있게 되었으며 축적된 기술을 이용하여 향후 고정보화 시대에 대비한 새

로운 IC의 개발에 응용할 수 있을 것으로 기대한다.

參 考 文 獻

- [1] CBS, *North American Broadcast Teletext Specification*. June 1981.
- [2] EIA/CVCC-NABTS, *North American Basic Teletext Specification*. 1984.
- [3] Norpak Corporation, *Internal Norpak TTX VFE System Study*. Feb. 1985.
- [4] Norpak Corporation, *TTX6 System Design Specification*. Feb. 1985.
- [5] SST, *Teletext Bit Slicer (I) (II)*. Jul. 1985.
- [6] 沼口外, “문자다중방송특집”, Oct. 1983.