

# PLA의 論理最小化를 爲한 휴리스틱 알고리즘

## - PLA 論理最小化 프로그램 PLAMIN -

(A Heuristic Logic-Minimization Algorithm for Programmable Logic Arrays

- PLA Logic-Minimization Program PLAMIN -)

李 在 旻\*, 林 寅 七\*

(Jae Min Lee and In Chil Lim)

### 要 約

本 論文에서는 PLA의 面積最適化를 위한 論理最小化 알고리즘을 제안하였다. 제안한 알고리즘에선 最小項들을 10進數로 표현하고 生成될 큐브에 포함되지 않는 最小項을 미리 제거하여 큐브 生成과정을 간소화 시켰다. 또한 多出力函數의 특성을 고려하여 임의의 最小項에 대해 이 最小項을 공통으로 갖는 函數의 조합에 대해서만 最小化를 행하므로 알고리즘 수행시간이 단축된다. 제안한 알고리즘을 VAX 11/780上에서 實現하여 종래의 방법과 비교하였다.

### Abstract

This paper proposes a new algorithm for logic minimization to optimize the area of a PLA chip. All minterms are expressed in the form of decimal number, and sets of minterms which are not included in the essential cube are deleted prior to cube generation, ther by making cube generation easy. Also, for reduction of computation time, the properties of multioutput functions are considered. That is, only the combinations of functions corresponding to common minterms are minimized. The proposed algorithm is implemented on VAX 11/780 using Pascal and compared with conventional methods.

### I. 序 論

최근 多品種 少量의 LSI/VLSI를 구성하는데 있어서 규칙적이고 유동적인 구조를 갖는 PLA(programmable logic array)가 널리 이용되고 있는데, 그 칩(chip) 利用率을 높이기 위한 방법의 하나로 論理最小化가 매우 重要視되고 있다.<sup>1)</sup> 2段 PLA의 경우 論理函數들의 積項數를 最小化함으로써 칩利用率을 향

상시킬 수 있다. 論理最小化에 관한 초기의 알고리즘들<sup>1),2),3)</sup>은 거의 主項生成 및 主項選擇의 두 과정을 별도로 수행하고 있어서 最終解에 포함되지 않는 主項들까지 모두 生成해야 되므로 많은 계산시간이 요구되었다. 그래서 이러한 점을 개선한 몇가지 방법<sup>4),5)</sup>이 제시되기도 했으나 入·出力의 數와 積項生成이 많은 函數에는 그다지 유용하지 못한 결점을 갖고 있다. 또한 최근 Arevalo<sup>6)</sup> 및 Giuseppe caruso<sup>8)</sup> 등에 의해 근사最小解를 위한 휴리스틱 알고리즘이 소개되었으나 이 방법들 역시 경우에 따라 그 解에 많은 redundancy를 갖거나 방대한 계산시간을 필요로 하는 문제점을 갖고 있다. 이러한 점에 착목하여 Arevalo의 방법에 consensus 개념을 확장한 無關集合(No relation

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Electronic Eng., Hanyang Univ.)

接受日字: 1985年 10月 24日

(※本 研究는 韓國電子通信研究所의 委託 研究課題의 一部로서 遂行된 것임.)

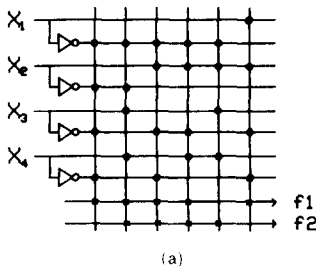
set)을 도입하여 계산시간을 개선한 論理最小化 방법이 著者에 의하여 제시된 바 있다.<sup>11)</sup> 그러나 이 방법으로 單一出力函數의 最小化과정은 개선되었으나 多出力函數의 특성을 효과적으로 처리하지는 못했다. 또한 函數를 구성하는 最小項을 알고리즘 전체를 통해 2進數로만 다루고 있어 array 처리에 개선점이 남아 있었다.

本 論文에서는 실제 PLA 구성에 유용한 多出力函數의 最小化를 위한 휴리스틱 알고리즘을 제안한다. 無關集합을 이용하여 큐브生成時 基準最小項과 큐브관계가 아닌 最小項들을 函數로부터 제거하므로써 큐브生成에 필요한 最小項들의 비교횟수를 줄이고 函數를 구성하는 모든 最小項을 10進數로 표현하여 알고리즘을 實現한 프로그램에 入力될 데이터의 형태를 canonical형으로도 줄 수 있게 하며 큐브生成 및 必須 큐브 選擇등의 과정에 필요한 array를 보다 효과적으로 처리한다. 또한 方向性 큐브그래프에서 最小項의 모든 비트를 조사하지 않고 큐브를 生成하며 多出力函數의 最小化과정에서 單一出力函數의 모든 조합에 대해 最小化를 행하는 대신 임의의 最小項에 대해 이 最小項을 공통으로 갖는 函數의 조합에 대해서만 最小化를 행하므로써 프로그램에 필요한 메모리 크기와 계산시간을 감소시킨다.

II. PLA 구성을 위한 多出力論理函數의 특성

PLA는 正入力和 補數入力を 쌍으로 多數個의 入力が 積項線과 교차하여 이루어지는 AND plane과 多數個의 出力이 積項線과 교차하여 이루어지는 OR plane으로 구성된다.

다음 그림 1의 (a)는 PLA의 기본구조로서 (b)의 函



$$f_1(x_1, x_2, x_3, x_4) = \sum(0, 3, 4, 5, 12) + \sum_a(1)$$

$$f_2(x_1, x_2, x_3, x_4) = \sum(3, 4, 5, 7) + \sum_a(6)$$

여기서  $\sum(\ )$ 는 care 最小項을  $\sum_a$ 는 don't care 最小項을 나타낸다.

(b)

그림 1. PLA의 기본 구조  
Fig. 1. Basic structure of PLA

數들을 實現한 것이다.

그림 1에서 各 入力は AND plane에서 products의 형태로 나타나고 다시 OR plane에서 이 products의 sum으로 표현되어 외부出力에 전달된다. 따라서 PLA는 임의의 sum-of-products형의 多出力論理函數를 즉각적으로 實現하기에 매우 적합한 論理設計방식임을 알 수 있다.

多出力函數를 最小化함으로써 各 最小項에 대응하는 積項이 감소되어 이를 PLA로 實現할 경우 감소된 積項數만큼의 array크기를 줄일 수 있다. 多出力函數를 最小化할 때 한가지 주의할 것은 函數전체에 대한 最小化의 解가 各 單一出力函數를 最小化하여 얻어지는 積項들의 합으로서만 반드시 이루어지지 않는다는 사실이다. 多出力函數전체에 대한 積項의 數가 最小化되기 위해서는 다음과 같은 조건이 만족되어야 한다.

즉 各 單一出力函數는 가능한 적은 數의 積項을 갖되 이 積項들이 多出力函數전체에 최대한 많이 共有되도록 하는 것이다.

III. 理論的 背景과 基本定義

1. 無關集합과 그 利用

주어진 各 單一出力函數를 最小化할 때 하나의 基準最小項과 큐브관계가 아닌 最小項들의 集합(無關集합)을 函數로부터 제거함으로써 큐브生成을 위해 필요한 最小項들의 비교횟수를 감소시킬 수 있다. 本 論文에서는 無關最小項을 제거하기 위해 Off-最小項과 限界最小項(end minterm) 사이에 존재 가능한 모든 最小項을 生成<sup>17)</sup>시키지 않고 基準最小項과 off-最小項 사이의 補數관계를 갖는 비트값만을 조사하여 無關最小項을 가려낸다. 이 때 off-最小項의 탐색거리는 1로 제한한다.

2. 方向性 큐브그래프와 큐브生成

(定義) 論理函數를 구성하는 最小項들을 2進數로 표현했을 때 各 最小項들 사이에 서로 대응하는 n개의 비트가 모든 종류의 論理值를 가질 때 이 最小項들은 n 큐브관계를 이룬다고 한다.

10進數로 표현된 最小項들 사이의 1 큐브관계는 다음 식 (1), (2)에 의해 구할 수 있다.<sup>12)</sup>

$$\log_2 |m_1 - m_2| = k \quad (k = 0, 1, 2, \dots, n) \quad (1)$$

( $m_1, m_2$ 는 서로 다른 最小項)

또  $m_1 > m_2$ 라 할때

$$m_2 = \sum_{i=0}^n 2^i - 2^k - 2^a - 2^b - \dots \quad (2)$$

(a, b, ...는 0과 n사이의 정수)

論理函數를 구성하는 最小項들 사이의 1 큐브관계

를 이용, 다음과 같은 순서로 方向性 큐브 그래프를 작성한다.

- 1) 모든 最小項을 絶點 (vertex)으로 표현한다.
- 2) 基準最小項을 출발점 (source)으로 한다.
- 3) 基準最小項으로부터 이것과 1 큐브관계의 最小項 絶點으로 方向性 絶線 (directed edge)을 연결한다.
- 4) 3)에서 도착점 (sink)인 絶點으로부터 이것과 1 큐브관계의 最小項 絶點으로 다시 方向性 絶線을 연결한다.
- 5) 1 큐브관계의 모든 最小項에 대해 4)의 과정을 반복한다.

6) 모든 方向性 絶線에 (3)식과 같이 자리값 (weight)을 부여한다.

1 큐브관계의 두 最小項  $m_i, m_j$ 를

$$x_1, x_2, \dots, x_n$$

$$m_i : a_1, a_2, \dots, a_n$$

$$m_j : b_1, b_2, \dots, b_n$$

( $a_1, a_2, \dots, a_n, b_1, b_2, \dots, b_n = 0$  또는 1) 과 같이 표현할 때  $w(e_{ij}) = n - \log_2 |m_i - m_j|$  (3)

다음은 각각 1, 2, 3 큐브관계를 方向性 큐브그래프로 나타낸 것이다.

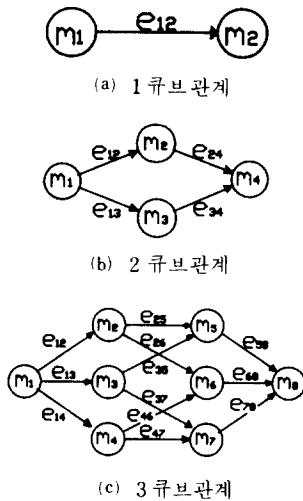


그림 2. 方向性 큐브그래프  
Fig. 2. Directed cube graph.

方向性 큐브그래프로부터 다음 조건을 만족하는 n 큐브를 生成할 수 있다.

- 1) 출발점에서 도착점으로 이어지는 경로 상의 最小項 絶點의 數는 그림 3과 같이 二項係數의 형태로 生成된다.

이 때 큐브의 絶點의 數를 P라 하면 生成되는 최

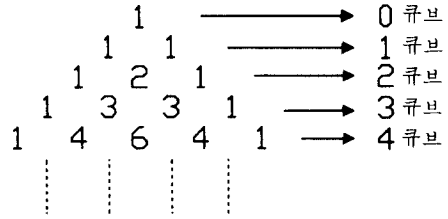
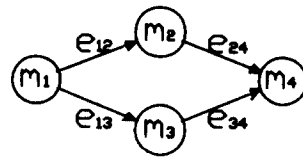


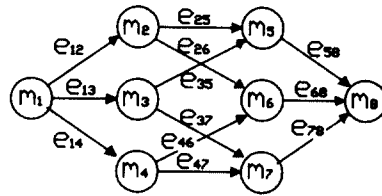
그림 3. 方向性 큐브그래프의 最小項 구성  
Fig. 3. The minterm structure of DCG.



$$w(e_{12}) = w(e_{34})$$

$$w(e_{24}) = w(e_{13})$$

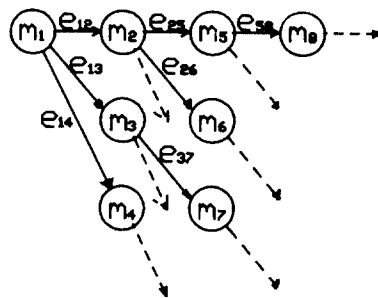
(a) 2 큐브관계



$$w(e_{25}) = w(e_{13})$$

$$w(e_{58}) = w(e_{26}) = w(e_{37}) = w(e_{14})$$

(b) 3 큐브관계



$$n=2 : w(e_{13}) = w(e_{25})$$

$$n=3 : w(e_{13}) = w(e_{25}), w(e_{14}) = w(e_{58}) = w(e_{26}) = w(e_{37})$$

$$\vdots$$

(c) n 큐브관계

그림 4. n 큐브의 자리값 조건  
Fig. 4. The weight condition of n cube.

대 큐브의 크기는  $\log_2 P$ 가 된다.

2)  $n$ 큐브 元素가 될 最小項絶點의 차수(degree)는  $n$ 이 된다. 즉  $d(v_i) = n$

3) 方向性 큐브그래프로 표현되는  $n$ 큐브관계에서 最小項絶點들 사이의 자리값 조건은 그림4와 같다.

IV. 多出力函數의 最小化

II절에 기술한 多出力函數의 특성 및 最小化 조건을 고려하여 最小化를 행할 때 Arevalo의 방법에서 定義한 exclusives 개념을 이용할 수가 있다. 그런데 Arevalo 방법에선 單一出力函數의 모든 조합에 대해 exclusives를 구해야 하므로 出力의 갯수가 커질 때 계산이 복잡해지는 단점이 있다. 본 방법에서는 다음 알고리즘 1과 같은 最小化과정으로 이러한 단점을 개선할 수 있다.

[알고리즘 1]

(段階 1) 전체函數를 구성하는 임의의  $n$ 개의 最小項을,  $m_1, m_2, \dots, m_1, \dots, m_n$ 이라 할 때 최초  $m_1$ 을 最小項으로 갖고 있는 函數의 조합에 대해서만 exclusives를 구한다.

(段階 2) 段階 1에서 구한 exclusives에 대해 다음 알고리즘 2를 수행한다.

(段階 3) 段階 1로 가서 다음 最小項  $m_1$ 를 選擇하여 段階 2까지의 과정을 반복한다. 이때 앞서 고려된 函數의 조합과 동일한 조합을 갖는 最小項은 중복하여 고려하지 않는다.

(段階 4) 生成된 必須큐브들을 standard form<sup>12)</sup> 또는 PLA의 특성 matrix(personal matrix) 형으로 나타낸다.

[알고리즘 2]

(段階 1) 函數를 구성하는 最小項 가운데 크기 順으로 基準最小項을 選擇한다.

이 때 don't care 最小項은 최대큐브 生成을 위해 사용될 수 있으나 基準最小項이 될 수는 없다.

(段階 2) off- 最小項의 數가 0 또는 1인 것은 必須큐브가 될 수 있으므로 먼저 이들에 대한 큐브를 생성한다. 이렇게 함으로써 기존 방법<sup>7,8)</sup>에서 필요한 段階 3~段階 5를 수행하지 않아도 되며 따라서 그만큼 계산시간이 감소된다.

(段階 3) 基準最小項에 대한 無關集을 구해 函數 조합의 最小項으로부터 이를 제거한다.

(段階 4) 段階 3에서 無關集을 제거한 나머지 最小項에 대해 方向性 큐브 그래프로부터 必須큐브를 生成한다. 이 때 출발점 絶點에 대응하는 도착점 絶點을 選擇할 때 care 最小項을 우선으로 한다.

(段階 5) 生成된 必須큐브의 最小項은 基準最小項

選擇時 이를 제외하고 큐브生成時에는 앞서 生成된 必須큐브에 포함된 最小項으로 취급한다.

(段階 6) 새로운 基準最小項을 段階 1에 명시한 順으로 定한다. 이 때 모든 最小項이 必須큐브에 포함되면 알고리즘 1의 段階 4로 간다.

(段階 7) 段階 3으로 간다.

다음 그림 5는 以上の 알고리즘에 대한 흐름도이다.

그림 1의 函數에 最小化 알고리즘을 적용하면 다음과 같다.

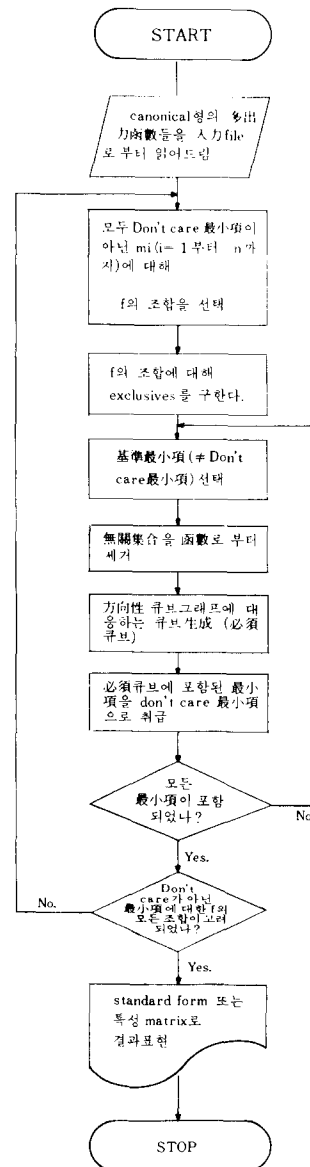


그림 5. 論理最小化 알고리즘의 흐름도  
Fig. 5. Flowchart of logic minimization algorithm.



EXECUTION TIME RATIO

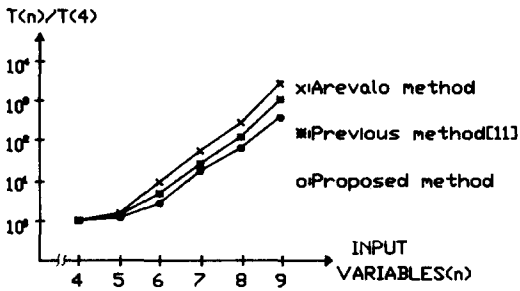


그림 10. 계산시간 증가율 비교  
Fig. 10. Comparison of execution time ratio.

EXECUTION TIME RATIO

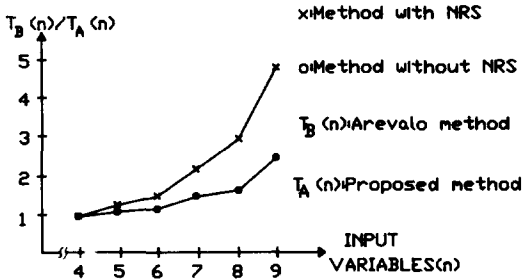


그림 11. 계산시간 증가율에 대한無關集合의 효과  
Fig. 11. Effects for execution time ratio by NRS.

VI. 結 論

本論文에서는 PLA의面積最適화를 위한 새로운論理最小化 알고리즘을 제안하였다. 無關集合을 이용하여 큐브生成 및 必須큐브選擇에 필요한 最小項들의 비교횟수를 줄일 수 있었으며 函數를 구성하는 最小項을 10進數로 표현하여 프로그램 작성時 array를 효과적으로 처리할 수 있었다. 또 方向性 큐브그래프에서 별도의 主項生成 및 選擇 과정을 거치지 않고 必須큐브를 生成할 수 있었다. 특히 多出力函數의 특성을 고려하여 各 函數의 모든 조합에 대해 最小化를 행하지 않고 임의의 最小項에 대해 이 最小項을 공통으로 갖는 函數의 조합에 대해서만 最小化를 행하므로 기존의 방법보다 계산시간을 단축시키고 메모리도 효율적으로 사용할 수 있었다.

알고리즘을 Pascal언어로 프로그램하여 컴퓨터 수행시간을 기존 방법과 비교해 본 결과 變數가 증가함에 따라 계산시간의 차가 점차 커짐을 확인하였다.

參 考 文 獻

- [1] W.V. OUIINE, "A Way to Simplify Truth Function", *Amer. Math. Mon.*, vol. 62, pp. 627-631, Nov. 1955.
- [2] E.J. McCluskey, Jr. "Minimization of Boolean Function", *Bell Syst. Tech. J.* vol. 35, pp. 1417-1444, Apr. 1957.
- [3] P. Tison, "Generalization of Consensus Theory and Application to The Minimization Boolean Function", *IEEE Trans. Comput.* vol. EC-16, pp. 44-456, Aug. 1967.
- [4] S.J. Hong et al, "MINI: A Heuristic Approach for Logic Minimization", *IBM J. Res. Dev.*, vol. 18, pp. 443-457, Sept., 1974.
- [5] J.E. Slagle et al, *A New Algorithm for Generating Prime Implicants*. IEEE Trans. Comput. C-19, pp. 304-310, Apr. 1970.
- [6] J.P. Roth, "Algebraic Topological Methods for The Synthesis of Switching Systems I", *Trans. Amer. Math. Soc.*, vol. 88, pp. 301-326, July 1958.
- [7] Z. Arevalo, A Method to Simply a Boolean Function into a Near Minimal Sum-of products for Programmable Logic Arrays", *IEEE Trans. Comput.* vol. C-27, pp. 1028-1039 Nov. 1978.
- [8] Giuseppe caruso, "A Local Selection Algorithm for Switching Function Minimization," *IEEE Trans. Comput.* vol. C-33, pp. 91-97, Jan. 1984.
- [9] Tsutomu Sasao, "Input Variable Assignment and Output Phase Optimization of PLA's". *IEEE Trans. Comput.* vol. C-33, pp. 879-894, Oct. 1984.
- [10] 이재민, 황문수, 임인철, "論理函數 簡單化를 위한 Cube Table 方法," 大韓電子工學會 秋季綜合學術大會 論文集 vol. 7, no. 2, pp. 327~330, 1984. 11
- [11] 최상호, 임인철, "PLA 設計用 高速論理 最小化 알고리즘," 大韓電子工學會誌 第22卷 第2號 pp. 25~30, 1985. 3.
- [12] 이재민, 신용철, 임인철, "PLA 設計를 위한 論理函數最小化技法," 大韓電子工學會 夏季綜合學術大會 論文集 vol. 8, no. 1, pp. 617~621, 1985. 6.