

기능상 집적된 비포화 논리소자

(Functionally Integrated Nonsaturating Logic Elements)

金 元 燦*

(Wonchan Kim)

要 約

본 논문은 collector diffusion isolation(CDI)를 사용하여 대규모 집적회로에 맞는 새로운 저전압용의 고밀도, 고속도 논리회로 소자의 가능성을 제시한다. 또, 이를 diffusion공정만을 사용한 conventional process를 사용하여 개개의 transistor가 functionally integrated된 형태로 게이트 및 테스트 회로를 설계하고 구현하여 측정함으로써 기존의 논리 소자들과 비교 검토하였다.

사용된 논리회로는 CML(Current Mode Logic)과 EECL(Emitter-to-Emitter Coupled Logic) 게이트의 개량된 형태이며 current switching logic에서 측정된 결과부터 얻어진 power-delay product 6~11pJ 및 delay time/gate 1.6~1.8ns는 새로운 VLSI element의 가능성을 긍정적인 방향으로 확인시켜 주었다.

Abstract

This paper introduces novel functionally integrated logic elements which are conceptualized for large scale integrated circuits. Efforts are made to minimize the gate size as well as to reduce the operational voltage, without sacrificing the speed performance of the gates. The process used was a rather conventional collector diffusion isolation (CDI) process. New gate structures are formed by merging several transistors of a gate in the silicon substrate. Tested elements are CML (Current Mode Logic) and EECL (Emitter-to-Emitter Coupled Logic) gates. The obtained experimental results are power-delay product of 6 ~ 11 pJ and delay time/gate of 1.6 ~ 1.8 ns, confirming the possibility of these novel gate structures as a VLSI-candidate.

I. 序 論

집적회로의 packing density를 높이는 방법은 크게 두가지로 나눌 수 있다. 그 하나는 MOS-transistor와 같이 size가 작은 소자를 이용하여 집적도가 높은 연산장치용 IC 또는 memory와 같은 기억소자용 IC를 만들거나 bipolar공정에서 oxide isolation, shallow

junction transistor등의 발달된 공정을 사용하여 동작 속도가 빠른 집적회로를 만드는 방법이다. Bipolar공정은 standard buried collector(SBC)이외에도 digital 회로에 적합하게 isolation 방법을 간략화시킨 collector diffusion isolation(CDI)¹⁾과 같이 변형된 형태의 transistor 구조를 사용하기도 한다.

또 하나의 다른 접근 방향은 주어진 공정을 변화시키지 않고 gate의 구성방법을 변화시킴으로써 기능상으로 집적화된 transistor의 갯수, isolation pocket의 갯수를 줄이고 저항 소자가 차지하는 면적을 줄임으로써 회로의 성능을 개선시키는 방법이다. 이와 같은 방법의 효용성은 1960년대 중반에 개발된 multi-emitter의 구조를 사용한 TTL과 1970년대 초반의 PL²⁾로써

*正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul National Univ.)

接受日字: 1985年 10月 25日

(※ 본 연구는 1983년도에 금성반도체 주식회사 지원에 의해 이루어짐.)

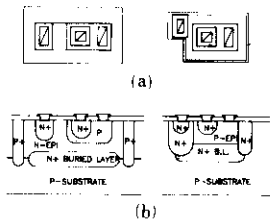
증되었다.

Bipolar 논리 회로의 속도는 transistor의 saturation 동작에 의해 제한되며 이를 피하기 위하여 high speed logic으로는 ECL이 많이 쓰이고 있다. 이와같은 ECL의 speed performance와 I²L의 packing density를 결합하려는 시도는 이미 된 바 있으나¹⁾ 이들은 대개의 경우 특수한 반도체 공정의 개발을 요구하는 관계로 실제 응용에 어려움을 수반하고 있다.

본 논문에서는 이미 통신용 회로의 제작에 널리 쓰이고 있는 CDI공정을 사용하여 회로 소자의 구조만을 변화시킴으로써 고집적도의 nonsaturating logic element를 구성하는 새로운 기법을 소개하며 또 이들 소자의 제작을 통해 실험결과를 검토함으로써 그의 효용성을 검토한다.

II. Collector Diffusion Isolation(CDI)

CDI공정은 SBC공정과 달리 그림 1에서 보는 바와 같이 collector diffusion만으로 동시에 base와 isolation 영역을 정의해주며 p-type의 epi층이 base를 이룬다. 따라서 공정이 SBC에서보다 적은 masking step 및 heat cycle로 이루어지고 또 집적도도 높아지는 장점이 있다.



(a) LAYOUT
(b) CROSS-SECTION

그림 1. Transistor의 단면도 비교
Fig. 1. Comparison of cross-sections.

SBC transistor에 비해 CDI공정에 의한 transistor는 collector영역에서 낮게 doping되어 있는 부분이 제거되어 있으므로 parasitic 저항값이 작아지고 또 epi층을 base로 사용하였으므로 전류증폭도는 높아진다. 또, 거의 대칭적인 emitter-base의 doping-profile에 힘입어 collector-emitter간의 breakdown voltage는 낮아지는 반면 transistor의 emitter와 collector를 교환하여 쓸 수도 있다. CDI 공정 설계시 또 하나의 장점은 collector diffusion과 buried layer를 결합하여 positive supply line, substrate와 p-diffusion을 negative supply line의 보조 역할로 사용할 수 있어 회

로 소자간의 금속배선시 효율을 높일 수 있다. 본 논문에서 사용된 제조 공정이 표 1에 간략하게 정리되어 있다.

한가지 특기할 사항은 base의 Gummel-number를 안정시키기 위하여 ion implantion이 사용되었다는 것이다.

표 1. CDI공정 개요
Table 1. CDI process sequence.

(Mask)	
1. starting material	0.1cm, p-type, (111) oriented
2. initial oxidation (1100°C)	t=600nm
3. (I) buried layer implantation	Sb, n ₀ =1.9×10 ¹⁸ cm ⁻³ , E=50keV
4. drive-in (1250°C)	Rs=30Ω/□, x _i =3μm
5. growth of p-type epitaxial layer	t=2μm, ρ=0.9Ωcm
6. (II) collector diffusion (1000°C)	Rs=3.9Ω/□, x _i =2.8μm
7. base implantation	B, n ₀ =2.0×10 ¹⁸ cm ⁻³ , E=100keV
8. drive-in (975°C)	Rs=470Ω/□, x _i =0.75μm
9. (III) emitter predeposition (900°C)	Rs=26Ω/□, x _i =0.7μm
10. oxidation (900°C)	
11. (IV) contact hole opening	
12. (V) metallization	
13. (VI) passivation with p-doped oxide	

III. Switching Transistor의 Functional Integration

CML의 gate는 2-input NOR의 경우 그림 2. (a)에서 보는 바와 같이 4개의 transistor로 구성되어 있다. SBC공정을 이용할 경우 이러한 gate의 설계에는 input transistor용 1개, reference transistor용 1개, current source용 1개, 저항 소자들용 1개 포함 4개의 isolation pocket이 필요하게 된다. SBC의 transistor 구조에서 intrinsic transistor가 차지하는 면적이 isolation을 포함한 전체 면적의 극히 일부분(3%이내)임을 고려할 때 한 gate에 4개의 isolation이 필요하다는 것은 극히 비효율적이다.

본 논문에서는 CDI transistor를 사용할 경우 collector diffusion이 buried layer에 닿도록 깊숙히 diffusion되어 있고, 또 p-type의 epitaxial layer를 사용함으로써 한개의 buried layer 위에 여러개의 transistor가 효율적으로 집적될 수 있는 점에 착안하여 네 개의 transistor를 모두 한 isolation pocket안에 구성하였다.

그림 2. (b)의 단면도에서 current source용 npn transistor Q4는 normal mode의 npn transistor를 사용하고 switching transistor Q1-Q3는 inverse mode의 npn transistor로 구성하였다. 이로서 Q4의 coll-

ector와 Q1~Q3의 emitter가 buried layer 및 collector diffusion 영역으로 표면에서의 metal layer를 거치지 않고 silicon 내부에서 연결된 상태로 되므로 표면 금속배선이 논리 기능만을 위하여 쓰이며 또 별도의 isolation diffusion이 필요하지 않게 된다.

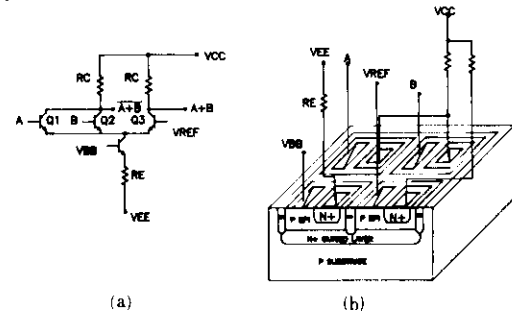


그림 2. (a) CML 2-input NOR gate의 layout
(b) CML gate의 단면도

Fig. 2. (a) The layout of CML 2-input NOR gate.
(b) The cross-section of CML gate.

본 논문에서는 각 트랜지스터가 비포화영역에서 동작되도록 logic swing을 $2/3V_D$ 로 하고 ($V_D = V_{REF}$), logic "H" level은 V_{CC} , "L" level은 $V_{CC} - 2/3V_D$, V_{REF} 는 $V_{CC} - 1/3V_D$ 로 설계하였다. 또한, collector 저항 R_C 와 current source의 emitter 저항 R_E 는 $R_C/R_E = 2/3$ 가 되도록 하고, V_{BB} 에 $2V_D$ 를 인가함으로써 logic level이 V_D 와 tracking하도록 하였다. R_E 및 R_C 값은 공급전류를 $0.5mA$ 로 하여 $R_E = 750mA/0.5mA = 1.5K\Omega$, R_C 는 $1K\Omega$ 로 정하였다. 이 layout은 collector diffusion과 buried layer의 결합을 보조 power supply line으로 사용할 수 있고 또, line이 회로상에서 most positive potential을 갖으므로 두개의 저항 R_C 를 n⁺-packet속에 집어넣을 수가 있고 또 p⁺-substrate와 p⁺-surface implantation을 역시 보조 negative power supply line으로 사용하여, metal contact을 거치지 않고 직접 R_E 를 배치함으로써 silicon 표면에 필요한 metal interconnection의 수를 극소화시킨 것이다.

또한, CML-gate와 유사한 구조로 Emitter-to-Emitter Coupled Logic (EECL) gate도 설계하였다. EECL은 CML과 같은 동작 원리를 가지나 input logic function이 emitter follower에 의한 wired-OR로 이루어지며 current mode switch는 inverting과 noninverting의 complementary output을 갖는다. ECL과 비교할때 fan-in이 증가하며 또 collector substrate capacitance의 영향을 배제할 수가 있어 low-resistance substrate를 사용하는 CDI 구조에 특히 유리하게 된다. Logic level은 "H"일때 V_{CC} , "L"일때 $V_{CC} - V_D$ 가 되

며 V_{REF} 는 $V_{CC} - 3/2V_D$, logic swing은 V_D 가 된다. 본 연구에서는 collector 저항 R_C 값은 current mode switch의 공급전류를 $0.3mA$ 로 하여 $R_C = 0.7V/0.3mA = 2.3K\Omega$ 로 설계하였다. R_{EF} 는 gate의 delay time과 전력소모에 관련되며 저항값이 클 수록 전력소모는 적어지지만 delay time은 증가하게 된다. 이러한 점을 고려하여 emitter follower에 $1mA$ 를 흘려주도록 $R_{EF} = 3.95V/1mA = 4K\Omega$ 로 설계하였다. 이 경우에도 CML에서와 같이 current mode switch 부분을 inverse mode로 동작시키고 input transistor를 normal mode로 동작시켜 gate의 크기를 줄임으로써 집적도를 높였다. 그림 3에 basic 2-input NOR gate의 회로 및 layout가 도시되어 있다.

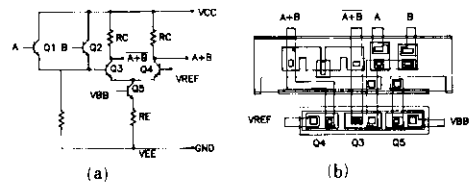


그림 3. EECL 2-input NOR gate의 회로 및 layout
Fig. 3. The circuit and layout of EECL 2-input NOR gate.

IV. 특성결과 및 고찰

CML의 동작 특성을 분석하기 위하여, CML-array를 13stage의 ring oscillator(그림 4 (a))로써 배선하고 측정하였다. V_{CC} 를 5V로 걸어 주었을 때 gate당 delay time은 1.73ns이었고 (그림 4 (b)) 공급 전류는 0.72mA, power-delay product는 6.2pJ이었다. 이는 SBC transistor로 구성한 10K series ECL과 비교하면 functional integration에 의한 gate size의 감소, 금속 배선의 간편도를 고려할 때 괄목할 만한 결과라고 하겠다.

EECL gate의 경우에도 역시 gate를 array로 배열하고 이를 13stage ring oscillator로 구성하였다. V_{CC} 가 5V때의 gate당 delay time은 1.6ns(그림 4 (c)), 공급전류는 1.36mA power delay product는 10.9pJ 이었다.

위의 CML과 비교할 때 emitter follower를 사용한 input stage에 흐르는 전류가 이에 추가되어서 power consumption이 증가했다. 이 gate는 CML gate에서 inverse mode의 transistor를 사용하는 결과로 발생하는 낮은 fan-out의 문제를 해결할 수 있으므로 gate 유용성은 더 높아진다. 이와같은 power delay product 6.2pJ, 13.6pJ은 conventional한 ECL gate 값의 약

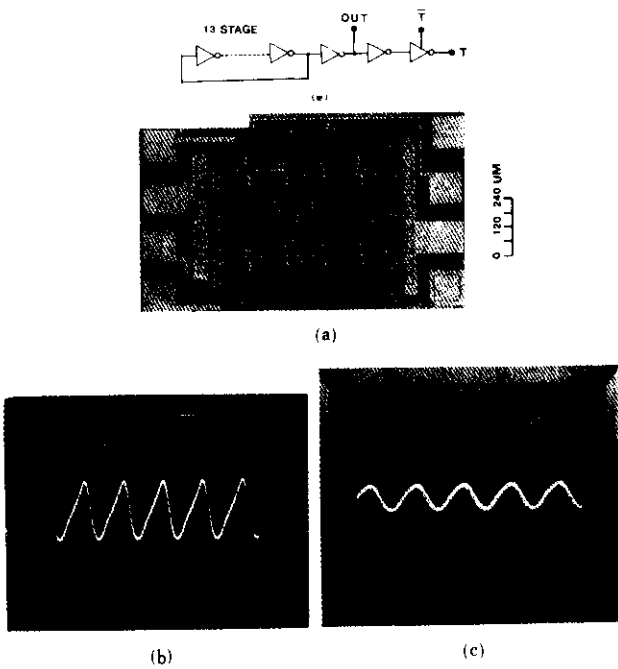


그림 4. Ring oscillator의 사진 및 출력 파형
 (a) 13단의 ring oscillator
 (b) CML ring oscillator의 파형
 (c) EECL ring oscillator의 파형

Fig. 4. Photomicrograph of ring oscillators and the output waveforms.
 (a) 13-stage CML ring oscillator
 (b) Output waveform of CML ring oscillator
 (c) Output waveform of EECL ring oscillator

1/5~1/10 정도이며 또한 functional integration에 의한 집적도를 함께 고려할때, 새로운 medium-to-high speed 용의 VLSI 회로소자로서의 가능성을 충분히 제시하는 것이다. 이러한 새로운 functionally integrated logic의 주요한 장점으로서는,

- 1) Isolation packet 수의 감소로 인한 packing density의 증가,
- 2) Parasitic capacitance의 감소와 low current injection level에 따른 logic gate의 power

dissipation 감소,

- 3) Buried layer와 collector diffusion을 사용하여 내부연결을 함으로서 gate를 wiring할 때 flexibility가 증가,
- 4) Switching transistor의 nonsaturating 동작에 의한 high speed 구현등을 들 수 있다.

V. 結 論

본 논문에서는 CDI 공정을 이용하여 기존 SBC공정을 사용한 CML, EECL을 개량된 형태로 변형시켜 설계하고, 이를 비교적 conventional한 design rule을 사용하여 제조하였다. 얻어진 결과는 minimum gate delay가 CML의 경우 1.73ns, EECL의 경우 1.6ns 이었으며 gate당 power consumption은 각각 3.6mW, 6.8mW 이었다. 이는, feasibility test의 목적으로 제조된 것으로 더 tight한 design rule을 사용하고 oxide isolation 및 full-implanted transistor를 사용한다면 더 나은 개선이 있을 것이다.

參 考 文 獻

- [1] B.T. Murphy, V.J. Glinski, P.A. Gray and R.A. Pedersen, "Collector diffusion isolated circuits," *Proc. IEEE*, vol. 57, pp. 1523-1527, September 1969.
- [2] H.H. Berger and S.K. Wiedmann, "Merged transistor logic - A low cost bipolar logic concept," *IEEE J. Solid-State Circuits*, vo. SC-7, pp. 340-346, October 1972.
- [3] C.M. Hart and A. Slob, "Integrated injection logic - A new approach to LSI," *IEEE J. Solid-State Circuits*, vol. SC-7, pp. 346-351, October 1972.
- [4] W. Kim, W.L. Engl, *Emitter-Coupled Injection Logic*. IEEE International Solid State Circuits Conference Digest of Technical Papers, pp. 62-63, 1980.