

論文

磁氣바블 論理回路에 關한 研究

正會員 全 慶 一* 正會員 閔 泰 泓**

A Study on the Magnetic Bubble Logic Circuit

Kyoung Il JUN*, and Tae Hong MIN**, Regular Members

요 약 본논문에서는 3-3CLC 자기바블 논리회로의 종속접속에 관한 원리를 제시하고 임의의 3-3CLC를 최소한의 소자를 종속하여 실현시키는 문제를 연구하였다. 기본유형으로서 제 5, 15, 21, 24 및 제 29의 5 종의 유형을 사용하여 전체 기본유형 31종을 실현시켰다. 본논문의 합성방법에 있어서는 입출력선의 교차를 허용하였는데 그상한은 3으로 족하였으며 합성 결과를 전산처리하였다.

ABSTRACT In this paper, the principles of cascade realization of 3-3CLC (3input-3output Conservative Logic Circuit) using magnetic bubble are explored and the problem of realizing arbitrary 3-3 logic circuit with minimal number of logic elements is handled. The five primitives classes 5, 15, 21, 24 and 29 are selected to realize all of the 31 equivalent class by cascading only two of them. The crossovers of lines are permitted in this realization and the upper bound of crossovers is three. The composition results are computed in MV 4000 minicomputer.

1. 서 론

최근 디지털 정보 전송시스템의 급속한 발전은 반도체소자의 발달에 크게 영향을 받아왔다. 특히 정보의 저장수단으로서 반도체메모리, 자기디스크메모리등 기억소자에 대한 연구도 활발히 진행되어오고 있다. 자기바블(magnetic bubble)의 형태로 정보를 저장할 수 있다는 기술이 발표된후^{(1)~(5)} 이 방면에 많은 연구가 진행되었고 1972년에는 0.36 cm² garnet 바블칩내에 50kbit의

정보를 저장할 수 있는 기술적 보고가 나왔다⁽⁶⁾

현재 개발 시판되고 있는 자기바블 메모리소자는 여러면에서 자기디스크 메모리소자와 유사한 점이 있으며 정보가 자기박막내에서 자화상태로 저장되는 점은 동일하지만 근본적인 차이점은 자기디스크메모리는 박막이 기계적으로 고속으로 이동하지만 바블메모리는 박막내에서 바블이 고속으로 이동되는 점이다.

일반적으로 자기바블 메모리는 저장된 정보를 판독하거나 재기입하지 않고서도 여러형태의 논리작용이 가능하고 가동부분이 없기때문에 기억장치로서 신뢰성이 높다는 것이 특징이다.

보편적으로 입력단자수와 출력단자수가 같고 소자내부에서는 자기바블이 소멸되거나 생성되지 않는 논리회로를 CLC (Conservative Logic Circuit) 라고 한다^{(7), (8)}. 입, 출력단자수가 다갈

* 仁荷工業專門大學電子科
Dept. of Electronics, In Ha Junior Technical college,
160 Korea.

** 仁荷工業專門大學電算科
Dept. of Computer Science In Ha Junior Technical
college, 160 Korea.

論文番號 : 86-04 (接受 1986. 1. 13)

이 n 일때 $n-n$ CLC라고 하는데 현재로서는 3-3 CLC가 보편적이다.

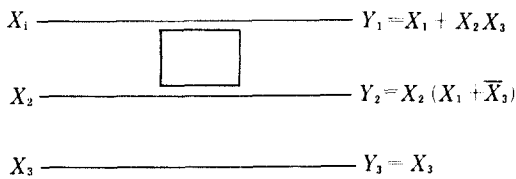
본논문에서는 3-3CLC자기바블 논리회로의 종속실현에 대한 원리를 밝히고 제 5, 15, 21, 24 및 29의 5종의 기본유형(primitive class)을 선택하여 이들 중 두개만을 종속(Cascade) 함으로서 31종의 전체기본유형을 구현시키는 것이 가능함을 제시하였다.

2. 원 리

2-1. 3 입력 - 3 출력 CLC의 동작



(a) permalloy 회로소자



(b) Symbolic circuit

그림 1 3-3 conservative 회로
3 input - 3 output Conservative Circuit.

그림 1과 같이 입력 및 출력이 각각 3개이고 permalloy overlay가 갈매기형이기 때문에 일명 Chevron 3-3회로라고도 한다^{(9)~(11)}. 그림 1에서 보는 것과 같이 자기바블의 세경로는 상호작용 구간에서 서로 접근하고 있는데 갈매기형의 크기 및 간격을 다르게 만들면 바블의 상호작용도 변하게 된다. 단일 바블이 들어 올 때는 그 경로는 permalloy overlay에 의하여 결정되는데 갈매기형의 밀도가 큰쪽으로 끌리며 밀도가 균등할 때는 제경로를 따르게 된다. 두개의 바블이 들어 올 때는 바블의 이동은 경로의 모양과 반

발력에 의하여 결정된다. 예를 들어 채널이 균등하면 두 바블은 반발력에 의하여 상단과 하단의 경로를 통하여 빠져 나간다. 그림 1은 기본유형(primitive class) 21의 permalloy 회로소자(그림 1. a) 및 회로도(그림 1. b)를 나타낸 것이다. 입력단자 X_1, X_2, X_3 로 바블이 들어 오지 않으면 출력 Y_1, Y_2, Y_3 로 나가는 바블은 없고, 입력단자에 바블이 동시에 들어올 때는 각각 세경로로 출력이 된다. 단일바블이 입력단자 1, 2, 3으로 들어오면 출력단자 1, 2, 3으로 바블은 출력되고 두개의 바블이 입력단자 2, 3으로 들어오면 출력단자 1, 3으로, 입력단자 1, 3으로 들어오면 역시 출력단자 1, 3으로 빠지고 입력단자 1, 2로 들어오면 출력단자 1, 2로 바블은 출력된다. 이와같은 동작의 진리치표는 표 1과 같다.

표 1 기본유형 21의 진리표
The truth table of primitive class 21.

X_1	X_2	X_3	Y_1	Y_2	Y_3
0	0	0	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
0	0	1	0	0	1
0	1	1	1	0	1
1	0	1	1	0	1
1	1	0	1	1	0
1	1	1	1	1	1

2-2. 3-3CLC의 진리표 및 표기법

3-3CLC의 세가지입력을 X_1, X_2, X_3 , 세가지 출력을 Y_1, Y_2, Y_3 로 표기하면 입, 출력 사이의 상태는 표 2와 같다.

상태 0의 입력은 세 입력단자를 통하여 바블이 들어 오지 않으므로 응답은 0가 되고 상태 7의 입력은 세 입력단자를 통하여 바블이 들어 오므로 세 출력단자를 통하여 지나갈 것이므로 상태 0, 7의 응답은 당연하다. 그러나 바블이 1개 또는 2개만 들어 올때의 응답은 $3^6 = 729$ 종류가 된다. 따라서 729개의 3-3CLC가 있다. 729개의 3-3CLC가 성립되지만 입력 및 출력의 순열(permutation)만이 바뀌어진 것을 동일유형으로

표 2 3-3 CLC 진리표
Truth table of 3-3 CLC

S	X ₁	X ₂	X ₃	Y ₁	Y ₂	Y ₃	
0	0	0	0	0	0	0	취할 수 있으나 하중에 대해서 새종류들
1	1	0	0				
2	0	1	0				
3	0	0	1				
4	0	1	1				
5	1	0	1				
6	1	1	0				
7	1	1	1	1	1	1	

간주하면 등가적으로 31종의 기본유형이^{(16), (18)} 성립된다.

진리표를 간략하게 표시하기 위하여 다음과 같은 기호를 채택하였다⁷⁾

$$\mu = \frac{(a_1 \ a_2 \ a_3)}{(b_1 \ b_2 \ b_3)} \quad (1)$$

(1)식에서 a_1, a_2, a_3 는 입력벡터 $e_1 = (1, 0, 0), e_2 = (0, 1, 0), e_3 = (0, 0, 1)$ 에 대한 출력벡터이며 b_1, b_2, b_3 는 입력벡터 $\bar{e}_1 = (0, 1, 1), \bar{e}_2 = (1, 0, 1), \bar{e}_3 = (1, 1, 0)$ 에 대한 출력벡터를 뜻한다. conservative 회로이기 때문에 a_1, a_2, a_3 는 e_1, e_2, e_3 중의 임의의 것을 취하고 b_1, b_2, b_3 는 $\bar{e}_1, \bar{e}_2, \bar{e}_3$ 중의 임의의 것을 취함은 물론이다. 이와 같은 표기법을 사용하면 그림 1의 제21유형은

$$\mu = \frac{(123)}{(223)} \quad (2)$$

같다. 그리고 이 유형의 출력논리식은

$$\begin{aligned} Y_1 &= X_1 + X_2 X_3 \\ Y_2 &= X_2 (X_1 + \bar{X}_3) \\ Y_3 &= X_3 \end{aligned} \quad (3)$$

같다.

3. 3-3CLC의 종속실현

3-3CLC의 기본유형 몇개를 종속으로 접속하면 다른 유형의 3-3CLC를 실현시킬 수 있다. 그림 2에 기본유형 21과 29을 사용 유형22을 합성할 수 있음을 나타내었다.

그림 2에서 기본유형29의 입, 출력선을 교차

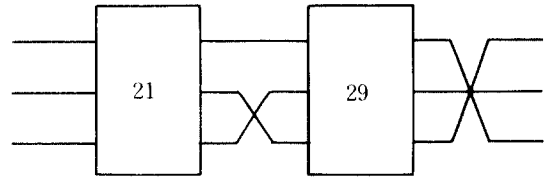


그림 2 3-3 CLC의 종속접속
cascade realization of 3-3 CLC.

시키 접속하였는데 입력선이 교차되었을 때는 μ 표기의 열(column)의 순서가 바뀌어지고 출력선이 교차되었을 때는 μ 표기의 열의 값이 바뀌어진다. 제21유형의 μ 표기는 (2)식과 같고 제29유형의 μ 표기는

$$\mu = \frac{(223)}{(223)} \quad (4)$$

이고 출력논리식은

$$\begin{aligned} Y_1 &= X_1 X_2 + X_2 X_3 + X_3 X_1 \\ Y_2 &= X_1 X_2 + X_2 \bar{X}_3 + \bar{X}_3 X_1 \\ Y_3 &= X_3 \end{aligned} \quad (5)$$

이다.

그림 2에서 전단회로의 출력선 2, 3이 교차되었다면

$$\mu = \frac{(123)}{(223)} \cdot \frac{(132)}{(132)} = \frac{(132)}{(332)} \quad (6)$$

후단회로의 출력선 1, 3이 교차되었다고 하면

$$\mu = \frac{(223)}{(223)} \cdot \frac{(321)}{(321)} = \frac{(221)}{(221)} \quad (7)$$

이다.

그러므로 종속회로의 등가 μ 표기는 (6), (7)식에 의하여 합성변환 시키면

$$\mu = \frac{(132)}{(332)} \cdot \frac{(221)}{(221)} = \frac{(212)}{(112)} \quad (8)$$

로 된다.

이것을 후단의 입력선 2, 3과 후단의 출력선 3, 1이 교차되었다고 보면

$$\frac{(132)}{(132)} \cdot \frac{(223)}{(223)} = \frac{(232)}{(232)} \quad (9)$$

$$\frac{(232)}{(232)} \cdot \frac{(321)}{(321)} = \frac{(212)}{(212)} \quad (10)$$

된다. 전체적인 합성회로의 μ 표기는 (2), (10)식의 합성변환이므로

$$\frac{(123)}{(223)} \cdot \frac{(212)}{(212)} = \frac{212}{112} \quad (11)$$

으로 되어 (8), (11)식은 같은 결과가 된다.

본 논문에서는 3-3CLC를 종속접속에 의하여 합성 할때 μ 표기외에 δ 표기를 도입시켜 합성하였는데 표 3에 의하여 δ 표기법을 설명한다.

표 3 μ 표기 및 δ 표기
Representation of μ, δ .

類 型	μ 表記	δ 表記
# 8	$\frac{(223)}{(113)}$	$[001]_{12}^{12}$
# 3	$\frac{(222)}{(133)}$	$[000]_{23}^{12}$

표 3에서 δ 표기의 괄호안의 숫자는 μ 표기의 같은 열의 상, 하단의 값이 같을 때는 1, 틀릴 때는 0을 배당시켰고 괄호밖의 숫자는 상단의 숫자는 μ 표기의 상단의 값중 같은 값의 자리의 번호를 하단의 숫자는 μ 표기의 하단의 값중 같은 값의 자리의 번호를 표시하도록 하였다.

δ 표기법을 사용하여 회로 합성 여부를 판단하는 기준 원칙을 요약하면 아래와 같다.

- (1) δ 표기의 괄호밖 상단(또는 하단)의 숫자가 공란인 회로만을 종속하여 괄호밖 상단(또는 하단)의 숫자가 공란이 아닌 회로를 합성 할 수는 없다.
- (2) δ 표기의 괄호밖 상단(또는 하단)의 숫자의 자리수가 많은 회로를 종속하여 δ 표기의 괄호밖 상단(또는 하단)의 숫자의 자리수가 작은 회로는 합성할 수 없다.
- (3) δ 표기의 괄호밖 상단(또는 하단)의 숫자가

3 자리인 회로를 괄호밖 상단(또는 하단)의 숫자가 2 자리인 회로로 합성할 때는 2 단이 필요하다.

(4) 합성해야 할 회로의 δ 표기의 괄호밖 숫자가 종속할 회로의 괄호밖 숫자와 상이할 때는 (δ 표기의 괄호안 숫자도 참작하여) 종속단의 입력선을 교차한다.

부록 1의 기본유형 2의 합성결과와 같이 제 5유형을 종속하여 제 2유형을 합성 할 수는 있어도 반대의 경우는 원칙(2)에 위배되므로 불가능하다. 다음에 제 6유형을 예로 들어 제 15 및 제 21유형을 종속하여 합성하는 문제를 고찰함으로써 3-3CLC의 합성절차를 설명한다. 이들의 μ 표기법 및 δ 표기는 표 4와 같다.

표 4 μ 표기 및 δ 표기
Representation of μ, δ .

類 型	μ 表記	δ 表記
# 6	$\frac{(311)}{(212)}$	$[010]_{23}^{23}$
# 15	$\frac{(223)}{(123)}$	$[011]_{12}^{12}$
# 21	$\frac{(123)}{(223)}$	$[011]_{12}^{12}$

제 6 유형과 제 15유형의 δ 표기를 비교하면 괄호밖 상단의 숫자가 틀리므로 제 15유형의 제 1 및 제 3 입력선을 서로 교차한다. 그러면 μ 및 δ 표기는

$$\mu = \frac{(321)}{(321)} \cdot \frac{(223)}{(123)} = \frac{(322)}{(321)} \quad (12)$$

$$\delta = [110]_{23}^{23}$$

다음에 표 4에서 제 6 유형의 δ 표기의 괄호밖 하단의 숫자는 13이므로 (12)식과 비교하여 제 1열 및 제 3열의 숫자를 보면 각각 3과 1이므로 종속시킬 제 21유형의 μ 표기의 하단의 제 1, 2열의 같은 숫자 2가 제 3열 및 제 1열에 오도록 입력선을 교차시킨다. 그 방법으로는 제 2선과 제

3 선을 교차시키는 방법과 제 2 선을 제 1 선으로, 제 3 선은 제 2 선으로, 제 1 선은 제 3 선으로 되게 교차하는 두 방법이 있다. 여기서는 후자의 경우로 입력선을 교차시키면

$$\frac{(231)}{(231)} \cdot \frac{(123)}{(223)} = \frac{(231)}{(232)} \quad (13)$$

(12), (13)식을 사용 합성변환하면

$$\frac{(322)}{(321)} \cdot \frac{(231)}{(232)} = \frac{(133)}{(232)} \quad (14)$$

$$\frac{(133)}{(232)} \cdot \frac{(321)}{(321)} = \frac{(311)}{(212)} \quad (15)$$

된다. 기본유형 15, 21을 사용하여 제 6 유형의 합성변환된 식은 (15)식과 같고 그림 3 과 같이 합성시킬 수 있다.

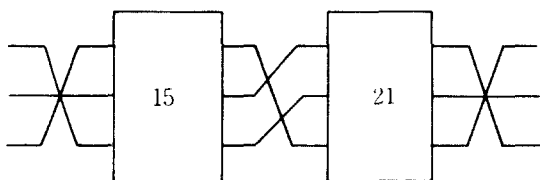


그림 3 제 6 유형의 합성에 Cascade realization of class 6.

4. 2 단 종속접속에 의한 3-3 CLC의 합성

3-3CLC의 31종 기본유형을 종속접속으로 구현시키는데 Minick¹¹⁾ 등은 기본유형 8, 21과 기본유형 8, 15, 및 기본유형 8, 5의 3 조로 31종중 13종을 4 단 종속으로 합성하였고 Sasao¹²⁾ 등은 기본유형 15, 21, 24로서 4 회의 교차와 4 단 종속으로 전기본유형을 합성하였다.

본 논문에서는 이와는 달리 기본유형 제 5, 15, 21 및 29형의 5종의 기본유형으로서 최고 2 단 종속과 3회이내의 교차만으로 전기본유형 31종을 합성하였다. 각 유형의 합성회로는 전자계산기(MV4000)로 전산처리하여 결과를 표 5에 나타 내었고 source program과 합성회로를 부록 1, 2에 실었다.

부록 1에서 A^d는 회로 A의 쌍대유형을 나타낸다. 예를 들면 제 14유형은 제 6 유형과 쌍대를

이루는데 이유형의 μ 표기는 $\frac{(212)}{(311)}$, δ 표기는 $(1010)_{113}$ 가 되고 이것은 제 6 유형의 μ 표기 및 δ 표기의 상하단을 교체한 것이다. 이 유형의 출력 논리식은

$$\begin{aligned} Y_1 &= X_2(\bar{X}_1 + X_3) \\ Y_2 &= X_1 + X_3 \\ Y_3 &= X_1(X_2 + X_3) \end{aligned} \quad (16)$$

이다.

(16)식과 같이 출력표현도 서로 쌍대가 된다. 그리고 제 14유형을 합성하는데 있어서는 제 6유형을 합성하는데 필요한 제 15, 21형의 쌍대인 제 21, 15유형을 그대로 2 단 종속하여 합성할 수 있다. 기타의 유형에 있어서도 A^d에 해당하는 회로를 합성하고자 할 때는 A회로의 각 구성단의 A^d에 해당하는 회로를 종속하여 합성할 수 있음은 물론이다.

표 5 최소소자 3-3 CLC 결과.

== RESULT OF MINIMAL 3-3 CLC ==

$\frac{233}{112} * \frac{233}{112} * \frac{213}{213} * \frac{333}{222}$	CLASS 1
$\frac{233}{112} * \frac{213}{213} * \frac{233}{112} * \frac{213}{213} * \frac{123}{221}$	CLASS 2
$\frac{233}{112} * \frac{321}{321} * \frac{223}{123} * \frac{321}{321} * \frac{122}{112}$	CLASS 4
$\frac{233}{112} * \frac{223}{112}$	CLASS 5
$\frac{321}{321} * \frac{223}{123} * \frac{231}{221} * \frac{123}{222} * \frac{321}{321} * \frac{311}{212}$	CLASS 6
$\frac{222}{222} * \frac{212}{212} * \frac{223}{112} * \frac{223}{112}$	CLASS 7
$\frac{222}{123} * \frac{212}{212} * \frac{123}{223} * \frac{213}{213} * \frac{213}{112}$	CLASS 8
$\frac{223}{123} * \frac{321}{321} * \frac{223}{123} * \frac{321}{321} * \frac{222}{123}$	CLASS 9
$\frac{223}{123} * \frac{321}{321} * \frac{223}{222} * \frac{321}{321} * \frac{222}{123}$	CLASS 10
$\frac{223}{123} * \frac{231}{123} * \frac{221}{231} * \frac{112}{212}$	CLASS 12

$\frac{223}{223} = \frac{231}{132} = \frac{321}{321} = \frac{112}{112}$	CLASS 13
$\frac{223}{123} = \frac{223}{123}$	CLASS 15
$\frac{312}{312} = \frac{223}{123} = \frac{213}{213} = \frac{321}{132} = \frac{122}{231}$	CLASS 16
$\frac{223}{123} = \frac{321}{321} = \frac{123}{223} = \frac{321}{321} = \frac{222}{123}$	CLASS 17
$\frac{122}{223} = \frac{132}{132} = \frac{223}{223} = \frac{321}{321} = \frac{212}{212}$	CLASS 22
$\frac{122}{123} = \frac{123}{123}$	CLASS 23
$\frac{221}{132} = \frac{231}{132}$	CLASS 24
$\frac{321}{321} = \frac{223}{223} = \frac{321}{321} = \frac{223}{223} = \frac{222}{222}$	CLASS 25
$\frac{223}{223} = \frac{211}{211} = \frac{221}{132} = \frac{213}{213} = \frac{112}{221}$	CLASS 26
$\frac{323}{112} = \frac{231}{132} = \frac{213}{213} = \frac{321}{223}$	CLASS 27
$\frac{222}{223} = \frac{223}{223}$	CLASS 29
$\frac{231}{231} = \frac{321}{132} = \frac{231}{132} = \frac{221}{221} = \frac{221}{212}$	CLASS 31

5. 결론

정보전송시스템이 활발히 발전되고 있는 시점에서 메모리용량의 증가 및 비용면에서 자기바블메모리소자의 활용도는 앞으로 많은 연구의 대상으로 활발히 진행될 것으로 생각된다.

본논문에서는 3-3CLC 자기바블논리회로의 합성원리를 밝히고 이에 기초를 두고 31종의 기본유형을 합성하는데 그중 5종을 택하여 이들의 2단접속만으로도 실현 가능함을 제시하였고 합성결과를 minicomputer (MV4000)로 전산처리하였다.

부록1 최소소자 구성에 의한 3-3CLC (Minimal 3-3CLC's)

A	A ^a	μ 表記	δ 表記	出力論理表現	最小繼續合成回路
1	1	$\frac{(333)}{(222)}$	(000)!!!	$X_1X_2 + X_2X_1 + X_2X_1$ $X_1X_2X_2$ $X_1 + X_2 + X_2$	

2	3	$\frac{(133)}{(222)}$	(000)!!!	$X_1 + X_1X_2$ $X_1X_2X_2$ $X_1 + X_2$	
4	18	$\frac{(222)}{(112)}$	(001)!!!	X_1X_2 $X_1 + (X_1 \oplus X_2)$ $X_1X_2 + X_1X_2 + X_1X_2$	
5	5	$\frac{(233)}{(112)}$	(000)!!!	X_1X_2 $X_1X_2 + X_1X_2$ $X_1 + X_2$	
6	14	$\frac{(311)}{(212)}$	(010)!!!	$X_1 + X_1X_2$ X_1X_2 $X_1 + X_2X_1$	
7	11	$\frac{(223)}{(112)}$	(000)!!!	X_1X_2 $X_1X_2 + (X_1 \oplus X_2)$ $X_2 + X_1X_2$	
8	8	$\frac{(223)}{(113)}$	(001)!!!	X_1X_2 $X_1 + X_2$ X_1	
9	19	$\frac{(222)}{(123)}$	(010)!!!	$X_1(X_2 + X_2)$ $X_1 + (X_1 \oplus X_2)$ $X_2(X_1 + X_2)$	
10	28	$\frac{(222)}{(122)}$	(011)!!!	$X_1(X_2 + X_2)$ $X_1(X_2 + X_2) + X_1(X_2 \oplus X_2)$ $X_1X_2 + X_2X_2 + X_2X_2$	
12	20	$\frac{(112)}{(213)}$	(010)!!!	$X_2 + X_1X_2$ $X_1X_2 + X_2X_2$ $X_2(X_1 + X_2)$	
13	13	$\frac{(113)}{(112)}$	(110)!!!	$X_1X_2 + X_2X_2 + X_2X_2$ $X_2(X_1 + X_2)$ $X_2 + X_1X_2$	
15	21	$\frac{(223)}{(123)}$	(011)!!!	$X_1(X_2 + X_2)$ $X_2 + X_1X_2$ X_2	
16	30	$\frac{(122)}{(231)}$	(000)!!!	$X_1X_2 + X_2X_2$ $X_1X_2 + (X_2 \oplus X_2)$ $X_2(X_1 + X_2)$	
17	17	$\frac{(223)}{(122)}$	(010)!!!	$X_1(X_2 + X_2)$ $X_1X_2 + X_2(X_2 \oplus X_2)$ $X_2 + X_1X_2$	
22	22	$\frac{(212)}{(112)}$	(011)!!!	$X_2(X_1 + X_2)$ $X_2 + X_1X_2$ $X_1X_2 + X_2X_2 + X_2X_2$	
23	23	$\frac{(123)}{(123)}$	(111)	X_1 X_2 X_2	


```

400 WRITE(12,410)(K'DATA(I),I=1,3),(K'DATA(I),I=7,9),
+ (K'DATA(I),I=13,15),(K'DATA(I),I=19,21),(L'DATA(I),I=1,3)
410 FORMAT(23X,4(2X,3I1,3X),2X,3I1)
WRITE(12,420)L'CLASS
420 FORMAT(33X,3('-----#');'-----',5X,'CLASS ',I2)
WRITE(12,430)(K'DATA(I),I=4,6),(K'DATA(I),I=10,12),
+ (K'DATA(I),I=16,18),(K'DATA(I),I=22,24),(L'DATA(I),I=4,6)

430 FORMAT(23X,4(2X,3I1,3X),2X,3I1,///)
RETURN
500 WRITE(12,510)(K'DATA(I),I=1,3),(K'DATA(I),I=7,9),
+ (K'DATA(I),I=13,15),(K'DATA(I),I=19,21),(K'DATA(I),I=25,27),
+ (L'DATA(I),I=1,3)
510 FORMAT(23X,5(2X,3I1,3X),2X,3I1)
WRITE(12,520)L'CLASS
520 FORMAT(33X,4('-----#');'-----',5X,'CLASS ',I2)
WRITE(12,530)(K'DATA(I),I=4,6),(K'DATA(I),I=10,12),
+ (K'DATA(I),I=16,18),(K'DATA(I),I=22,24),(K'DATA(I),I=28,30),
+ (L'DATA(I),I=4,6)
530 FORMAT(23X,5(2X,3I1,3X),2X,3I1,///)
RETURN
END

```

參 考 文 獻

- (1) A. H. Bobeck, "Properties and device application of magnetic domains in orthoferrites," B. S. T. J., vol. 46, no. 8, pp. 1901~1925, Oct. 1967.
- (2) A. H. Bobeck, R. F. Fisher, and J. L. Smith, "An overview of magnetic bubble domains-Material device Interface," American Institute of Physics Conference Proceeding, no. 5, pp. 45~55, 1971
- (3) R. L. Graham, "A mathematical study of a model of magnetic domain interactions," B. S. T. J., vol. 49, pp. 1627~1644, 1970.
- (4) R. M. Sandfort and E. R. Burke, "Logic function for magnetic bubble device," IEEE Trans. Magnet (1971 special INTERMAG Issue, vol. MAG-7 pp. 358~361, sept. 1971.
- (5) M. R. Garey, "Resident-bubble cellular logic using magnetic domains," IEEE Trans. Comput., pp. 392~396, Apr. 1972.
- (6) R. C. Minnick, P. T. Bailey, R. M. Sandfort, and W. L. Semon, "Magnetic bubble logic" WESCONproc., 8/4, pp. 1~13, 1972.
- (7) T. Sasso and K. Kinoshita, "Cascade realization of 3 input 3output Conservative logic circuits," IEEE Trans. on Comp., vol. C-27, pp. 214~221, Mar. 1978.
- (8) R. C. Minnick, P. T. Bailey, R. M. Sandfort, and W. L. Semon, "Magnetic bubble computer systems," inproc. AFIPS, cont., vol. 41, Dec. 1974.
- (9) S. Y. Lee and H. Chang, "Magnetic bubble logic," IEEE Trans. Magnet., vol. MAG-10, pp. 1059~1066, Dec. 1974.
- (10) P. I. Bonyhard, I. Danylchuck, D. E. Kish, and J. L. Smith, "Application of bubble devices," IEEE Trans. Magn., vol. MAG-6 pp. 447~451, sept. 1970.
- (11) R. C. Minnick, P. T. Bailey, R. M. Sandfort, and W. L. Semon, "Cascade realization of magnetic bubble logic using a small set of primitives," IEEE Trans. Comput., vol. C-24, pp. 101~109, Feb. 1975.



全 慶 一 (Jun Kyong Il) 正會員
 1945年12月23日生
 1978年2月: 仁荷大学校電子工学科卒業 (工学士)
 1980年8月: 仁荷大学校大学院 卒業(工學碩士)
 1985年3月~現在: 亞洲大学校大学院 博士課程在学中
 1980年9月~現在: 仁荷工業專門大学 電子科 助教



閔 泰 泓 (Min Tae Hong) 正會員
 1956年11月11日生
 1981年8月: 中央大学校電算科卒業 (理學士)
 1983年9月: 中央大学校大学院電算科卒業 (理學碩士)
 1985年3月~現在: 中央大学校大学院博士課程在学中
 1984年3月~現在: 仁荷工業專門大学 電算科 專任講師