

吳 吉 祿  
韓國 電子 技術 研究所  
컴퓨터 연구 부장 / 工博

# VLSI 설계와 CAD 기술 개발

“  
미래의  
정보화 사회는  
현재의 컴퓨터로 실현불가능한  
Non-numeric data 처리를 위해서는  
고도의 CAD 기술과 설계자동화(DA)  
시스템을 이용한 VLSI 설계  
기술에 절대적으로 의존하는  
초강력 컴퓨터가  
요구된다.  
”

본 원고는 필자가 연구책임자가 되어 수행하고 있는 “컴퓨터 기술개발 방향에 관한 연구”(1984.11월 과기처에 제출) 중 한 분야로서 연세대 전자공학과 이문기 교수님이 맡아서 쓰셨던 것을 그대로 실음을 밝힙니다. (筆者 註)

## 1. Introduction

이 보고서는 국내의 차세대 컴퓨터 개발을 위한 VLSI 설계와 CAD 분야에 대한 연구 경향을 제시한다. 연구의 목표는 국제적으로 경쟁할 수 있는 VLSI 설계능력과 100만개 정도의 트랜지스터로 구성된 회로를 경제적으로 설계하기 위한 CAD 기술과 System의 확립이다.

- 새로운 회로 구조와 Algorithm에 대한 연구
- CAD 도구와 언어의 개발에 관한 첨단 CAD 기술 개발 연구
- VLSI 설계에 필요한 CAD 도구 이용과 개발에 필요한 표준 인터페이스, 네트워킹, 컴퓨팅 하드웨어, 시스템 소프트웨어에 대한 연구

등의 부분으로 크게 나눌 수 있다.

이용 가능한 CAD System을 평가하고 개선하며 첨단 CAD에 대한 소프트웨어 하드웨어에 대해

- 컴퓨팅 하드웨어, 프로그램 분위기, 네트워킹 능력, 자료 교환을 위한 표준 인터페이스 등에 관해 연구한다.

CAD에 관한 세부적인 연구 과제는

- 시스템 사양언어, 설계검증, 시스템 시뮬레이션, 디바이스와 공정 모델링 프로그램, 설계합성, 설계해석, 설계방법론 등이다.

고속 계산용 VLSI에 관한 구조와 알고리즘은 행렬 계산을 위한

- 분산 배열 처리 회로, Systolic 배열 회로, Cellular 논리 회로, 3차원 배열 회로와 비규칙적인 계산 Algorithms을 갖는 VLSI가 있다.

VLSI 설계 훈련과 CAD 기술 축적을 위해 CAD Center를 설립하여 전국적인 CAD 네트워킹을 여러 대학에 가설하며, MPC 계획을 추진한다.

VLSI설계 가능성이 입증되면 VLSI설계 능력을 더욱 향상시키기 위해 Silicon Foundry를 설립한다.

연구개발 조직은 대학, 산업체, 연구소가 삼위일체가 되어 수행할 수 있도록 연구개발 위원회를 설치 운영하며 경쟁적이며 경제적으로 연구 업무를 집행해야 할 것이다.

#### (초대규모 집적화와 설계자동화의 연구개발 계획)

#### ○ 첫머리

주로 non-numeric자료를 다룰 차세대 컴퓨터는 1990년대에 실용될 것으로 예상되고 있다. 즉 기호처리와 응용 인공지능을 포함해서 non-numeric자료처리는 미래의 정보처리 분야에서 현재보다 더욱 중요한 역할을 하게 될 것이며 문자나 음성, 그래프 그리고 영상과 같은 non-numeric자료는 수차적인 자료에 비해 처리해야 할 분량이 엄청나게 많다.

차세대 컴퓨터의 핵심기술은 자료흐름의 제어, 관련된 Database, Logic programming, 응용 인공지능 그리고 패턴처리에 근거하는 Knowledgebase시스템과, Parallel processing과 이러한 시스템을 하드웨어로 실현시켜주는 VLSI (Very Large Scale Integration) 기술에 있다.

컴퓨터 기술에 있어서의 세대변화는 지금까지는 소자기술의 변화에 의해서 이루어져 왔다.

즉, 진공관에서 트랜지스터로 또 집적회로로 그리고 LSI로 바뀐 것이다. 그러한 것은 컴퓨터의 기본설계 원칙과 이용 목적에 있어서는 거의 변화가 없었다는 것을 말한다. 차세대 컴퓨터로의 세대변화는 VLSI로의 소자 기술의 변화 뿐만 아니라 동시에 설계원리와 응용분야에 있어서의 변화를 포함하는 근본적인 Generic change이다. 이러한 차세대 컴퓨터는 현재의 전형적인 컴퓨터의 기술적 한계를 극복해야 하는데 이것은 혁신적인 이론과 기술에 기반을 두게 될 것이다.

기본적인 소자들의 속도를 향상시키는 물론이고 Inference의 핵심인 Symbol처리를 뒷받침해 줄 고도의 Parallel 구조에 근본적인 연구와 개발이 집중되어야 한다. 이를 위한 하드웨

어의 목표는 수천개의 PE(Processing Element)를 이룩하는 것이며 이러한 하드웨어를 위해서는 VLSI설계기술이 연구 개발되어야 한다.

또한 Knowledge-base machine의 연구개발 목표는 엄청난 양의 Knowledge data의 저장과 검색 그리고 renewal을 효율적으로 처리하도록 하는 Knowledge representation 시스템과 large scale의 Knowledge base 시스템에 대한 요구를 실행할 하드웨어 mechanism을 개발해야 한다.

결국 차세대 컴퓨터의 연구와 개발은 Parallel relational operation과 Knowledge Operation을 위한 mechanism과 고성능의 계층적 Memory system을 포함하는 Relational data base machine에 기반을 두는 Parallel processing 하드웨어 구조와 이러한 하드웨어를 설계하고 실현하는 VLSI 설계 및 제조기술에 의존한다.

차세대 컴퓨터의 설계원리를 하드웨어로 실현하는 VLSI설계기술에 있어서 이와 같이 초대규모로 증가하고 있는 집적도는 물리적 한계와 fabrication 및 설계 능력의 한계에 의해 제한된다. 이중 설계능력의 한계는 수십만 gate의 복잡한 회로를 논리적으로나 물리적으로 잘못됨이 없도록 설계하고 또 이의 동작을 확실히 시험할 수 있도록 하는 한계점이다.

즉 집적회로 동작을 예측하는 Simulation노이제는 하드웨어 방식으로는 상상조차 할 수 없게 되었으며 Layout도 수많은 소자의 연결로서도 영컴이 없이 일정한 크기의 chip내에 고밀도로 집적하기 위해서는 엄청난 시간과 인력이 필요하였고 또한 일단 Layout이 완성되었다 하더라도 오류를 점검하는 일이 거의 불가능한 한계점에 이르게 되었다. 이와 같은 한계점을 극복하고 짧은 시간안에 필요한 시스템을 정확하게 설계제조하기 위해서는 컴퓨터를 이용한 설계경험의 축적과 설계자동화가 절실히 필요하게 된다.

차세대 컴퓨터와 같은 새로운 개념의 System을 실현하는 핵심기술인 VLSI와 CAD의 앞으로의 연구 방향은 다음과 같다.

- a) 새로운 Circuit Architecture와 Algorithm
- b) CAD tool과 Language에 관한 고도의 기

출개발

c) VLSI설계를 위한 CAD System의 System Software와 Hardware 그리고 Networking과 Standard interface

2. CAD

미래의 정보화 사회는 Symbol, speech, sentence, graphs, picture와 image 등과 같은 현재의 컴퓨터로는 도저히 감당해 낼 수 없는 non-numeric data를 처리하기 위해 차세대 컴퓨터라고 불리우는 초강력 컴퓨터가 요구된다. 이러한 초강력 차세대 컴퓨터의 실현은 초대규모 집적회로(VLSI) 설계 기술에 절대적으로 의존하고 있다. 차세대 컴퓨터를 구성하는 VLSI시스템들은 수십만개에서 100만개 가량이나 되는 소자들이 집적되어야 하는데, 이러한 초대규모 집적회로를 설계하기 위해서는 그림 1 과 같은 고도의 CAD기술과 설계자동화(DA) 시스템이 이용되고 있다.

VLSI시스템 설계를 위한 CAD tool은 설계하려고 하는 VLSI시스템의 회로 구조에, 즉 Random Logic회로를 설계하느냐 아니면 어떤 부분적인 회로가 규칙적으로 반복된 회로를 설계하느냐에 따라 달라지게 된다.

국제 경쟁력을 갖는 고도의 CAD tool을 위해 한국에서 개발해야 할 분야는 다음과 같다.

- 시스템 specification language
- 시스템 simulation
- 소자와 공정을 모델화하는 프로그램
- 설계방법론
- 설계합성
- 설계해석
- 설계검증 및 테스트
- Layout

가. System Description Language

VLSI설계 Flow를 support하는 DA 요소 중에서 기술언어는 가장 중요한 구성개념의 하나라고 할 수 있다. 그것은 기술언어가 그것을 매개로 해서 사람이 computer에게 자동 설계를 명령해서 개입하는 Interface를 구성하고 있기 때문이며 설계공정이 종류에 관계없이 얼마간의 언어는 항상 필요 불가결하다는 이유에서 이다.

시스템을 설계하기 위해서는 사람의 아이디어를 Data와 도형으로 한번 다시 쓸 필요가 있다. 이 Data의 기록을 언어 혹은 기술형식이라 일컫는다.

기술 내용은 그 형식에 따라 정적인 상태, 배치, 접속관계 등을 규정하는 Functional Description Language, 동적인 상태의 변화 신호의 전달동작기능 등의 Behavior Description Language 등으로 나눌 수 있다.

시스템 기술언어는 Computer로 설계를 행할 경우의 출발점이라 할 수 있는 중요한 Technology 개념이며 구비조건은 다음과 같다.

- a) 가능한 한 범용적일 것
- b) 설계자가 기억하기 쉽고 기술 능력이 높은 언어일 것
- c) 개량, 변경, 추가 등의 경우에 충분히 대응할 수 있을 것
- d) 가능한 한 기술언어로 기술하는 Data이외에 별도로 보충해야 할 부분이 존재하지 않을 것
- e) 어떠한 설계기법, 설계대상에도 사용할 수 있는 구조일 것

논리시스템의 규모가 급격히 증대해 왔기 때문에 대규모 시스템에서는 도면간의 기호, 도면 그 자체의 분할 관리 등 도면 뿐만 아니라 표의

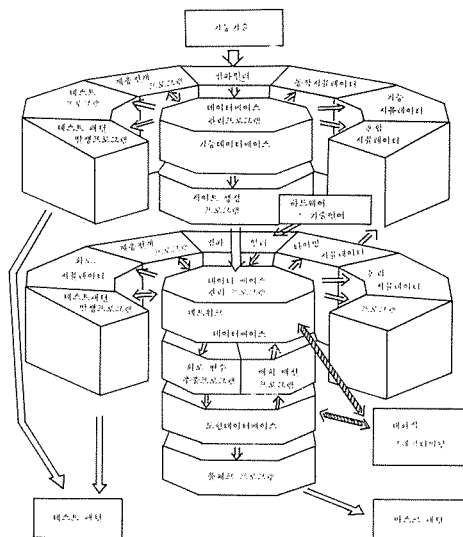


그림 1 초대규모집적회로 설계를 위한 CAD시스템

기능이 필요하게 된다.

여기에 시스템의 특성을 서술할 수 있는 시스템 기술언어를 필요로 하게 된다. 그리고 computer에 의한 논리 simulator 등이 개발되어 보다 직접적인 형태로 설계 기술 언어의 필요성이 구체화되었다.

이러한 시스템 기술언어에는 논리시스템을 계층적으로 기술·표현하는 VHSL (Virtual Hierarchical Specification Language)와 INTS, EXTSTR 등을 포함하는 H<sup>2</sup>DL (Hierarchical Hardware Description Language) 등이 있으며, NTT사의 중앙연구소는 Logic synthesis 기술개발을 뒷받침해주는 새로운 언어를 개발하고 있는 중이다. 이 새로운 언어는 HSL-FX (Functional extension)이라고 불리는데 같은 Data base를 functional 또는 structural 회로 기술에 사용하도록 한다. 이 밖에 FDL, DDL, HSL, SDL, HDL, HISDL, ZEUS 등이 있다.

#### 나. 설계합성

수십만 gate를 집적화하는 VLSI를 계층구조를 사용하지 않고 컴퓨터를 이용하여 설계하는 것은 비효율적이다.

개개의 논리 gate를 접속관계를 유지하면서 배선의 길이를 최소로 하는 문제는 보통 n개의 gate를 갖는 회로에서 n'개의 많은 순열 조합 중에서 최적해를 선택하게 된다. 그래서 n이 대단히 커지면 현재의 컴퓨터로는 감당해낼 수 없다. 이러한 문제를 해결하기 위해서는 보다 빠른 순서로 최적해에 접근하는 Algorithm과 계층화 설계기법이 그 Algorithm이 된다.

즉 칩을 논리 Block, 논리 Cell, gate 소자(트랜지스터, 저항 등) level의 계층 구성으로 분해하고 계층 구성 요소는 계층별로 Data base화해 둔다. Data base에 등록된 기존설계 Data를 재이용함으로써 불필요한 설계를 배제할 수 있고 새로운 설계과정에서 Error가 발생하는 것을 방지한다. 이 Data base는 필요한 Physical Data를 모두 Data화하면 정보량이 매우 늘어나므로 이것을 압축하기 위해서 최하위 level인 Cell level에 대하여 모든 Physical Data를 갖게 한다. 여기서 각 계층요소의 상호간 조합과 접속관계를 변경하는 것만으로 시스템 대응에

다종류의 논리기능을 실현할 수 있다.

#### 다. 논리설계 및 Simulation

Digital시스템은 설계에서 뿐만 아니라 Simulation도 시스템 레벨, 레지스터 레벨, 게이트 레벨, 회로 레벨로 계층화할 수 있다. 개발하려는 시스템의 사양이 결정되면 이것을 기반으로 VLSI의 기능구성을 결정하는 시스템 설계가 이루어진다. 이 시스템 설계의 결과를 받아서 기능 Simulation에 의한 검증과 detail화를 행하고 이것을 논리설계 레벨로 변환한다. 논리설계에서는 복잡한 VLSI의 설계에 대처하기 위해 Nesting level을 무한정 허용하여 설계대상을 임의의 구조적 추상 Level에서 Topdown하게 기술할 수 있다. 이것에 의해 설계자는 설계하기 쉬운 레벨에서 계층적으로 설계할 수 있으며, 소프트웨어의 구조화가 설계기법과 동일하게 단순히 Nesting을 허용하는 시스템 이상으로 대폭의 설계량을 줄일 수 있다.

VLSI의 논리 설계 공정에서는 이 논리 Simulator에 의해 접촉과 논리의 Error 등 정적인 설계검증을 행하는 동시에 Gate 지연에 의한 Timing Error 등 동적인 Timing 검증을 실시하여 정확한 논리 File을 작성해야 한다. 현재의 논리 Simulator로서는 LAM, F/Logic, TE GAS Logos 등이 있으며, Gate의 규모가 증가함에 따라 Simulation시간이 엄청나게 늘어나는 것을 실용적인 범위로 한정하기 위해 많은 연구가 필요하다.

#### 라. 회로설계 및 해석

회로설계를 하기 위해서는 그 기본이 되는 회로에 대하여 보다 세부적으로 회로 동작을 검토할 필요가 있다. 기본이 되는 회로에는 Cell이 있는데 Cell의 회로 구성은 논리기능, 전파지연, 소비전력, 구동능력 등의 Data와 함께 cell library로 저장된다. 회로 설계자는 CAD tool을 이용하여 회로를 설계하는데 설계에 필요한 각종 Cell을 불러서 회로를 구성한 후 소자값(저항값, 용량값, 트랜지스터 모델 변수)를 정하고 회로해석 프로그램을 이용하여 설계를 평가한다. 회로프로그램은 직류특성, 교류 특성, 과도응답 특성, 특성허용 변동범위, 소비전력,

잡음특성과 bipolar와 MOS 트랜지스터의 비선형회로 모델을 기초로 하여 감도 해석을 할 수 있다. 이들 회로 해석 프로그램은 수치해석을 이용하여 비선형 소자를 해석하는 Algorithm을 가지고 있다.

회로 해석결과와 실제 측정값을 높은 정확도를 가지고 일치시키기 위해서는 각종 개별 소자의 정확한 Model화가 요구된다. Device Model을 회로 Simulator상에서 실현하는 데는 3가지 방법이 있다. 첫째는 모델을 개수형으로 기술하는 것이며 두번째는 전류전압 특성을 Table 형으로 해서 linear하게 근사시켜 행하는 것으로 해석 속도는 빨라지지만 정확도가 떨어진다. 세번째 방법은 회로 Simulator 중에 있는 특정 Model을 미리 구성해서 각종 Model 변수를 외부에서 주는 것이다. 이 방법은 해석 속도도 빠르며 높은 정확도를 얻을 수 있으므로 대부분의 Simulator에 채용되고 있다.

MOS 논리회로에서는 대규모가 되면 논리 Simulation에서는 취급할 수 없는 Race와 Hazard 등이 많아지며 이러한 문제를 해석해야 한다. 이러한 VLSI의 Block을 Simulation 하기 위해서 3 가지 방법이 제안되고 있다. 첫째는 종래의 회로해석의 높은 정확도를 유지한 채 회로분할과 회로동작의 Latency를 이용해서 VLSI를 풀어나가는 것이다. 둘째는 회로 소자의 특성, 구체적으로는 MOS 회로의 입력저항이 매우 큰 동시에 소자 특성이 이종 특성에서 근사할 수 있다는 점을 이용해서 해법의 간략화를 도모하는 것이다.

세째는 회로 특성과 설계상의 중요도에 따라 Block을 분할해서 부분으로 논리 Simulation과 회로Simulation 혹은 앞의 2 가지 방법을 병용하는 Hybrid Simulation이다.

이러한 LSI Simulator에는 MOTIS-C, SPLICE, DIANA, SLATE MACRO 등의 프로그램이 발표되고 있다.

마. 소자와 공정을 모델링하는 프로그램

현재 발표되고 있는 공정 Simulation 프로그램은 불순물 분포, 산화막 두께의 계산을 하며 목적하는 공정설계를 효율적으로 수행하기 위한 목적에서 사용되고 있다. 집적회로 소자의

기하학적 표면형태는 점점 축소되어 갈 것이며 이와 같은 비례 축소와 더불어 얇은 산화막, 얇은 접합, 다층 이온 주입과 매우 얇은 에피 구조로 될 것이다.

이와 같이 점점 얇은 수직구조로의 공정기술 변화는 물리적 지식을 정확히 파악해야 할 필요를 요구하며 공정 Simulation은 집적회로 제조공정과 결합시켜 전체의 자동화에 큰 역할을 할 수 있도록 해야 한다.

소자(device) 설계에는 마스크, 확산, 에칭 등으로 결정되는 공정 과정을 고려하여 필요한 성능을 갖는 트랜지스터의 구조 설계가 이루어진다. VLSI시스템에서 미세화된 소자특성 파악 때문에 소자 Simulation 프로그램이 사용되고 있다. 이것은 불순물 분포조건 등으로부터 전기특성을 산출하는 것이고 반도체 소자의 기본 방정식, 전류연속 방정식, 전류밀도 방정식)을 수치해석한 Simulator가 사용되고 있다. 최근에 와서 이 공정Simulation 결과를 직접 소자 Simulator에 넣어 개개의 목적하는 직류 전류 특성을 구하는데 사용하기 시작하였다. 앞으로 이 범위를 더욱 확대해서 종합적 전기적 특성을 한꺼번에 계산하고 회로 설계자에게도 유익한 자료를 제공하는 Process-Device 합체 Simulator를 개발해 나가야 않으면 안된다. 이와 같은 Simulator가 개발되면 공장의 종합적 최적화가 이루어지게 되며 집적회로 설계에 있어 본격적인 CAD시대가 올 것이다. 그 가운데서도 Digital회로 설계에 있어 피할 수 없는 과도 현상 문제에 대하여서는 배선간 용량은 정확히 구하는 것이 필수적이다. 때문에 이런 Simulator를 3차원으로 발전시켜 나가야 한다.

바. Placement와 Routing

Placement는 각 부품간을 접속하기 위한 배선영역 또는 배선의 총길이가 최소가 되게 각 부품을 최적의 위치에 배치하는 문제이다. Layout의 quality는 Placement를 얼마나 잘 하느냐에 달려있게 된다.

대표적인 방법은

• 배치 대상으로 하는 모든 부품을 한개의 링으로 나열했을 때 총배선길이가 가장 짧아지는 1차원 배치를 구하고 다음에 이 결과를 응용하

여 2차원 배치를 한다.

• 접속의 강도를 단서로 해서 각 부품을 2차원적으로 배치해가는 Cluster 성장법, Pair Linking법, 중심법 등

• 초기 배치를 반복해서 개량을 피하는 반복 중심법 (Force Directed Relaxation), Steinberg 법, Pair교환법 (Pairwise Relaxation) 등이 있다.

실제에 있어서는 이들 각 방법을 재구성하거나 문제별로 개선하는 등의 연구를 해서 사용하고 있다.

Routing은 Placement에 의해 정해진 VLSI 상의 각 부품간을 접속정보에 따라 Routing 경로를 결정해서 접속하는 과정이다. 이때 배선층의 수, 간격, 배선의 폭, 배선, 금지영역 Through hole간의 간격, 특정 NET의 배선길이 제한등을 고려해서 처리할 필요가 있다. 대표적인 방법으로는 미로법, 선분탐색법, Channel배선법 등이 있다.

#### 사. Layout

VLSI chip상에 바라는 특성을 갖는 회로를 실현하기 위해 트랜지스터, 저항 등 기본소자의 형상을 결정하고 각 소자의 배치를 결정한 후 그 사이를 배선하므로써 VLSI제조 공정용 Mask pattern을 만드는 Layout 설계공정은 VLSI설계의 최종공정이며 제조공정에 있어서 yield와 VLSI의 동작 특성 등에 미치는 영향이 크다. 100만개에 달하는 소자로 구성되는 VLSI를 한번에 Layout설계해서 Chip크기가 작고 동시에 고성능의 전기적 특성을 갖는 Layout 결과를 얻기는 매우 어렵다. 그러므로 레이아웃 검증 프로그램, 레이아웃으로부터 회로추출과 소자변수 추출 등의 소프트웨어를 이용해야 한다.

또한 Layout을 하기 위해서 Cell-Based Layout, Precedural Layout, Symbolic Layout, Geometric Layout 등이 필요하다.

#### 아. Design Testability

집적회로가 초대규모화되어 감에 따라 직면하는 또하나의 문제는 어떻게 VLSI설계를 검

증하고 시험하느냐 하는 문제이다. Test-pattern발생에서는 집적회로를 제조후 논리 기능을 시험하기 위해 입력신호에 대한 출력신호 기대치의 Sequence를 작성한다. 이것을 가지고 정해진 수의 단자에서 집적회로 Chip내의 복잡한 회로의 고장을 검출한다.

실제로 VLSI로 시험해보고 만일 불량한 동작이 발견되었을 때 오동작으로서 관측되는 요인에는 여러가지 경우가 있다.

첫째는 설계상의 오류, 둘째는 제조 공정상의 불량(공정불량, Mask불량 등), 셋째는 시험 pattern, 시험 프로그램상의 Bug, 넷째는 시험 장치상의 문제 등이다.

위의 사상은 주로 연구개발 단계의 VLSI 시험시에 발생하는 경우이고 양산체제에 들어간 제품의 경우에서의 시험방법은 개발 단계에서 확립되므로 두번째의 공정상의 불량만을 시험한다.

시험패턴 자동생성에 있어서 가장 큰 문제점은 집적되는 gate수의 증대에 따라 고장 검출률이 높은 시험패턴 생성이 매우 어려워지고 있는 점이다. 예를 들어 MBit multiplier를 test 하기 위해서는  $2^{2m}$  test를 해야한다.

고장 Simulation법이 있다. 그러나 이러한 방법 모두 100%의 고장 검출률을 갖지 못하는 현재의 시험패턴 생성 Algorithm의 개량만으로써 문제를 해결할 수 있는 전망은 어둡다.

VLSI Chip을 만들었다고 해도 시험이 불가능하다면 전혀 의미가 없기 때문에 최근의 VLSI에서는 시험용이를 위한 Chip Built-in Hardware가 적극적으로 도입되는 추세에 있다.

- 그러므로 Structural test pattern generation
- Structural sequential test
- Scan test
- Straight forward structural self test
- Signature analysis
- Modified Linear feedback shift resistor

등의 여러가지 방법에 대한 연구가 필요하다.

### 자. Artificial Intelligent CAD System

고도의 CAD system을 만들기 위해서 인공 기능을 이용한 많은 연구가 진행되고 있다. 스탠포드대학과 Xerox Palo Alto 연구센터와 Fairchild 중앙연구소 사이에 공동으로 Knowledge-based VLSI 프로젝트의 핵심이 되는 부분으로서 Palladio가 연구되고 있다. 이 프로젝트에서 각 설계 결정은 설계하려는 목표에 대해서 최적화된 해를 구하기 힘들기 때문에 heuristic한 방법으로 실제적인 해를 탐색하는 것으로 모델링된다.

해를 구하는 영역이 넓기 때문에 그리고 heuristic한 방법으로 해를 구하는데 비용이 많이 들고 부분적인 정보만이 쓸모있고 모든 결과물에 예측하기가 어렵기 때문에 설계 결정과정은 매우 어렵다. 회로 설계자가 회로를 설계하기 위해서 설계 editor와 대화를 하게 되는데 editor는 설계가 "legal"하다는 것을 확신시키는 구성 rule을 사용하여 설계자가 edit할 수 있게 해야 한다.

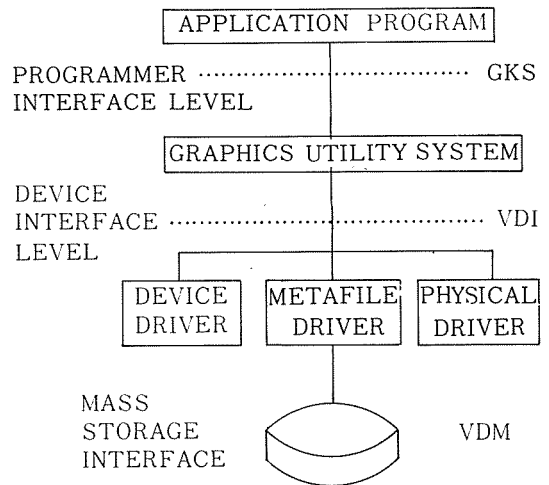
### 차. CAD System의 Standard화

Workstation 구성은 그림 1 처럼 Graphical Kernal System(GKS), Virtual Device Interface(VDI), Virtual Device Metafile(VDM)으로 표준화 되어야 한다. GKS는 프로그래머 레벨에서의 Interface인데 이것은 Fortran, Pascal, C 또는 Basic과 같은 고급언어를 사용하는 그래픽 모델과 인터페이스를 사용한다. 그래픽 시스템이 다른 시스템에 연결되도록 해주며, 그래서 프로그래머가 오랜시간과 많은 비용을 들여서 새로 배워야 하는 절차없이 다른 하드웨어를 사용할 수 있게 하기 위해서 이러한 CAD system의 standard화가 필요하다.

VDI는 Device 레벨에서의 인터페이스이다. 표준 입출력 Protocol을 정의하므로써 모든 Device를 동일하게 취급할 수 있다. 이것은 device driver라 불리는 소프트웨어 모듈에서 physical device의 독자적인 특성을 분리해 준다.

궁극적으로 VDI 표준에 관계있는 컴파일러나 또는 다른 utility는 특별한 개조없이 어떠한 가상 device에도 access될 수 있다. VDM은

mass storage device에 그래픽을 기록하기 위한 표준 format을 specify한다. metafile의 element를 정확히 정의하므로써 VDI interface를 통해서 만들어질 수 있고 device와 system에 독립적인 그림은 file에 기록될 수 있다. file이 실행될 때 metafile 번역기는 metafile을 읽고 그래픽을 출력할 device를 위한 VDI 명령어를 만든다. 그림을 저장하는 것 외에도 VDM은 그림을 다른 시스템으로 전달하는 방법을 제공한다.



### 3. 회로구조 및 알고리즘

IAPX432, Bell Mac-32와 NS 16000 등의 100,000개 이상의 소자로 구성된 32 비트 마이크로프로세서가 현재 널리 사용되고 있다. 이와 같은 마이크로프로세서는

- 고정된 메모리셀의 전형적인 구조
- 어드레스 영역이 one 레벨이고
- 하위급의 기계어 사용
- 순서적이며 중앙집중식 명령어 제어기능
- 기억장치 communication과 processing unit

구성의 Von Neumann 계산구조에 기초를 두고 있다.

Von Neumann 계산구조는 문장, 음성, 도형 그리고 영상 등의 비수치적 자료를 처리해야 할 차세대 시스템에는 적당치 않다.

이러한 이유로 차세대 계산기 구조는 Multi Project Chip과 Silicon foundary의 개념으로 새로운 세대의 VLSI가 요구된다.

가. 규칙구조를 갖는 VLSI

1) Distributed Array Processing

좀더 강력한 프로세서를 실현시키는 방법을 고찰해 보면 전형적인 구조에서는 두개의 장애가 분명히 나타난다. 첫째는 처리 그 자체이다.

수년에 걸쳐 논리 소자의 속도를 매우 향상시켰으나 앞으로는 이러한 방법은 이익이 적을 것이다. 그러므로 설계자들은 performance를 증가시키기 위한 회로구조 기술을 연구개발해 나가야 한다.

Distributed Array processing에서 여러 똑같은 functional unit이 단지 하나의 instruction stream에 의해 parallel하게 작동하도록 한다.

두번째 장애는 메모리와 처리의 물리적 격리이다. 컴퓨터가 처음 출현할 당시 메모리와 처리시스템은 각각 다른 기술로 만들어졌다. 처리와 메모리를 분리시켜 놓은 이유가 여기에 있다. 반도체 기술이 발전함에 따라 이와 같은 상황은 없어졌다. 그러나 적어도 주기억 장치에 있어서 실제적으로 units를 분리시키는 경향은 여전히 있다. 같이 동작하는 여러 칩의 섀시로 구성된 메모리는 이론적으로 넓은 데이터 통로를 공급할 수 있지만 실제로는 인터페이스 케이블의 요구를 충족시키기 위해서 그리고 processing unit에 의해서 access되는 패턴을 위해서 한번에 오직 하나의 subset이 선택된다. 그러나 Distributed Array Processing에서는 여러 functional units이 메모리와 기능적, 물리적으로 혼합되어 있어서 메모리가 가능하며 여러 짧고 직접적인 데이터 통로를 통해 빠른 전달이 이루어진다.

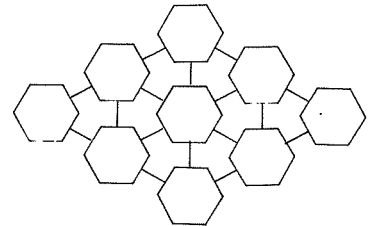
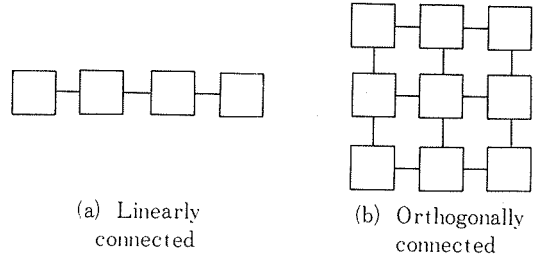
따라서 Distributed란 말은 처리능력이 메모리 전체에 분포되어 있다는 뜻이다.

DAP(Distributed Array Processing)에서는 매우 간단한 Bit-organized PE(Processing Elements)가 선택된 Bit-organized PE를 많이 가짐으로써 전체에 걸쳐 높은 능력을 얻게 한다. 대부분의 강력한 프로세서들은 분산처리를 하드웨어 구조에 발전시켜 이 parallelism을 이용하는 방법을 찾고 있다. 이와 같은 구조는 Vector pipeline, Data flow, Systolic arrays와 Parallel processors를 포함해야 한다.

2) Systolic Array

범용의 계산기에서 많은 처리시간을 요하는 회상처리, 문자인식처리 행렬계산 등을 Real time으로 처리하기 위해서는 Systolic array가 요구된다.

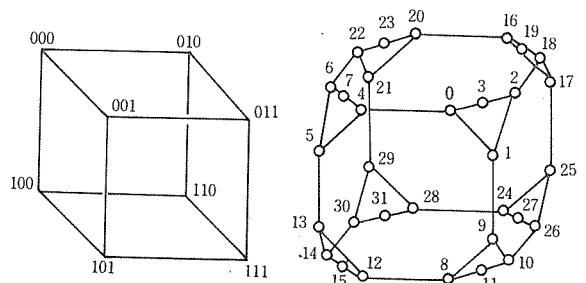
또한 Pipeline과 parallel구조의 확장형인 삼각형 구조, 사각형 구조, 육각형 구조와 tree와 Shuffle exchange network 등의 systolic 알고리즘을 더욱 발전시켜야 한다.



3) 3 - Dimensional array

엄청난 Data 량을 고속으로 처리하는 K-Cube는  $n=2^k$ 의 Processor를 K Dimensional 공간에서 입방체의 각 모서리에 배치한 3- Dimensional array이다.

어떤 문제가 3 차원적으로 구성되어 있을 때 이러한 문제를 Real time으로 해결해 낼 수 있는 방법은 역시 3 차원 array를 통해 가능하다.





#### 나. Nonregular Algorithms in Computing VLSI

- Tightly coupled, hierarchical tree structured multiprocessor
- High memory bandwidth single chip Computer
- Minimization of chip area
- Design trade off for memory bandwidth
- Support of high level language
- Harvard or Von Neumann architecture
- Complex Data such as Array and Structure operation
- Extensive use of microprogramming
- Wafer scale Integration technology

### 4. 인력 및 조직

#### 가. 연구인력

100만개 이상의 트랜지스터로 구성되는 VLSI의 설계능력과 CAD기술이 차세대 컴퓨터 연구에 필수적인 조건이 된다.

현재 선진 각국은 5년내지 10년의 장기적 계획으로 차세대 컴퓨터를 위한 연구개발 업무를 수행중이며, 이 중 VLSI설계와 CAD분야에 일년에 100억원 ~ 300억원 정도를 투자하고 있다.

미국은 DARPA를 통한 SCP(Strategic Computing Program), Stanford University와 기업체, 국방성을 중심으로 한 CIS(Center for Integrated System) 그리고 17개 기업체가 공동출자하여 University of Texas에 설립한 MC C(Microelectronics & Computer Cooperation)가 직접적으로 담당하고 있다. 영국에서는 기업체, 정부 그리고 교육기관의 협동으로 ALVEY Project가 진행중이며 일본은 일찌기 ICOT를 설립하여 10년 계획으로 추진중인데 이의 전반 성공리에 끝나 능력을 평가받고 있다. 이와 같은 연구 업무의 특징은 모두 교육기관이 최첨단 분야 연구를 담당하고 개발 연구는 기업체와 연구기관이 나누어 담당하고 있다는 점이다. 이는 연구 인력을 한곳에 집중 집합시키는 것이 불가능한 결과이며 교육기관을 효과적으로 이용하여 매우 경제적으로 연구 업무를 수행하고 있음을 알 수 있다. MCC의 경우 400여명의 경

험이 풍부한 첨단 연구원이 있는데 이 중 130명 정도가 VLSI와 CAD분야에 종사하고 있다. 미국은 SCP, CIS, MCC 등 3개의 기관이 직접적으로 연구 업무를 수행중이므로 VLSI와 CAD분야의 연구원은 모두 400여명 정도로 추정된다.

그러나 기업체와 대학교에 분산되어 있는 연구원 수를 합하면 굉장히 많은 수가 있다.

또 CIS는 매년 30명의 PhD와 100명의 석사를 이 분야에서 배출하고 있다. 이외에 미국에는 University of California의 CAD Center와 Microelectronics Facility, University of North Carolina에 MCNC(Microelectronics Center for North Carolina), Cornell University에 NRRFSS(National Research and Resources Facility for Submicron Structures) 등이 산업체와 정부지원으로 VLSI와 CAD 분야의 인력을 양성하고 있다. 또한 1979년부터 Multi University, Multi Industry Project 로서 여러 대학이 참가하여 MPC(Multi Project Chip) 계획이 시행되어 많은 VLSI 설계훈련이 이루어지고 있다.

MPC계획은 영국, 호주 그리고 캐나다에서 1981년부터 실시되어 VLSI 설계와 CAD응용 분야의 많은 실적을 올리고 있다.

우리나라 대학에서는 SSI(Small Scale Integration)조차도 설계제작 테스트해 본 경험이 없으며 CAD system의 이용경험도 별로 없다. 몇개의 기업체와 정부 출연 연구소가 겨우 2년 정도의 CAD운영 경험을 갖고 있을 뿐이다.

현재 활동중인 설계기술자도 LSI(Large Scale Integration) 회로의 복사(copy) 경험을 겨우 갖추었을 뿐이고 그 숫자 또한 얼마 되지 않는다. CAD와 VLSI설계경험 훈련과 축적을 위해서는 설계지원을 위한 CAD tool이 필요하며, 이의 다양화와 보편화를 위해서는 대학에 이런 시설이 갖추어질 수 있도록 예산 보조가 이루어져야 한다.

한가지 대책은 전국적인 규모의 CAD Center를 설립하여 각 대학에 Network를 통해 Design Station을 설치한 후 CAD 응용기술 및 개발연구를 담당하게 하여 VLSI 설계훈련 교육 및 연

구를 하는 것이다. 영국에는 Packet Switched 통신망을 통해 각 대학에 설치된 Multi-user minicomputer가 ICF에 설치된 여러 개의 Mainframe computer와 연결되어 CAD에 사용되고 있다. ICF의 단국은 1,700여개에 이른다. 이와 비슷하게 일본에도 Super Computer Network이 구성되어 여러 대학에서 Super Computer의 이용이 가능하다.

나. National CAD Center for Academic Institute

- 1) CAD Hardware & Software 공동 이용
- 2) 보수 유지가 경제적
- 3) 컴퓨터 통신망을 통한 Design Station 설치
- 4) VLSI설계훈련 교육 및 연구
- 5) CAD Software & Hardware 이용 기술 확대

현재 기업체들이 웨이퍼 가공제조 시설에 많은 투자를 하므로 당분간 이 시설을 이용하는 방안을 강구하여 VLSI설계인력 양성과 기술향상에 이들 시설을 이용할 수 있겠다. 그 후 설계수준이 많이 향상되고 많은 설계기술이 축적된 후 Silicon Foundry를 설립함이 바람직하다.

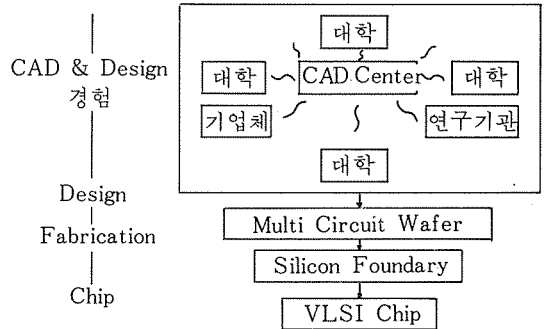
다. Silicon Foundry

- 1) Fast turn around Fabrication Facility
- 2) 0.5 - 1.0  $\mu\text{m}$ 기술
- 3) 표준 실리콘 제조공정
- 4) 표준 설계 규칙
- 5) 소량의 다종류 웨이퍼 제조가공
- 6) Wafer Scale Integration Technology

이러한 Silicon Foundry가 영국에서는 일찍부터 Edinburgh University와 Southampton University에 설립되어 VLSI설계훈련에 이용되고 있고 최근 미국에서는 University of Southern California의 ISI(Information Science

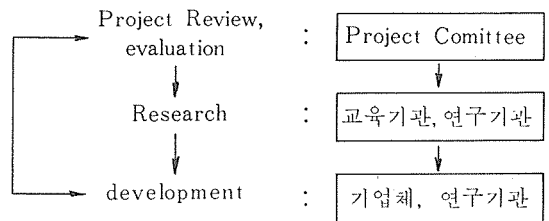
Institute)가 DARPA의 지원으로 MOSIS(MOS Implementation System)를 운영하고 있다. 이들 모두 한 두개의 VLSI design을 최단시간으로 제조 가공할 수 있는 시설로 개방되어 있다.

차세대 컴퓨터 연구개발에서 필수적인 VLSI 설계와 CAD기술이 밑바탕이 되는 연구인력을 양성하기 위해서는 CAD Center를 설립, Multi Project Chip계획, Silicon Foundry 운영을 통해 기술의 다변화, 보편화가 절대적으로 필요하다.



라. 연구조직

VLSI설계와 CAD분야의 연구인력이 극소수인 실정이므로 중앙 집중식으로 한 기관에 집합될 수 없으므로 Project Committee를 설치하여 대학과 연구기관 그리고 기업체가 밀접한 관계를 유지하여 수행해야 할 것이다.



또한 대부분의 연구인력이 교육기관에 산재되어 있으므로, 이를 효율적으로 이용하면 경제적이며, 경쟁적으로 연구업무가 수행되어 성공 가능성이 매우 높다.