

# 多結晶 실리콘 Self-align에 의한 바이폴라 트랜지스터의 製作

蔡相勳 · 具珍根 · 金左鍊 · 李振孝 / 바이폴라技術研究室

## 〈Abstract〉

A polysilicon self-aligned bipolar n-p-n transistor structure is described, which can be used in high speed and high packing density LSI circuits. The emitter of this transistor is separated less than  $0.4 \mu\text{m}$  with base contact by polysilicon self-align technology. Through all the process, the active region of this device is not damaged, therefore a high performance device is obtained.

Using the transistor with  $3.0 \mu\text{m}$  design rules, a CML ring oscillator has per-gate minimum propagation delay time of 400 ps at 2.7 mW power consumption condition.

## 〈요 약〉

바이폴라 소자로 구성된 회로가 양호한 특성을 갖기 위해서는 개별 소자의 동작 속도, 집적도 및 전력 소비 특성이 좋아야 한다. 그런데 지금까지 주로 사용해온 기존의 SBC 바이폴라 트랜지스터로는 이들 특성을 개선하는 데는 한계가 있었다.

일반적으로 바이폴라 트랜지스터는 면적이 줄어들수록 이들 특성이 개선되므로 본 연구에서는 SBC 방법과는 다른 PSA 공정 방법을 개발하였다. 즉, 소자 격리에서는 종래의 PN 접합에 의한 방법과 다른 산화막에 의한 방법을 도입하였고 또한 에미터, 베이스 사이의 거리를 최소로 줄이기 위하여 다결정 실리콘에 의한 polysilicon self-align 방법으로 에미터 및 베이스를 형성시켰다.

## I. 서 론

바이폴라 소자들로 구성된 회로가 양호한 특성을 갖기 위해서는 각 소자의 동작 속도 및 전력 소비 특성이 좋아야 한다. 최근에 와서는 컴퓨터의 연산장치나 통신용 집적 회로 등에는 속도 특성이 좋은 바이폴라 소자들이 많이 요구되고 있으므로 이 때 쓰이는 소자들은 특히 이들 두 특성이 좋아야 한다. 또한 시스템 전체의 크기를 줄이기 위해서는 소자 자체의 면적도 가능한 줄일 필요가 있다.

바이폴라 집적회로에서 지금까지 주로 사용해 온 PN 접합면에 의한 소자 격리 방법은 측면 확산에 의한 영향 및 공핍 영역의 존재 등을 고려할 때 소자 면적 축소면에서 많은 제약이

따랐으며, 이러한 이유로 인해 저항 성분 및 용량 성분이 커져서 동작 속도 및 전력소비 특성 면에서 좋은 결과를 기대할 수 없었다.

이 문제를 해결하기 위해 최근에 개발되고 있는 공정 기술로는 산화막에 의한 소자 격리 방법 및 다결정 실리콘층을 이용한 에미터, 베이스 self-align 방법 등이 사용되고 있다. 이 방법을 사용하면 소자의 면적이 줄어들 뿐만 아니라 에미터, 베이스를 shallow junction으로 만들어 줄 수 있기 때문에 속도, 소비 전력, 집적도 등 모든 면에서 좋은 잇점을 얻을 수 있다.

본 연구에서는 높은 집적도 및 낮은 소비 전력 특성을 갖는 바이폴라 소자를 제작하기 위하여 산화막에 의한 소자 격리 방법과 다결정 실리콘층에 의한 에미터, 베이스 self-align 방법을 적용하여 소자의 크기를 줄이고, 속도 특성을 개선한 새로운 구조의 바이폴라 NPN 트랜지스터를 제작하여 그 전기적 특성을 조사하였다. 그리고 이 트랜지스터의 속도 특성을 관찰하기 위해 CML로 구성된 43단의 링 발진기도 동시에 제작하였다.

## II. 제조 공정

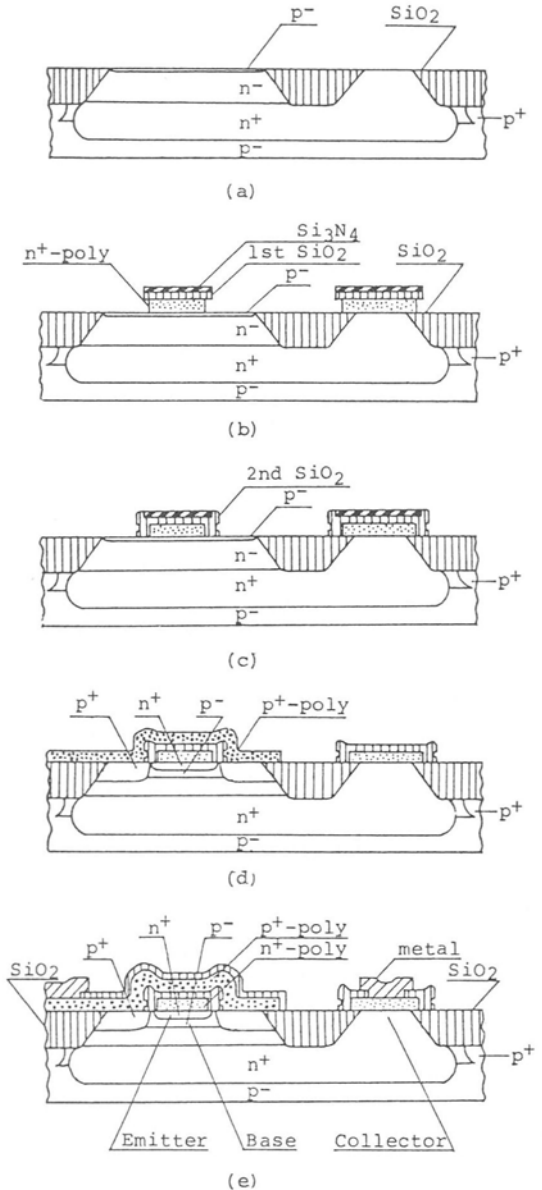
다결정 실리콘에 의해 self-align 된 NPN 트랜지스터를  $3\mu\text{m}$ 의 design rule 을 사용하여 제작하였다. 기판 재료로는 boron 이 도핑된 P형  $15-20\Omega\cdot\text{cm}$ , (100), 실리콘 웨이퍼를 사용하였고, 매몰층은 arsenic 을 이온 주입하여  $1,200^\circ\text{C}$ 에서 열처리하였으며,  $1,080^\circ\text{C}$ 에서  $2\mu\text{m}$ 의 에피택셜층을 성장시켰다. 그리고 각 소자간의 격리를 위하여 SWAMI II에 의한  $1\mu\text{m}$ 의 산화막과 PN 접합면에 의한 소자 격리 기술을 동시에 이용하였다. 다음 intrinsic 베이스를 형성시키기 위해 이온 주입 방법을 통하여 boron 불순물을 주입시켰다. <그림 1 (a)>는 여기까지의 공정이 진행되었을 때의 상태를 나타낸 것이다.

다결정 실리콘에 의한 에미터를 형성시키기 위해서는  $3000\text{\AA}$ 의 N<sup>+</sup> 다결정 실리콘을 산화막과 질화막을 마스크로 이용하여 정의하였다. 이 과정이 <그림 1 (b)>에 나타나 있다.

<그림 1 (c)>는 다결정 실리콘을 얇은 산화막에 의해 절연시키는 과정으로써 LPCVD에 의해 증착된  $3000\text{\AA}$ 의 산화막을 건식 식각법에 의해 부식시킴으로써 다결정 실리콘의 양측 벽

면에만 산화막이 남아있게 하였다.

<그림 1 (d)>는 P<sup>+</sup> 다결정 실리콘을 이용하여 extrinsic 베이스 및 베이스 도선을 형성시키는 과정으로써  $3000\text{\AA}$ 의 다결정 실리콘을 BN 웨이퍼를 사용하여 도핑시켰다. 이 과정을 거친 다음 금속 전극을 형성시켜 완성한 소자의 구조가 <그림 1 (e)>에 나타나 있다.



<그림 1> NPN 트랜지스터의 제작 공정 단면도

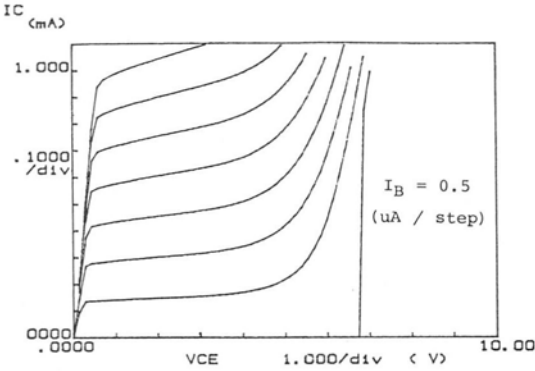
본 실험에서 제작된 NPN 트랜지스터는 베이스와 에미터가 산화막에 의해  $0.4\mu\text{m}$  정도의 간격으로 분리되어 있기 때문에 소자의 면적이 크게 줄어들었으며, 다결정 실리콘에 의한 에미터가 공정 초기에 형성되어 나머지 공정에서 동작영역을 보호하므로 양호한 전기적 특성을 가진다.

### III. 측정 결과

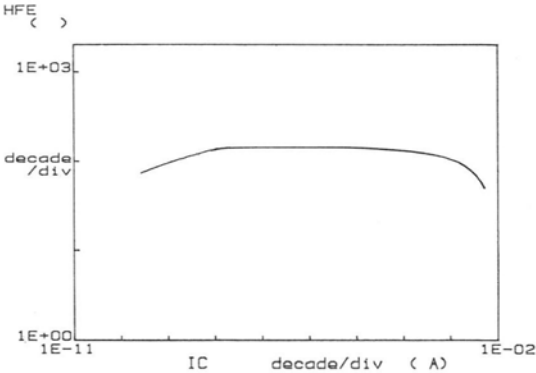
제작된 테스트 칩을 이용하여 각종 특성을 추출하였다. 이것을 간단히 요약해 보면 다음과 같다.

#### 1. 직류 특성

〈그림 2〉는 본 실험을 통해 제작된 NPN 트랜지스터의 직류 특성을 나타낸 것이다. 전류 이



〈그림 2〉 NPN 트랜지스터의 I-V 특성



〈그림 3〉 컬렉터 전류에 따른 전류 이득의 변화

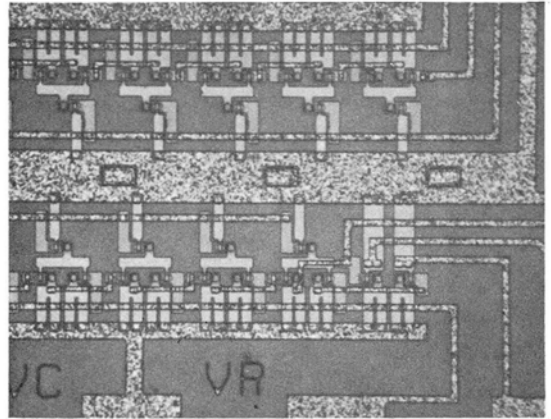
득( $\beta$ )은  $180\sim 220$ 이며 에미터, 컬렉터 간의 항복 전압은  $5\sim 6\text{V}$ 이었다. 각 접합간의 항복 전압은 〈표 1〉에 나타나 있으며, 〈그림 3〉은 이 트랜지스터의 컬렉터 전류 변화에 따른 전류 이득의 변화를 보여주고 있다.

$BV_{CEO} (10\mu\text{A})$	5.6volt
$BV_{CBO} (10\mu\text{A})$	10.2volt
$BV_{EBO} (10\mu\text{A})$	4.9volt

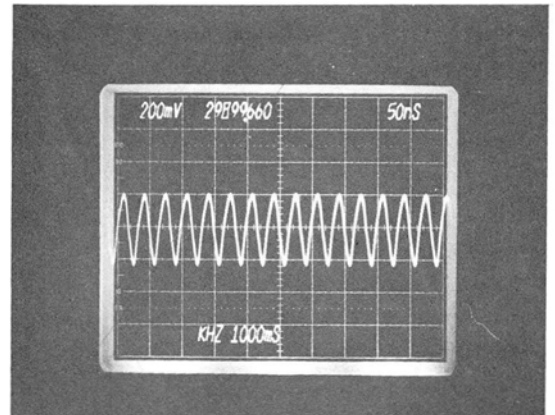
〈표 1〉 NPN 트랜지스터의 접합 항복 전압 ( $A_E = 3 \times 5\mu\text{m}^2$ )

#### 2. 교류 특성

본 실험을 통해 제작된 NPN 트랜지스터의 속도 특성을 관찰하기 위해 43단으로 설계된 CML 링 발진기를 이용하여 측정하였다. 그런

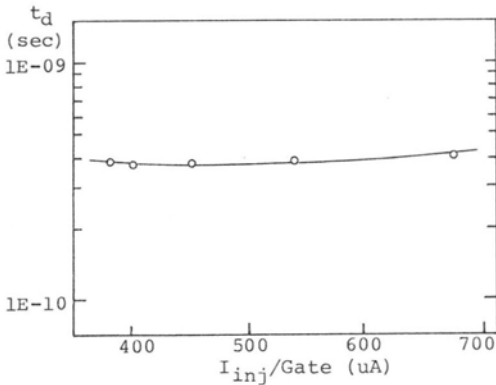


〈그림 4〉 제작된 CML 링 발진기의 사진



〈그림 5〉 CML 링 발진기의 출력 파형

데 CML 회로는 속도 특성이 우수한 관계로 최근에 와서는 고속을 요하는 LSI 소자 분야에 많이 응용되고 있다. 따라서 본 실험에서도 고속 스위칭 특성을 얻기 위해서 logic swing 을 400 mV 가 되도록 설계하였다.



〈그림 6〉 게이트당 전력 소모에 따른 전달지연 시간

〈그림 4〉는 3 μm design rule로 제작된 링 발진기의 사진이며, 〈그림 5〉는  $V_{cc}=5V$ 일 때의 링 발진기 출력단에서 얻어진 파형으로써 게이트당 소비 전력이 2.7mW일 때 최소 전달 지연 시간이 400ps 정도인 속도 특성을 얻을 수 있었다. 또한 〈그림 6〉은 전력 소모에 따른 게이트당 전달 지연 시간의 변화를 나타낸 것이다.

#### IV. 결 론

산화막 격리 기술과 다결정 실리콘을 이용한 self-align 방법으로 바이폴라 NPN 트랜지스터

를 제작하여 측정해 보았다. 그 결과 전류 이득은 180~220으로 나타났으며,  $BV_{CEO}$ 는 5~6V로 나타났다.

또한 이 트랜지스터의 속도 특성을 알아보기 위해 CML로 구성된 43단의 링 발진기를 제작하여 측정해 본 결과 게이트당 소비 전력이 2.7 mW일 때 최소 전달 지연 시간이 약 400ps로 나타났다. 그러므로 이 트랜지스터는 고속으로 동작하는 LSI 회로에 응용되어질 수 있을 것으로 본다.

#### 〈参 考 文 献〉

1. Ning, T. H., et al, "Self-Aligned Bipolar Transistors for High-Performance and Low-Power-Delay VLSI", IEEE Trans. Electron Devices, Vol. ED-28, Sept. 1981, pp. 1010~1013.
2. Okada, K., K. Aomura, et al, "PSA-A New Approach for Bipolar LSI", IEEE J. Solid-State Circuits, Vol. SC-13, No. 5, pp. 693~697.
3. Ishida, I., K. Aomura, et al, "An advanced PSA Process for High Speed Bipolar VLSI," IEEE IEDM Conf. Dig. Tech. Papers, Dec. 1979, pp. 336~339.
4. Chu, S. F., G. R. Srinivasan, and J. Riseman, "A Self-aligned Bipolar Transistor", VLSI Science and Technology 1982 Symposium, pp. 306.