技術情報

高速 디지틀 交換 IC (HDS-LSI)의 紹介

鄭燦根 · 李英圭 / 光傳送裝置研究室

〈要　　約〉

일반적으로 시분할 전자 교환기의 time-switch로는 RAM을 이용한 방식이 많이 사용되고 있는데 본고에서는 간단한 하드웨어와 빠른 교환 속도의 특징을 갖는 고속 디지틀 스위칭 IC, HDS〈Highspeed Digital Switch〉-LSI에 관하여 간단히 소개하고자 한다.

먼저 일반적인 time-switch의 구조와 동작에 대해 간단히 설명하고 HDS-LSI의 기본 원리와 구조 그리고 응용 분야에 대해 예를들어 설명하였다.

Ⅰ. 序　論

중소규모 교환기나 가입자 집선장치 분야는 비교적 구성회로의 집적화 및 모듈화가 활발하게 진행되고 있어 codec이나 필터, 그리고 SL-IC에 이어 time-switch (이하 T-switch라 칭함) 부분까지도 이미 LSI화하여 상용화 되고 있다.[1]

T-switch의 LSI화는 메모리를 이용하거나 시프트 레지스터를 이용하여 실현하는 방법이 있다. 메모리를 이용하는 T-switch 전용 LSI로는 SGS의 M088[2], MITEL의 MT8980[3], 그리고 Thomson-CSF의 EF7331[4] 등이 있는데 이들 LSI들은 모두 최대 8개의 32채널 PCM, 즉 음성 256채널에 대한 교환기능을 수행할 수 있는 공통점을 가지고 있다.

한편, 시프트 레지스터를 이용한 T-switch로는 일본의 NTT가 위성통신의 on-board switching을 실현하기 위해 사용한 HDS-LSI[5] 가 있는데 메모리를 사용하지 않기 때문에 교환속도가 빠르다는 장점이 있다.

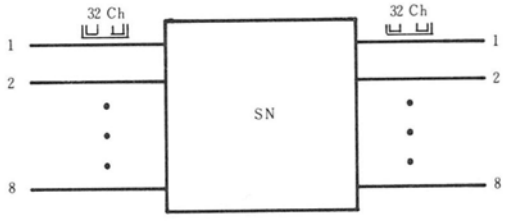
여기서는 메모리를 사용한 T-switch의 개념적인 설명과 HDS의 구조, 그리고 동작원리를 소개하여 교환 메카니즘에 있어 T-switch 와의 차이를 이해할 수 있게하고 또한 이 LSI의 활용 방안에 대해서도 언급한다.

Ⅱ. T-switch의 구조와 동작

일반적인 스위칭망의 설계를 메모리를 이용

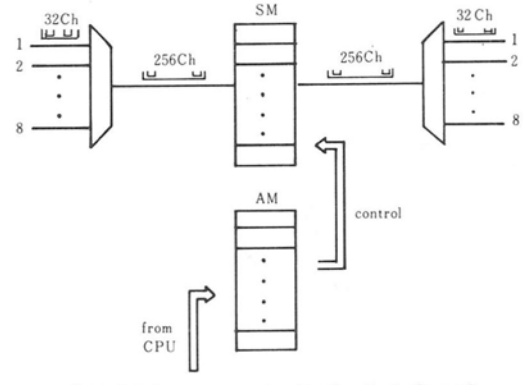
한 T-switch로 실현하는 경우에는 다음과 같은 trade-off가 존재하게 된다.[4] 즉, 집선을 시켜 가입자수를 증가시키면 T-switch내 메모리 용량의 한계에 의해 time-slot assign시 블러킹이 생기고 가입자 수를 감소 시키면 블러킹은 줄어 들지만 경제성이 없어진다.

비트율이 2.048Mb/s인 트렁크를 8개 가진 스위치망을 예를들어 동작을 간단히 설명한다.



〈그림 1〉 Switch Network

스위치망이 〈그림 1〉과 같이 존재한다고 가정하고 내부구조를 간략히 블럭으로 표시하면 〈그림 2〉와 같다.



〈그림 2〉 T-switch 블럭 다이어그램

8개의 트렁크에서 P/S컨버어젼된 256개의 채널데이터는 SM(Speech Memory)에 순차적으로 write되고 이들 데이터는 CPU의 제어를 받아 CM(Control Memory)에 저장되어 있는 어드레스 순으로 랜덤하게 읽혀진 후 S/P컨버어젼되어 각 트렁크로 교환되어 나간다.

이 경우에 교환되어져야 하는 트렁크의 수가 많아지면 필요로 하는 메모리의 양도 비례하여 증가된다. 〈그림 2〉에서 8개의 트렁크를 1개 그룹으로 보아서 그룹이 N배가 되면 이때 필요한 메모리 용량은 N^2이 된다. 이경우 T-switch만을 사용하지 않고 S-switch를 T-switch 와 병용하여 T-S-T 구조를 가지면 그때의 용량은 N배로 증가할 뿐이므로 일반적으로 대용량 디지틀 교환기의 스위치는 T-S-T 구조를 갖는다.

이러한 T-switch의 특성으로는,

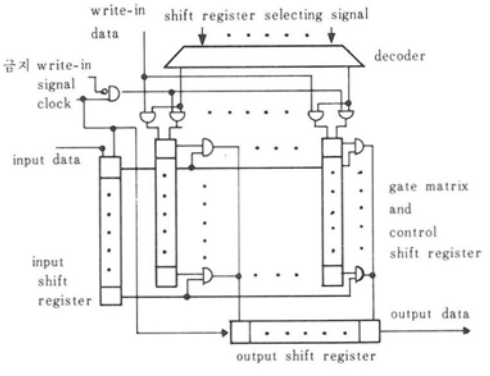
(1) 타임 슬롯을 교환해 주기 위해 하이웨이 데이터를 time-multiplexing 해야 한다.

(2) 교환을 위해 SM에 채널 데이터를 write하고 다시 CM에 의해 read하는 데 필요한 절대 시간이 확보되어야 한다. 그리고 이것은 전체 교환기의 time-delay로 작용한다.

(3) RAM이 정확한 시간에 동작하도록 주변장치 회로의 설계가 필요하게 되며 이것은 바로 스위치망의 리던던시가 된다.[5]

Ⅲ. HDS (High-speed Digital Switch)

HDS는 RAM대신 시프트 레지스터와 게이트 매트릭스로서 교환을 하도록 하여 time-delay나 리던던시를 개선할 수 있게 한것으로 기본 회로는 〈그림 3〉과 같다.



〈그림 3〉 HDS-LSI 기본 회로

입력 시프트 레지스터에 입력으로 들어온 프레임 데이터는 클럭 증가에 따라 한 비트 단위로 저장된다. 그러면 게이트 매트릭스는 한 클럭에 한 개의 데이터 비트씩을 교환하여 출력 시프트 레지스터에 저장하게 된다. 게이트 매트릭스의 교차점은 제어 시프트 레지스터 내의 각 비트에 의해 "1", 또는 "0"로 제어된다. 그런뒤에 출력 시프트 레지스터 내의 내용은 출력 데이터 stream으로 출력된다.

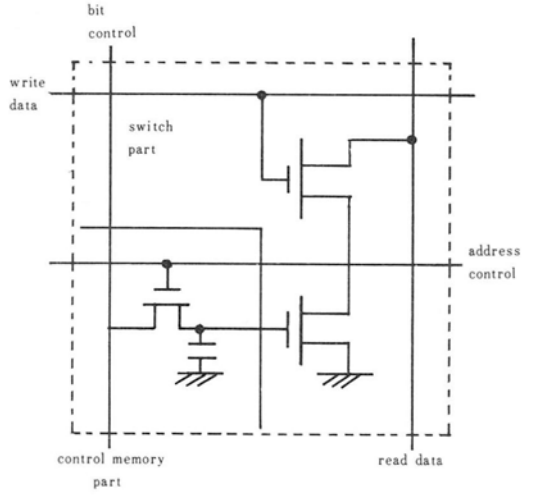
이상이 8개 비트가 internal 블러킹 없이 교환되어지는 과정이다. 〈그림 3〉은 HDS의 기

본 유니트이므로 교환을 필요로 하는 비트의 수가 많아지면 그에 따라 이 유니트수도 증가되어야 한다.

교환의 패턴을 변경하기 위해서는 제어 시프트 레지스터의 내용을 데이터 프레임의 한 주기 이내에 다시 변경하여 저장해 주어야 한다. 여기서 사용한 시프트 레지스터의 클럭은 입력측과 출력측에 동일한 클럭을 사용해야 하며 이 회로의 최대 동작 속도, 즉 최대교환속도는 시프트 레지스터가 사용 가능한 최대 클럭 속도에 따른다.

Ⅳ. Channel 수의 증가

HDS가 수용할 수 있는 채널수는 게이트 매트릭스와 시프트 레지스터의 수에 의해 결정된다. 실제로는 LSI회로의 집적도가 채널수를 제한하게 되므로 될 수 있는 한 집적도를 높여야 할 필요가 생기며 이 경우 시프트 레지스터 보다 메모리셀이 IC내의 점유 면적이 적으므로, 메모리셀을 이용하여 시프트 레지스터 기능을 실현시킨다. 이 기본 메모리 셀은 〈그림4〉와같다.



〈그림4〉 기본 Cell 회로

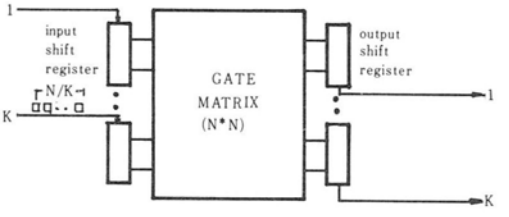
HDS는 게이트들의 집합체로서 구성되기 때문에 LSI화 하기가 쉽다. 따라서 칩 하나로 만들어 지면 크기가 작아지고 전력소모도 적으므로 시스팀 설계가 간편하게 될 뿐만 아니라 신뢰도도 향상될 것이다. HDS-LSI를 집적하는데 사용하는 기술은 1㎛내지 2㎛정도의 C-MOS 기술이며 이들의 특성 비교표는 〈表1〉과 같다.

Device	2㎛ rule CMOS	1㎛ rule CMOS
Shift register Clock 속도	32MHz	64MHz
Channel 수	160	330
Throughput	32Mb/s	64Mb/s
Channel 속도	200K-16Mb/s	194K-32Mb/s

〈表1〉 HDS 특성표

Ⅴ. Channel Speed의 증가

한정된 수의 게이트 메트릭스만을 이용하여 교환을 시키는 경우 채널속도를 증가 시키기 위해서는 입력되는 데이터의 다중화율을 감소 시켜야 한다. 왜냐하면 HDS-LSI의 동작속도는 시프트 레지스터의 클럭 속도에 의해 제한되므로 다중화된 데이터가 많아지면 필요한 시프트 레지스터의 클럭 속도도 높아진다. 따라서 입력과 출력 시프트 레지스터를 K개 블럭으로 나누어 〈그림5〉와 같이 실현하는 경우 각 비트의 gating은 블럭별로 이루어지므로 속도는 1/K로 줄게 된다.

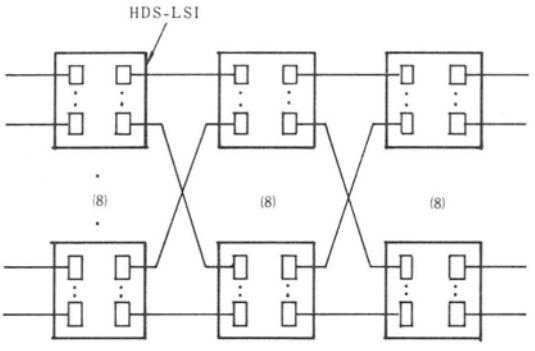


〈그림5〉 Divided Shift Register 구조

〈그림5〉의 구조로 〈그림1〉과 같은 스위치망을 구성할 경우 K=8인 구조로 간단히 구성할 수 있음을 알 수 있다.

Ⅵ. 대용량 구조

분할 시프트 레지스터를 복수의 입력과 출력 하이웨이와 같이 사용하면 크로스바아망 같은구조로 대용량을 실현할 수가 있다. 〈그림 6〉은 최대 8개의 입력과 출력 하이웨이를 가지고 256 채널을 교환해 줄 수 있는 3단 HDS-LSI 구조이다.

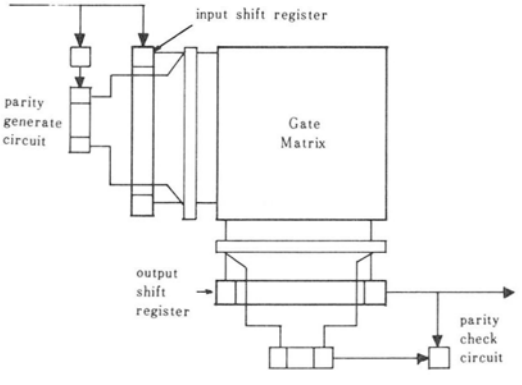


〈그림6〉 3- Stage Switch Network

Ⅶ. Failure 검색

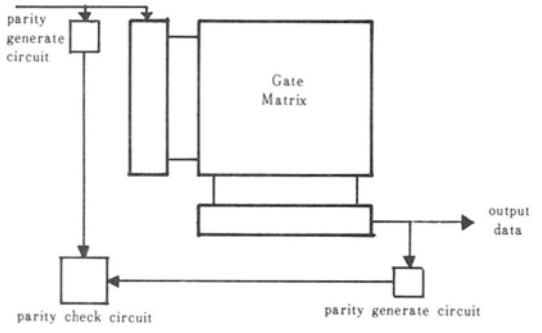
모든 교환기능이 한개의 칩내에 존재한다면 고장 검색 기능을 부가하기는 쉽다. 기본적으로 두가지 방법이 고려될 수 있으며 그 방법은 다음과 같다.

(1) 한개의 프레임 정보가 교환된 뒤 각 채널의 패리티비트를 조사한다. 이 패리티비트는 〈그림 7〉처럼 입력 시프트 레지스터의 전반부에서 채널단위로 만들어지며 출력 시프트 레지스터에서 검색된다.



〈그림7〉 Failure 검색 (A)

(2) 〈그림 8〉처럼 한개의 프레임 데이터가 교환이 끝난 다음 입력측과 출력측에서 만들어진 각각의 패리티를 비교함으로써 교환된 뒤의 프레임 에러 체크가 가능하다.



〈그림8〉 Failure 검색 (B)

Ⅷ. 기타 응용 분야

1. 디지틀 PBX

PBX는 최근 LAN과 마찬가지로 팩시밀리, 개인용 컴퓨터, 데이터 단말기 등을 연결하여 사용할 수 있도록 개발되어 가고 있다. 이러한 경우 HDS-LSI를 사용하여 PBX를 실현하면 〈表2〉와 같이 일반 회로를 사용한 PBX 보다 훨씬 경제적이고 성능이 우수해지는 것을 알 수 있다.[5]

Block	discrete ICs	HDS-LSI
Multiplexer/ Demultiplexer	48개	1개
Time-switch	3개	
Throughput	64 Mb/s	512 Mb/s

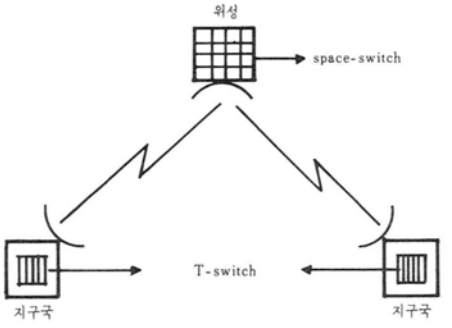
〈表2〉 PBX 내의 IC수 비교표

2. 위성의 On-board Switch 회로

위성교환 통신시스팀의 TDMA는 T-switch의 기능을 가지고 있는데 여기에 multi-beam에 의해 여러 spot beam area를 위성에서 교환을 해주면 S-switch의 역할도 하게 된다. 따라서 multi-beam위성 교환 방식은 〈그림 9〉처럼 하나의 커다란 T-S-T 교환기로 볼 수가 있다.

이러한 시스팀에서 한개의 spot beam area 내에 지구국이 여러개 있는 경우는 TDMA프레임 내의 버어스트수가 많아지고 또한 비임의 수가 많아지면 신호 프레임의 길이가 길어져서 각

지구국은 프레임이 길어지는 것만큼 더 많은 메모리 용량이 요구되며 이에 따라 time-delay가 발생한다.



〈그림 9〉 T-S-T Switching Network

〈그림 9〉에서처럼 구성된 T-S-T 구조에서 HDS-LSI를 이용하여 S-switch를 실현하는 경우 on-board switching이 가능하여 다음과 같은 장점을 얻을 수가 있다.[5]

(1) 직접 baseband switching이 이루어 지므로 IF switch로 교환하는 경우보다 전송 효율이 증대되며

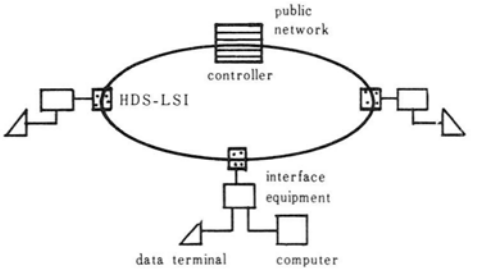
(2) call set-up시간이 감소되며

(3) 두 network 사이의 one-hop connection이 가능하며

(4) dynamic하게 link allocation을 할 수 있게 된다.

3. LAN의 Drop-insert 회로

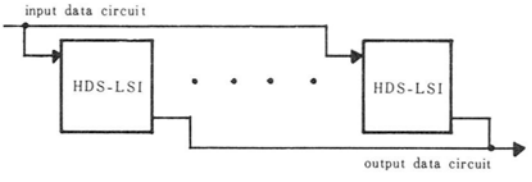
HDS-LSI를 LAN의 drop-insert소자로 사용하는 경우 채널 어드레스 제어를 위한 별도의 메모리가 불필요하게 되는 장점이 있고 또한 시분할 교환기능 뿐만아니라 LAN의 시분할 전송기능에도 사용 가능하게 된다.



〈그림 10〉 Dropper-inserter 회로

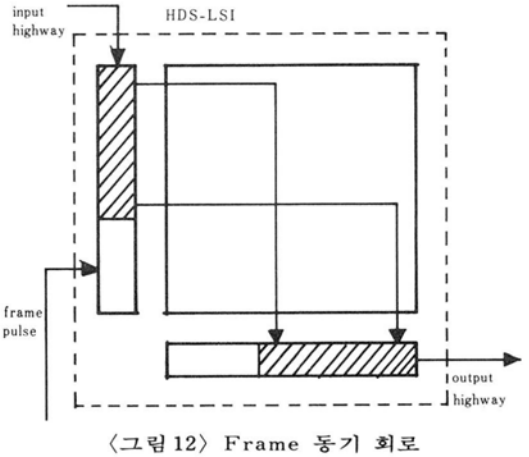
4. Frame 제어 회로

HDS-LSI는 일정한 용량의 교환기능을 가지고 있기 때문에 용량과 프레임 길이가 정수배 관계가 되도록 하면 일종의 프레임 변환 회로로서도 이용될 수가 있다. 이때 한개의 HDS-LSI가 2개의 프레임을 저장할 수 있는 용량이면 클럭이 프레임의 비트 수만큼 지난후 바로 변환될 수 있으며, 만일 HDS-LSI가 프레임의 full length를 저장하지 못하면 〈그림 11〉 처럼 multi-connect로서 한개의 프레임을 여러개의 HDS-LSI에 저장할 수 있다. 따라서 프레임 길이가 얼마이든 프레임 변환은 가능해 진다.



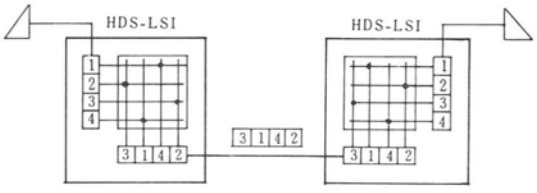
〈그림 11〉 Frame 변환 회로

HDS-LSI를 〈그림 12〉처럼 실현하는 경우 전송로상에 데이터 프레임의 top position을 정확하게 맞출 수가 있다. 이 경우 비트 동기는 미리 이루어져 있어야 한다.



〈그림 12〉 Frame 동기 회로

이러한 원리를 확장하여 〈그림 13〉처럼 한개의 프레임을 랜덤하게 교환하고 수신부에서는 송신부에서 교환한 패턴의 역으로 교환토록 하면 전송된 데이터의 수신이 가능하게 되므로 비밀이 보장되는 간단한 암호회로로서도 이용될 수가 있다.



〈그림 13〉 암호 해독 회로

Ⅸ. 결 론

HDS-LSI는 고속 디지틀 교환 IC로 이것이 상업용으로 사용이 가능해 지면 다양한 응용이 예상된다. 실제로 이 IC는 일본 NTT의 Musashino ECL의 위성통신 시스팀에 베이스밴드 교환용으로 사용되고 있으며 일부 PBX에서 사용하려는 움직임도 보이고 있다.

HDS는 메모리를 사용하지 않아 교환 속도가 빠르기는 하나, 용량이 커지면 제어하는 게이트 매트릭스 회로가 복잡(N×N)하게 되므로 LSI 하는데 어느정도 제한이 따르게 된다. 따라서 게이트 매트릭스의 최적 설계와 응용 분야의 개척이 이 분야의 중요한 과제로 남는다.

<參 考 文 獻>

1. 이 유경, "M088 NMOS IC를 이용한 TDS (Time Division Switching) 회로의 구성 연구", TM 85-234-2, Jan., 1985.
2. SGS, Telecommunications Products Data Book, 1983.
3. MITEL Semiconductor, Microelectronic Products for Telecommunications, 1982.
4. Thomson-CSF, Telecommunication Telematique, 1982.
5. Arita, Takemi, Shigefusa Suzuki, Fukuya Ishino, "A High-speed Digital Satellite Switching Network without RAM," ISS '84 Florence, 7-11 May, 1984.
6. Charransol, P., Athenes, C., Audrix, J.C. Moreau, J. P., "Standard Circuit for Modular Time Division Switching Equipment," , Communication & Transmission. Mar., 1981.
7. Opfferman, D. C., Tsao-Wu, N. T., "On A Class of Rearrangeable Switching Networks," Bell Syst. Tech. J., Vol. 50, No. 5, May-June 1971.
8. Ito, Y., Urano, Y., Muratani T. and M. Yamaguchi, "Analysis of A Switch Matrix for SS-TDMA System", Procceding of IEEE, Mar., 1977.