

論 文

ROM 構造의 I²L에 의한 多值論理回路의 設計

正會員 李 鍾 元* 正會員 成 賢 慶**

Design of Multivalued Logic Circuits using I²L with ROM Structures

Jong Weon LEE* and Hyeon Kyeong SEONG**, Regular Members

본 논문에서는 대각선으로 출력이 1이 되는 함수 $\sum_{i=0}^{n-1} f_i=1$ 을 실현하는 간단한 논리회로를 제시하며 동시에 2 출력수 갖는 ROM구조의 I²L에 의한 多值論理回路의 設計를 제시한다. 제시된 회로는 대칭적인 多值眞理值表의 회로 설계와 독립변수를 갖는 多值眞理值表의 회로 설계에 적합하다. 또한 Galois field(GF) 多值眞理值表에 적용하였다.

ABSTRACT An efficient logic circuit for realizing the function $\sum_{i=0}^{n-1} f_i=1$ which has output of 1 diagonally and design for multivalued logic circuit using I²L with ROM structure which has two output at once are presented. The circuits presented are suited for the circuit design of a symmetric multivalued truth tables and the circuit design of multivalued truth tables with many independent variables. Also, they are applied to the multivalued truth tables of Galois field(GF).

1. 序 論

1972년에 I²L(Integrated Injection Logic) 회로들이 소개된 후 이 회로들은 傳達遲延時間과 低電力-速度積(low power-speed product)이 적고 集積度を 높일 수 있으므로 LSI/VLSI에 많이 이용되고 있다. 특히 電流모우드動作의 直結型論理回路로서 전류의 加算이 용이한 이점을 이용하여 多值論理回路에 이용되고 있다^{(1)~(4)}.

多值論理回路는 2進回路에 비하여 동일 정보

량을 처리하는데 상호연결이 감소되고 單位面積當 높은 함수기능을 갖는 장점이 있다^{(5)~(7)}.

F. Ueno, T. Inoue와 K. Taniguchi는 I²L 회로를 이용하여 MIN/MAX의 두 가지 연산을 실현할 수 있는 새로운 MIN/MAX 논리회로와 Literal과 Successor의 두 가지 연산이 가능한 새로운 多值論理回路를 실현하여 그 동작들을 이론과 실험으로 해석하였다^{(8)~(10)}.

또한 T. Dao⁽¹¹⁾는 바이트 기억구조상 1 이상의 바이트에 관한 오차 처리능력이 있는 單一誤差校正 및 2重誤差檢出(SEC-DED)블럭 코우드의 4值I²L 회로실현을 보였으며 Davio와 Deschamps⁽¹²⁾는 切斷差分函數(truncated difference function)를 사용한 I²L 회로의 설계방법을 제시하였다.

본 논문에서는 항상 대각선으로 출력이 1이 되는 함수 $\sum_{i=0}^{n-1} f_i=1$ 을 갖는 간단한 논리회로와 RO

* 仁荷工業專門大學通信科

Dept. of Communication Engineering, In Ha Junior Technical College, 160 Korea

** 仁荷工業專門大學通信科

Dept. of Electronic Engineering, In Ha Junior Technical College, 160 Korea

論文番號 : 85-06 (接受 1984. 12. 22)

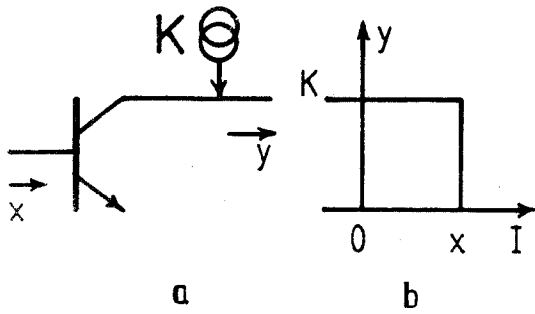


그림 1 禁止回路
Inhibit circuit.

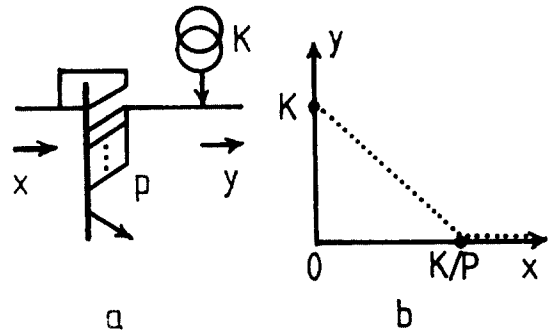


그림 2 電流미러回路
Current mirror circuit.

M構造를 갖는 I²L 多值論理回路를 제시한다. 이 회로들은 가산회로와 증산회로를 동시에 실현할 수 있다. 또한 Galois field(GF)의 多值眞理值表에 적용하였다.

2. I²L 回路의 基本概念

논리설계기술에서 게이트의 수는 소자낭비를 발생시킬 수 있고 분명히 이 영향은 集積水準이 높다면 특히 중요하게 대두될 수 있다¹².

이 절에서는 기본적인 I²L構造에 대하여 논한다.

2.1 interval¹²

(1) closed interval

a 와 b 가 $a \leq b$ 일 때 函數 $x^{(a,b)}$ 는

$$x^{(a,b)} = \begin{cases} 1 & \text{iff } a \leq x \leq b \\ 0 & \text{iff } a > x > b \end{cases} \quad (1)$$

로 정의되며

(2) semi-interval

$$x^{(a)} = \begin{cases} 1 & \text{iff } a \leq x \\ 0 & \text{iff } a > x \end{cases} \quad (2)$$

로 정의된다.

2.2 禁止回路 (inhibit circuit)^{16), 12), 13)}

禁止回路는 그림 1 (a)와 같다. 電流源 K 는 K 단위 전류원을 표시하며 이 회로의 入出力特性이 그림 1 (b)와 같다.

이 禁止回路는 다음 函數를 실현한다.

$$y = K \cdot x^{(0)} \quad (3)$$

2.3 電流미러回路^{16), 12), 13)}

電流미러回路 (current mirror circuit)는 그림 2 (a)와 같이 구성된다. 또 이 회로의 入出力特性

이 그림 2 (b)와 같다.

이 演算을 설명하기 위하여 實數集合 R 에 대한 切斷差分 (truncated difference)의 演算子 “ \boxminus ”은

$$a \boxminus b = \begin{cases} a - b & \text{iff } a \geq b \\ 0 & \text{iff } a < b \end{cases} \quad (4)$$

로 정의된다.

이 정의에 의하여 電流미러回路는 다음 函數를 실현한다.

$$y = K \boxminus p \cdot x \quad (5)$$

3. I²L 多值論理回路設計

ROM構造를 갖는 I²L회로를 사용한 多值論理回路의 일반적인 회로구성이 그림 3과 같다¹⁴⁾.

그림 3의 論理回路 A에서 入力 x 에 대한 출력은 다음과 같다.

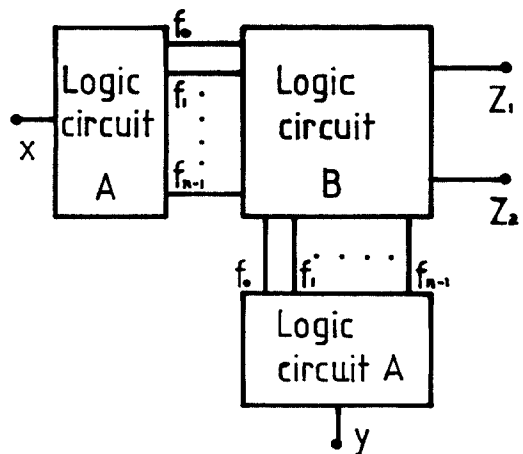


그림 3 ROM構造의 一般의 回路構成
General circuit configuration with ROM structure.

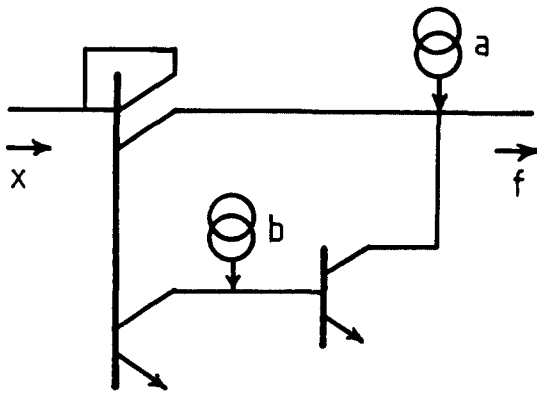


그림 4 2 트랜지스터의 상호연결
Interconnection of two transistors.

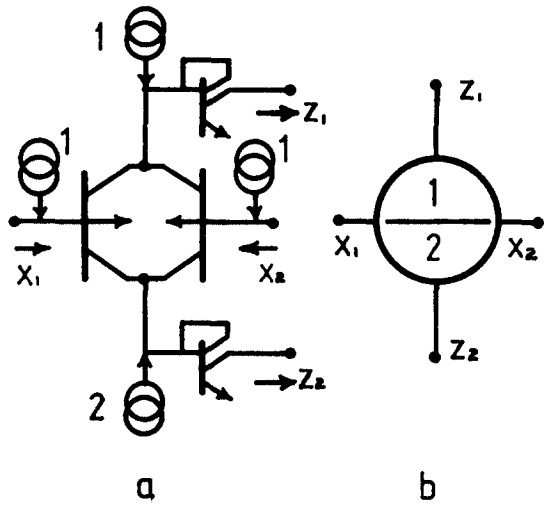


그림 6 2入力-2出力 I²L 회로
Two input-two output I²L circuit.

$$\begin{aligned} (f_0, f_1, \dots, f_{n-1}) &= (1, 0, \dots, 0) \quad (\text{iff } x=0) \quad (6) \\ (f_0, f_1, \dots, f_{n-1}) &= (0, 1, \dots, 0) \quad (\text{iff } x=1) \\ &\vdots \quad \vdots \quad \vdots \quad \vdots \quad \vdots \\ (f_0, f_1, \dots, f_{n-1}) &= (0, 0, \dots, 1) \quad (\text{iff } x=n-1) \end{aligned}$$

式(6)은 하나의 입력 x 에 대하여 n 개의 출력 f_i ($i=0, 1, 2, \dots, n-1$)를 갖는다. 式(6)에서 출력이 대각선으로 1이 되는 다음의 函數를 얻을 수 있다.

$$\sum_{i=0}^{n-1} f_i = 1 \quad (i=0, 1, \dots, n-1) \quad (7)$$

그러므로 출력이 항상 대각선으로 1이 되는 式(7)의 函數를 실현하는 회로를 논하면 다음과 같다.

그림 4에서 하나의 電流미러회로와 하나의 禁止회로를 사용한 회로의 出力函數 f 는

$$f = (a \boxminus x) \cdot x^{(b)} \quad (8)$$

이다. 여기서 $a = x + 1$, $b = x$ 이고, $x = 0, 1, 2, \dots, n-1$ 의 값을 기질 경우 항상 $f = 1$ 의 출력을 갖는다. 그러므로 입력 x 에 대하여 그림 4의 회로를 n 개 연결하면

$$f_i = (a_{i+1} \boxminus x) \cdot x^{(b_i)} \quad (i=0, 1, \dots, n-1) \quad (9)$$

가 된다. 式(7)에 式(9)를 대입하면

$$\sum_{i=0}^{n-1} (a_{i+1} \boxminus x) \cdot x^{(b_i)} = 1 \quad (i=x=0, 1, \dots, n-1) \quad (10)$$

이 된다. 式(10)을 실현한 회로가 그림 5와 같다. 그림 5에서 $b_0 = 0$ 의 값을 기지므로 회로에서

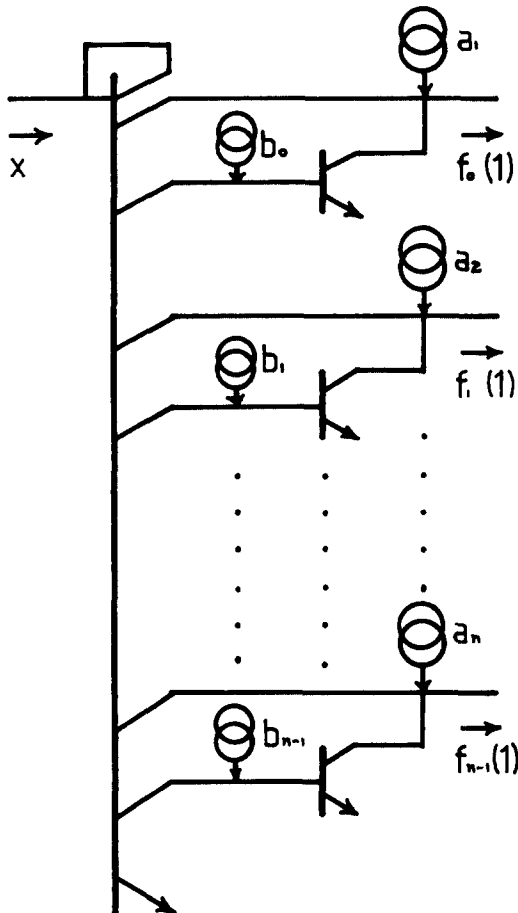


그림 5 論理회로 A의 回路實現
Realization of logic circuit A.

표 1 GF(3)의 多值眞理值表
Multivalued truth tables of GF(3).

x \ y	0	1	2
0	0	1	2
1	1	2	0
2		0	1

(a) 가산표

x \ y	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

(b) 승산표

표 2 GF(4)의 多值眞理值表
Multivalued truth tables of GF(4).

x \ y	0	1	2	3
0	0	1	2	3
1	1	0	3	2
2	2	3	0	1
3	3	2	1	0

(a) 가산표

x \ y	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

(b) 승산표

제거할 수 있으며 입력 y 에 대한 論理回路 A도 그림 5와 같다.

또한 그림 6 (a)는 論理回路 B에서 2입력과 2출력을 갖는 회로이며 그림 6 (b)는 單位素子(unit cell)이다. 單位素子の 圓내의 숫자는 電流源의 크기를 나타내고 있다. 그림 3의 論理回路 B는 多數コレクタ 트랜지스터(multicollector transistor)로 구성된 電流미러回路의 배열이다.

4. 適用例

앞절에서 논한 回路를 사용하여 ROM構造를

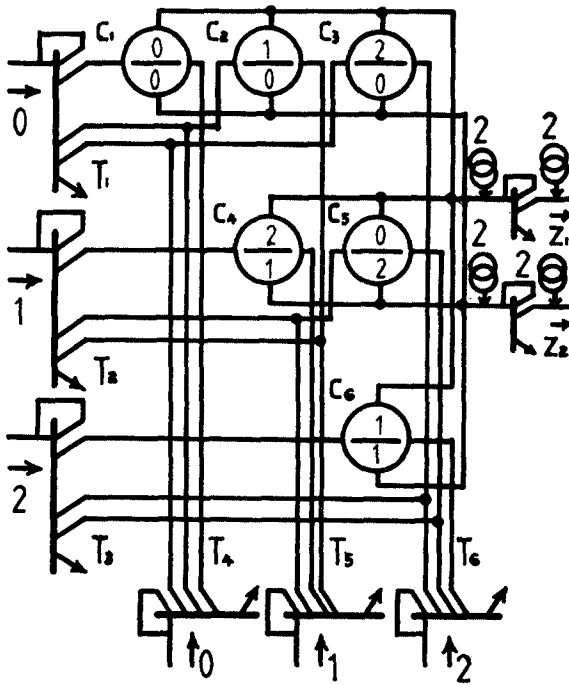


그림 7 표 1의 실현
Realization of table 1.

같은 I²L의 多值論理回路設計를 Galois field(GF) 多值眞理值表에 적용하여 예를 들어 논한다.

[예제(1)] 表 1은 GF(3)의 多值眞理值表로서 (a)는 가산표(sum), (b)는 승산표(product)이며 2變數 3值多值眞理值表이다¹¹⁾.

그림 3의 論理回路 A는 항상 그림 5의 回路를 입력 x 축과 입력 y 축에 사용하고 論理回路 B는 多數コレクタ(multicollector)를 갖는 電流미러回路의 배열로 구성하며 表 1을 실현한 回路가 그림 7과 같다.

그림 7의 回路設計에서 각 圓의 숫자는 電流源의 크기를 나타내며 多值眞理值表에서 각각의 眞理值 0, 1, 2에 대응한다. 表 1 (a)의 가산표에서 $x=1$ 이고 $y=1$ 일 때 出力이 2이므로 式(11)에서

$$\sum_{i=0}^2 f_i = \sum_{i=0}^2 (a_{i+1} \boxplus x) \cdot x^{(b_i)} \quad (i=x=0, 1, 2) \quad (11)$$

입력 $x=1$ 을 대입하면 x 축의 出力 f_{x1} 은

$$f_{x1} = (2 \boxplus 1) \cdot 1^{(1)} = 1 \quad (x=1) \\ = 0 \quad (x \neq 1) \quad (12)$$

입력 $y=1$ 을 대입하면 y 축의 出力 f_{y1} 은

$$f_{y1} = (2 \boxplus 1) \cdot 1^{(1)} = 1 \quad (y=1) \\ = 0 \quad (y \neq 1) \quad (13)$$

위의 계산에 의하여 그림 5의 論理回路 A에서 $x=1$ 일 때 x 축의 出力 $f_{x1}=1$ 이고 $y=1$ 일 때 y 축의 出力 $f_{y1}=1$ 이다.

그림 7의 回路에서 電流미러回路 T_2 와 T_5 의 出力이 0이고 T_2, T_5 를 제외한 電流미러回路의 出力은 1이 된다. 그러므로 T_2 와 T_5 의 出力 0이 동시에 가해지는 단위소자 C_4 만이 동작하지 않으므로 電流源 2가 出力 Z_1 에 나타나며 C_4 를 제외한 회로의 出力은 모두 0이다. 그 때 論理回路 B의 出力은 $C_1 \sim C_6$ 出力의 "OR"를 취하여 얻어

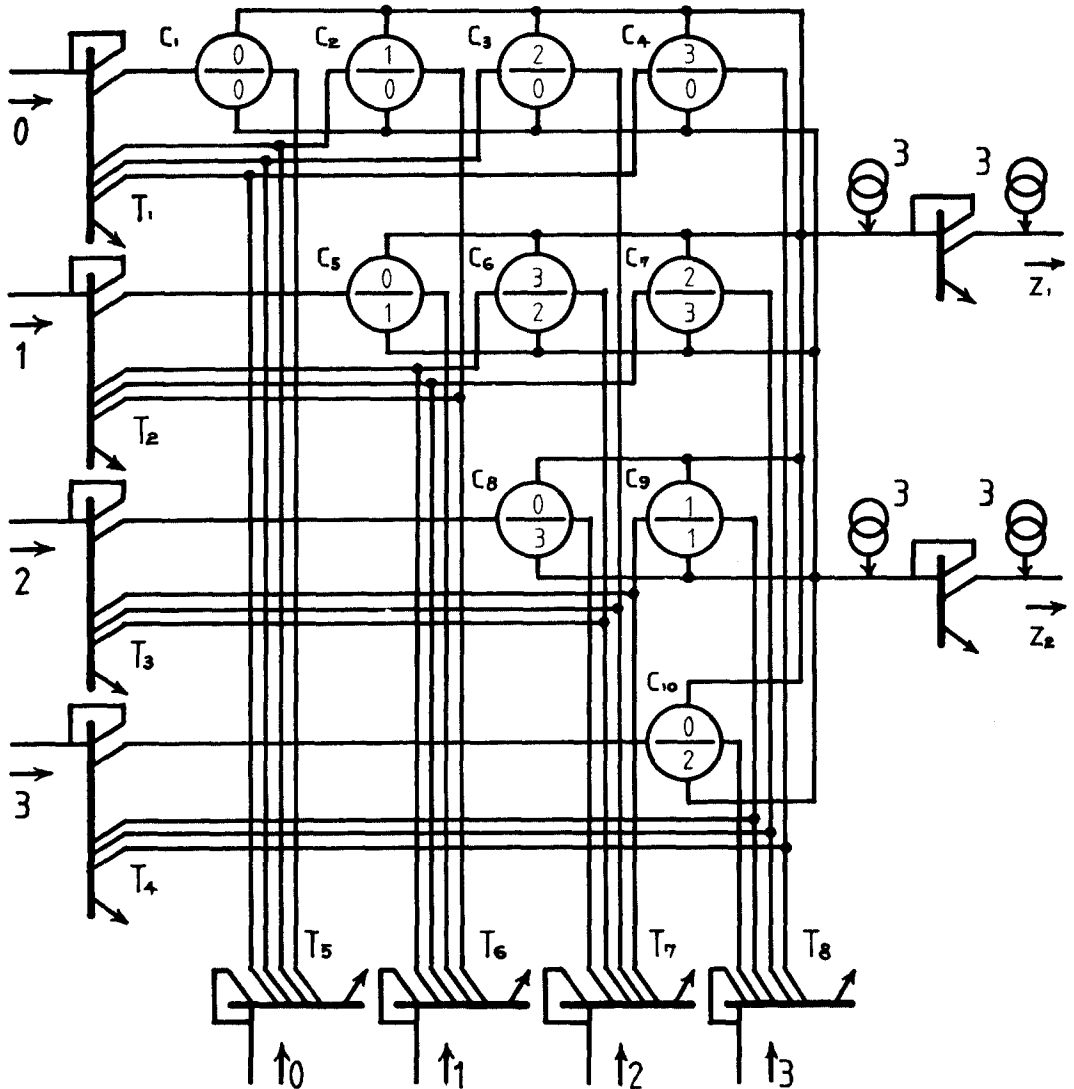


그림 8 표 2의 실현
Realization of table 2.

진다.

또한 표 1 (b)의 승산표에서 $x=1$ 이고 $y=2$ 일 때 출력이 2이므로 그림 5의 논리회로 A에서 $x=1$ 일 때 x 축의 출력 $f_{x1}=1$ 이고 $y=2$ 일 때 y 축의 출력 $f_{y2}=1$ 이다. 그림 7의 회로에서 전류미러회로 T_2 와 T_6 의 출력이 0이고 T_2, T_6 의 출력 0이 동시에 가해지는 단위소자 C_5 만이 동작하지 않으므로 전류원 2가 출력 Z_2 에 나타나며 C_5 를 제외한 단위소자의 출력은 0이다. 그림 7의 회로에서 출력 Z_1, Z_2 의 N-P-N 전류미러회로는 P-

N-P 전류미러회로와 동일특성을 갖는다.

[예제(2)] 표 2의 GF(4)의 다값진리값표를 회로설계하면 다음과 같다. 표 2의 2변수 4값 다값진리값표로서 (a)는 가산표이고 (b)는 승산표이다.¹¹⁾

논리회로 B는 다수콜렉터를 갖는 전류미러회로로 구성하며 표 2의 GF(4)의 다값진리값표를 실현한 회로가 그림 8과 같으며 예제(1)과 동일하게 동작하여 출력을 얻는다.

2변수의 연산동작이 논리회로 B에서 2변수에

대하여 대칭 적이라면 $n \times n$ 電流미러回路配列에서 그림 6 (b)의 2입력-2출력 I²L회로의 單位素子要求數가 $((n^2 - n)/2) + n$ 으로 감소한다. 예제(2)의 경우 설계에 필요한 단위 소자수가 10이다. 더우기 다른 2出力加算과 乘算出力을 동시에 얻을 수 있다.

5. 結 論

出力이 대각선으로 항상 1이 되는 函數 $\sum_{i=0}^{n-1} f_i = 1$ 을 실현하는 論理回路를 제시하고 ROM構造를 갖는 I²L에 의한 多值論理回路의 설계를 제시하였다.

본 논문에서는 Galois field (GF)의 多值眞理値表를 사용하여 동시에 加算과 乘算을 행하는 多值論理回路를 설계하였으며 제시한 회로는 대칭적인 多值眞理値表의 설계방법에 적합함을 보였다.

K. Taniguchi, T. Inoue와 F. Ueno⁽¹⁴⁾는 回路의 出力에 P-N-P트랜지스터를 사용하였으나 본 논문에서는 N-P-N電流미러回路를 出力回路로 사용하였다. 이는 동일특성을 갖는다.

최근 LSI/VLSI의 기술 발달로 인하여 소자의 수보다는 오히려 설계절차개발이 더 중요한 문제가 되었다.

더우기 많은 독립변수를 갖는 函數를 효과적으로 설계하기 위한 Algorithm을 研究開發하는 문제가 여전히 남아 있다.

본 논문에서는 잡음문제를 고려하지 않았다.

參 考 文 獻

(1) M. I. Elmasry, "Folded-collector integrated injection logic," IEEE J. Solid-State Circuits, vol. SC-11, pp. 644-647, Oct. 1976.

(2) N. C. De Troye, "Integrated injection logic-present and future," IEEE J. Solid-State Circuits, vol. SC-9, pp. 206-211, Oct. 1974.
 (3) W. C. Kim, P. K. Seegebrecht and W. L. Engl, "(MI)²L: multiinput-multioutput integrated injection logic," IEEE J. Solid-State Circuits, vol. SC-14, pp. 807-811, Oct. 1979.
 (4) K. W. Current, "High density integrated computing circuitry with multiple valued logic," IEEE J. Solid-State Circuits, vol. SC-15, Feb. 1980.
 (5) T. T. Dao, "Threshold I²L and its application to binary symmetric functions and multivalued logic," IEEE J. Solid-State Circuits, vol. SC-12, pp. 463-472, Oct. 1977.
 (6) T. T. Dao, E. J. Mc Cluskey and L. K. Russel, "Multivalued integrated injection logic," IEEE Trans. Comput., vol. C-26, pp. 1233-1241, Dec. 1977.
 (7) J. T. Butler, A. S. Wojcik, "Guest editors' comments," IEEE Trans. Comput., vol. C-30, pp. 617-618, Sept. 1981.
 (8) F. Ueno, T. Inoue, K. Taniguchi and Y. Shirai, "A new multivalued multifunctional MIN/MAX circuit using I²L," Trans. IECE, J62-C, pp. 589-591, Aug. 1979.
 (9) F. Ueno, T. Inoue and K. Taniguchi, "A new multivalued multifunctional Literal/Successor circuit using I²L," Trans. IECE, J63-C, pp. 199-200, March 1980.
 (10) F. Ueno, T. Inoue and K. Taniguchi, "New multivalued D latch/D flip-flop circuits using I²L," Trans. IECE, J63-C, pp. 312-314, May 1980.
 (11) T. T. Dao, "SEC-DED nonbinary code for fault-tolerant byte-organized memory implemented with quaternary logic," IEEE Trans. Comput., vol. C-30, pp. 662-666, Sept. 1981.
 (12) M. Davio and J. P. Deschamps, "Synthesis of discrete functions using I²L technology," IEEE Trans. Comput., vol. C-30, pp. 653-661, Sept. 1981.
 (13) E. J. Mc Cluskey, "Logic design of multivalued I²L logic circuits," IEEE Trans. Comput., vol. C-28, pp. 546-559, Aug. 1979.
 (14) K. Taniguchi, T. Inoue and F. Ueno, "Realization and analysis of a mask-programmable I²L multivalued logic circuit," Proc. 13th International Symposium on Multiple Valued Logic, Kyoto Japan, pp. 196-200, May 1983.



李 鍾 元 (Jong Weon LEE) 正會員
 1936년 6월 29일생
 1961년 2월 : 한국항공대학교통신관계과졸업
 1961년 3월 : 대한항공공사 근무
 1964년 3월 : 강원고등학교교사
 1968년 3월 : 대한해운공사통신장
 1974년 3월 : 한양대학교공과대학전임강사
 1977년 3월 : 인하공업전문대학교수
 1981년 2월 : 건국대학교행정대학원졸업
 행정학(통신)석사

1982년 3월 : 제신공무원교육원사문위원
 1982년 3월 : 총무처기술고등고시위원
 1985년~현재 : 인하공업전문대학 부교수



成 賢 慶 (Hyeon Kyeon SEONG) 正會員
 1955년 12월 21일생
 1982년 : 인하대학교전자공학과졸업
 1984년 : 인하대학교대학원전자공학과졸업(공학석사)
 1985년~현재 : 인하공업전문대학통신과
 교수