

# SONOS 구조의 EAROM Cell 제조 및 그 전기적 특성에 관한 연구

## (Study on the Fabrication of EAROM with SONOS Structure and Their Characteristics)

鄭 琨\*, 鄭 鎬 宣\*, 姜 鎮 榮\*\*, 金 輔 佑\*\*

(Gon Jong, Ho Sun Chung, Jin Young Kang and Bo Woo Kim)

### 要 約

NMOS 공정기술을 이용하여 SONOS (polysilicon oxide nitride oxide semiconductor) 구조의 EAROM 소자를 제작하였다. SONOS 소자는 질화막을 얇게 함으로써 낮은 전압에서도 프로그래밍이 가능 하였으며, 이때 프로그래밍 전압은 질화막층이 70Å, 170Å 일때 각각 10V, 22V로 나타났다. 그리고 이 소자의 gate 에 부(-) 전압을 가함으로써 소거가 가능하였으며 이때 소거전압은 질화막층이 170Å 일때 약 -24V 이었다.

### Abstract

An electrically alterable read only memory with polysilicon gate is experimentally realized employing a SONOS structure. The SONOS memory cells are proposed to achieve lower programming voltage with thin nitride (70Å, 170Å) layer. Its programming voltage is 10V (Tnit=70Å), 22V (Tnit=170Å). And the SONOS cell is able to erase biasing negative gate pulse, then its voltage is about -24V for nitride thickness of 170Å.

### I. 序 論

Digital computer에 널리 사용되는 비휘발성 반도체 기억자로는 floating gate type 소자와 charge-trapping type 소자로 구분된다. floating gate type 소자는<sup>1)</sup> gate 가 산화막위에 floating 되어있으며 이 gate에 전하가 저장됨으로써 기억이 가능한 소자이다.

최근에는 개선된 소자로서 이중실리콘게이트 구조를

갖는 EAROM<sup>2)</sup> (Electrically Alterable Read Only Memory) 소자에 대한 연구가 많이 이루어 지고 있다. charge-trapping type 소자로는 MNOS (Metal Nitride Oxide Semiconductor) 가 대표적인 소자로 1969년 D. Frohman-Bentchkowsky 등에<sup>3)</sup> 의하여 처음으로 소개 되었다.

이 소자는 매우 얇은 산화막 (<50Å) 위에 질화막 (=500Å) 을 증착하여 이들 계면에 존재하는 trap에 전자가 포획됨으로써 기억이 가능한 소자이다. Floating gate type 소자에 비해 전기적으로 기억 및 소거는 쉬우나 반복적 기억, 소거의 횟수와 memory retentiton time이 짧은 단점이 있다. 1977년에 Chen 인<sup>4)</sup> 질화막 위에 다시 산화막을 성장시킨 SONOS polysilicon oxide nitride oxide semiconductor) capacitor를 제조

\*正會員, 慶北大學校 電子工學科  
(Dept. of Electron. Eng., Kyungpook National Univ.)

\*\*正會員, 韓國 電子技術研究所  
(Korea Institute of Electronics Technology)

接受日字: 1985年 7月 1日

하여 이의 C-V특성을 조사한바 있었다. 이어서 1983년 Eiichi등인<sup>6)</sup> 낮은 전압에서도 기억 및 소거가 가능한 MONOS(Metal Oxide Nitride Oxide Semiconductor) type의 기억소자를 개발하였으며 지금까지 이 소자를 중심으로 연구가 진행중이다.

본 논문에서는 polysilicon gate를 사용하여 SONOS type 기억 소자를 제조하고 질화막의 두께에 따른 기억특성을 조사하였다. 그리고 이 측정을 위하여 APPLE II를 이용한 MOSFET parameter 추출용 자동 측정장치를 제작하였다.

II. 理 論

그림 1 (a)는 SONOS 소자의 단면도이며(b)는 energy band diagram 을 각각 나타낸다.

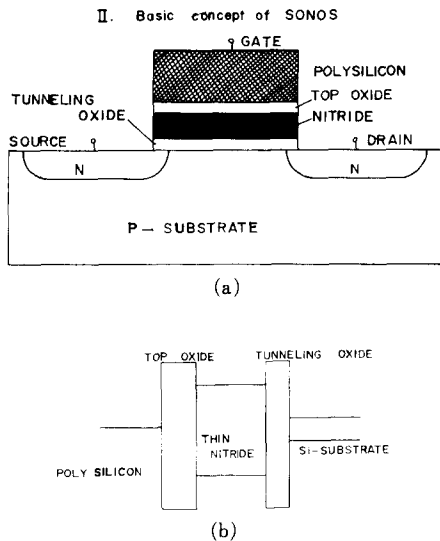


그림 1. SONOS 소자의 (a) 단면도 및 (b) energy band diagram

Fig. 1. (a) Cross section and (b) its energy band diagram of SONOS device.

SONOS 소자의 gate에 양의 전압을 가하면 채널영역에서 반전이 일어나고 이 전자들이 얇은 산화막층을 tunneling하여 산화막과 질화막의 경계 및 질화막에 분포하는 trap에 포획된다. 이 trap은 Si<sub>3</sub>N<sub>4</sub>의 결합에서 불완전한 tetrahedral 결합으로 인한 미완결함상태에 의한 것들이다. 전자가 tunneling하기 위해서 산화막은 매우 얇아야(<50Å) 하며 이러한 전자의 tunneling 현상을 fowler-nordheim 효과라 한다. 이때 tunneling 되는 전자들에 의한 전류밀도는 식(1)과 같이 주어진다.

$$J_0 = C1 \cdot E_0^2 \cdot \exp(-E1/E_0) \quad (1)$$

여기서 C1 = 1 · 12 × 10<sup>27</sup> (cm · C)<sup>-1</sup>, E1 = 2 · 254 × 10<sup>6</sup> (V/cm)로서 energy band에 관계되는 상수이며 E0는 산화막층에 형성되는 field의 크기를 나타낸다. 질화막층에 포획된 전자들이 질화막층의 field에 의해 이동되는 전자의 전류밀도(field emission current density)는 식(2)와 같이 주어진다.

$$J_n = C2 \cdot E^2 \cdot \exp(-E2/En) \quad (2)$$

여기서 C2 = 3.5 × 10<sup>-10</sup> (A/V<sup>2</sup>), E2 = 1.2 × 10<sup>8</sup> × (V/cm)로서 trap의 energy 장벽에 관계되는 상수이고 En은 질화막층에 형성되는 field의 크기를 나타낸다. 포획된 전자들에 의해 문턱전압의 변화를 가져오게 되고 이때 문턱전압의 변화는 식(3)과 같이 주어진다.

$$\Delta V_t = -Q_i/C_n \quad (3)$$

여기서 Cn은 질화막층의 정전용량을, Qi는 산화막과 질화막의 경계 및 질화막층에 포획된 전자들의 전하량을 나타낸다. 그리고 Top oxide층은 질화막층에 포획된 전자들이 질화막층의 field의 영향으로 gate 쪽으로 이동되는 것을 방지하는 장벽으로서의 역할을 하며 이로 인하여 memory retention time이 길어진다. 또 gate에 음의전압을 가해 주면 이미 포획된 전자들이 채널쪽으로 이동되어서 이 소자의 문턱전압이 낮아진다.

III. 素子の製作

SONOS 소자의 설계는 NMOS 5μm design rule 에

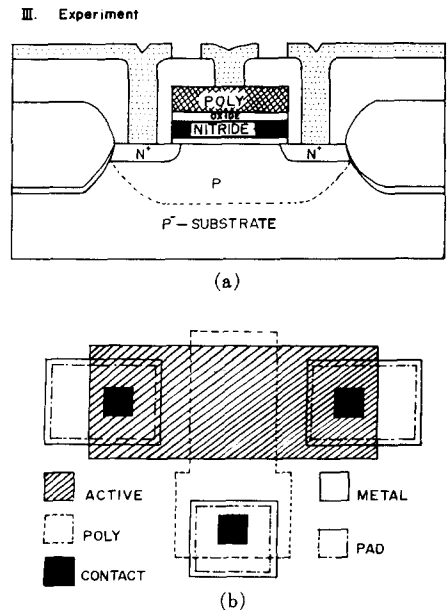


그림 2. SONOS 소자의 (a) 단면도 및 (b) 설계된 평면도 Fig. 2. (a) Cross section and (b) the top view of SONOS device.

의해 설계하였으며, 이에 따라 active, poly, contact, metal, pad, 등 5 장의 마스크를 사용하였다. 소자의 제작을 위하여 저항율이 6-9Ω-cm인 P형(100) wafer를 사용하였으며 그림 3 과 같은 제작공정을 거쳐 제작하였다.

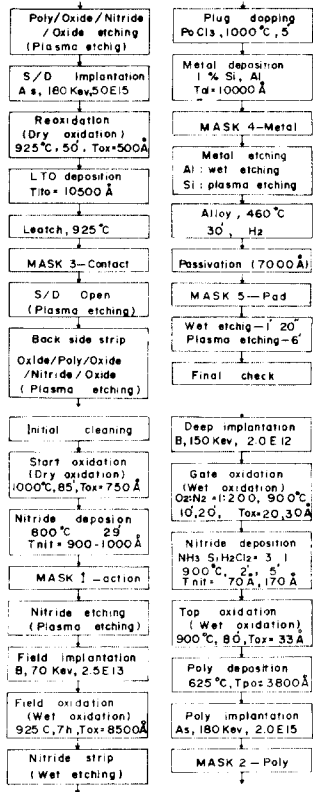


그림 3. SONOS 소자의 제조공정도  
Fig. 3. SONOS cell process sequence.

그림 3은 SONOS 소자의 제조공정을 나타낸 것이다. NMOS 공정에 준하여 공정이 수행되었으나, 얇은 tunneling 산화막을 성장시키기 위해서 산소와 질소의 비율을 1:200으로 희석하여 900°C에서 10-20분간 산화하여 20-30Å의 산화막층을 길렀다. 또 top oxide 층은 질화막을 장시간(80분) 습식산화시켜 약33Å의 산화막층을 얻었다.

IV. 測定 및 結果

표 1은 제작된 SONOS 소자에서 게이트의 산화막 및 질화막의 각 두께를 나타낸 것이다.

여기서 각 층의 두께는 elipsometer를 이용하여 측정하였으며, top oxide층의 두께는 이미 보고된 논문

자료를 참고로 하였다.<sup>[4]</sup>

표 1. Gate 각 층의 두께  
Table 1. Thickness of each gate layer.

Thickness sample	TUNNELING OXIDE	NITRIDE	TOP OXIDE
N <sub>1</sub> , N <sub>10</sub>	20 Å	70 Å	33 Å
N <sub>1</sub> , N <sub>8</sub>	30 Å	70 Å	33 Å
N <sub>13</sub> , N <sub>14</sub>	20 Å	170 Å	33 Å
N <sub>17</sub> , N <sub>18</sub>	30 Å	170 Å	33 Å

그림 4는 각 소자의 전기적 특성 측정을 위해 제작된 측정장치의 block diagram을 나타낸 것이다. 각 특성을 측정시에는 전류-전압 특성 측정, 문턱전압 측정, 프로그램 특성 측정, 소거 특성 측정으로 각각 나누어져 APPLE II에 의해 조정된다.

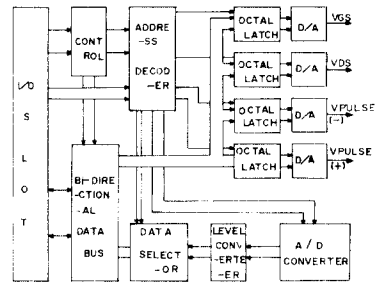
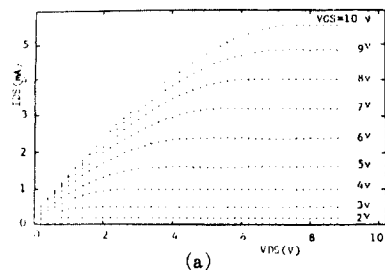


그림 4. 자동 측정 장치의 계략도  
Fig. 4. Block diagram of automatic measurement system.

그림 5는 APPLE II에 display된 SONOS 소자의 전류-전압 특성을 나타낸 것이다. 그림 5의 (a)는 sample N<sub>14</sub> (Tnit=170Å, Tox=20Å, L=5μm, W=5μm)에 대한 전류-전압 특성을 나타낸다. 그림 5의 (b)는 동일 소자를 gate에 22V, 500us의 pulse를 가하여 프로그램 시킨 후의 전류-전압 특성을 나타낸 것이다. 이 그림에서 알 수 있듯이 프로그램 전과 비교하여 프로그램 후의 소자의 drain 전류가 많이 감소하는 것을 알 수 있다.



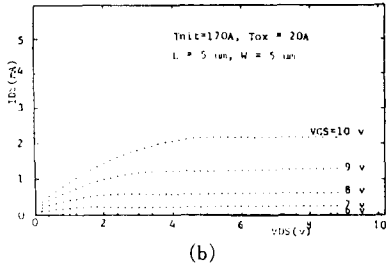


그림 5. SONOS 소자의 전류-전압특성곡선  
(a) 프로그램 전  
(b) 프로그램 후  
Fig. 5. I-V characteristics of SONOS cell.  
(a) before programming.  
(b) after programming.

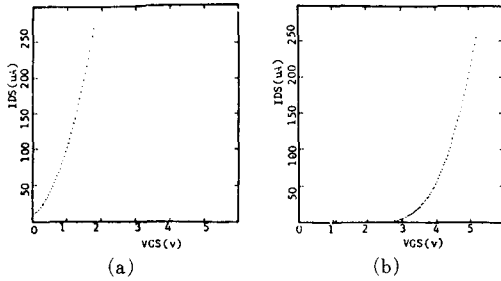


그림 6. 게이트 전압에 대한 drain 전류  
(a) 프로그램 전  
(b) 프로그램 후  
Fig. 6. Drain current versus gate voltage.  
(a) before programming.  
(b) after programming.

그림 6 (a)는 프로그램 전, 그림 6 (b)는 프로그램 후의 gate 전압과 drain 전류의 관계를 나타낸 것이다. 이 그림에서 문턱전압은  $I_{ds}$ 가 50uA일때  $V_{gs}$ 의 2배와 200uA일때  $V_{gs}$ 와의 차이로 나타나며, 프로그램 전의 문턱전압은  $-0.4V$ 이고 프로그램 후의 문턱전압은  $3.2V$ 로  $3.6V$ 의 변화가 나타났다.

그림 7은 sample N8 및 N9( $T_{nit}=70\text{\AA}$ ,  $L=5\mu m$ ,  $W=5\mu m$ )에 대해 프로그램 시간에 따른 문턱전압의 변화를 나타낸 것이다. 이때 gate 전압의 크기는  $9V$ 로 고정하고 pulse 폭은  $0.5-8ms$ 로 가변하여 측정하였는데, 프로그램 시간이  $5ms$  정도에서 문턱전압( $V_{tm}$ )이 포화됨을 알 수 있다.

그림 8은 sample N14 및 N18( $T_{nit}=170\text{\AA}$ ,  $L=5\mu m$ ,  $W=5\mu m$ )에 대해 프로그램 시간에 따른 문턱전압의 변화를 나타낸 것이다. 이때 gate 전압의 pulse 크기는  $18V$ 로 고정하고, pulse 폭은  $0.1-0.6ms$ 로 가변하여 측정

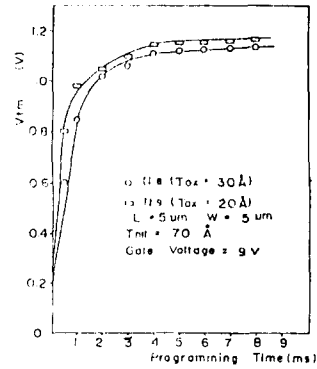


그림 7. 프로그램 시간에 대한 문턱전압의 변화  
Fig. 7. Threshold voltage  $V_{tm}$  versus programming time.

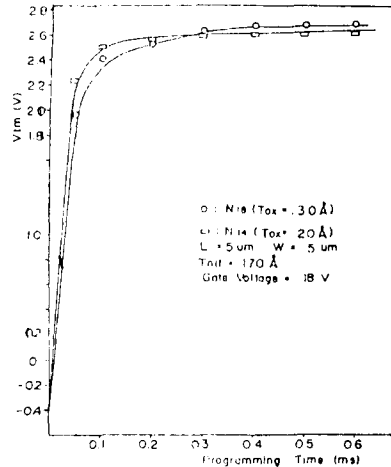


그림 8. 프로그램 시간에 대한 문턱전압의 변화  
Fig. 8. Threshold voltage  $V_{tm}$  versus programming time.

하였는데, 프로그램 시간이  $0.3ms$  정도에서 문턱전압( $V_{tm}$ )이 포화됨을 알 수 있다.

그림 9는 sample N8 및 N9( $T_{nit}=70\text{\AA}$ ,  $L=5\mu m$ ,  $W=5\mu m$ )에 대해 gate 전압의 변화에 따른 문턱전압의 변화를 나타낸 것이다. 프로그램 시간을  $5ms$ 로 고정하고 gate 전압을  $5-11V$ 로 가변하여 측정하였는데, gate 전압이  $10V$  정도에서 문턱전압( $V_{tm}$ )이 포화됨을 알 수 있다.

그림 10은 sample N14 및 N18( $T_{nit}=170\text{\AA}$ ,  $L=5\mu m$ ,  $W=5\mu m$ )에 대해 프로그램 시간을  $0.5ms$ 로 고정하고 gate 전압을  $10-23V$ 로 가변하여 측정된 결과를 나타낸 것이다. 이때 gate 전압이  $22V$  정도에서 문턱전압( $V_{tm}$ )이 포화됨을 알 수 있다.

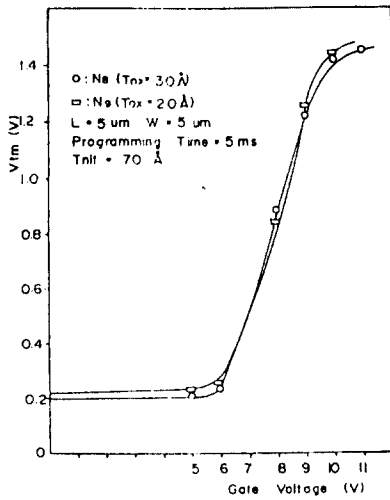


그림 9. Gate 전압에 대한 문턱전압의 변화  
Fig. 9. Threshold voltage  $V_{tm}$  versus gate voltage.

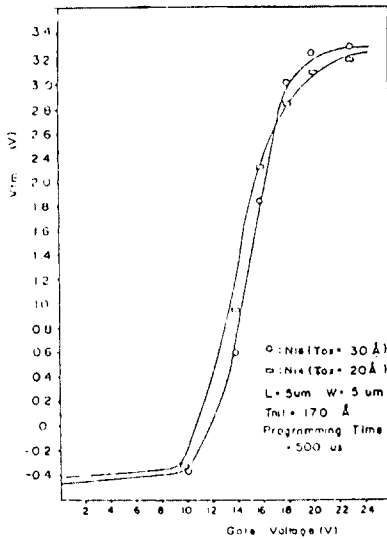


그림 10. Gate 전압에 대한 문턱전압의 변화  
Fig. 10. Threshold voltage  $V_{tm}$  versus gate voltage.

그림 11은 SONOS 기억소자의 전기적 소거특성을 나타낸 것이고, gate에 음의 전압을 가하여 축적된 전하가 소거됨을 알 수 있었다. 프로그램된 sample N18 ( $T_{nit}=170\text{\AA}$ ,  $T_{ox}=30\text{\AA}$ ,  $L=5\mu\text{m}$ ,  $W=5\mu\text{m}$ )에서 gate에  $-24\text{V}$ ,  $0.5\text{ms}$ 의 pulse를 가하여 소자의 문턱전압이  $1.2\text{V}$ 로 감소되었다. 이 sample에서 프로그램 되지 않은 초기상태의 문턱전압은  $0.4\text{V}$ 였는데, 소거후의 문턱전압이 초기상태보다 높게 나타나는 이유는 질화막내에 포획된 전자들이 소거과정 후에도 다소 남아있기 때문인 것

으로 생각된다.

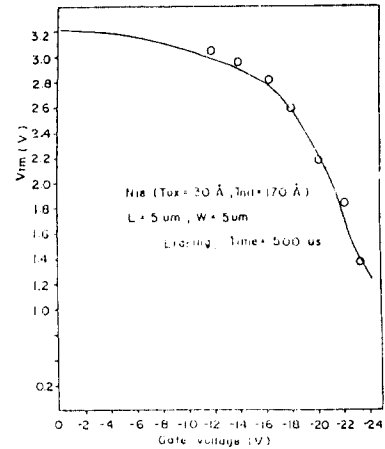


그림 11. SONOS 소자의 전기적 소거특성  
Fig. 11. Electrical erasing characteristics of SONOS device.

## V. 結 論

실리콘 게이트  $5\mu\text{m}$  설계규칙과 NMOS 공정기술을 이용하여 낮은 전압에서도 프로그램이 가능한 SONOS 기억소자를 제작하였다. 또 APPLE II를 이용한 자동 측정장치를 제작하고 이 측정장치를 사용하여 SONOS 소자의 전류-전압 특성 및 기억특성을 측정하였다. 이 측정결과로부터 질화막의 두께가  $70\text{\AA}$ ,  $170\text{\AA}$ 일때 프로그램 전압은 각각  $10\text{V}$ ,  $22\text{V}$  정도였으며, 문턱전압의 증가는 각각  $1.2\text{V}$ ,  $3.6\text{V}$  정도임을 알 수 있었다. 그리고 프로그램된 소자에서 전하의 소거는 gate에 음의 전압을 가함으로써 가능하였다. 질화막의 두께가  $170\text{\AA}$ 인 소자 ( $T_{ox}=30\text{\AA}$ ,  $L=5\mu\text{m}$ ,  $W=5\mu\text{m}$ )의 gate에  $-24\text{V}$ ,  $0.5\text{ms}$ 의 pulse를 가하여 문턱전압이  $1.2\text{V}$ 로 감소되었다.

## 參 考 文 獻

- [1] D. Frohman-Bentchkowsky, "FAMOS-A new semi-conductor charge," *Solid-State Electronics*, vol. 17, pp. 517-529, 1974.
- [2] M. Iizuka, T. Masuka, T. Sato and M. Iskikawa, "Electrically alterable avalanche injection type MOS read only memory with stacked gate structure," *IEEE Trans. On Electron Devices*, vol. ED-23, pp. 379-408, 1976.
- [3] D. Frohman-Bentchkowsky and M.

- Lenzlinger, "Charge transport and storage in MNOS structure," *J. Appl. Phys.*, vol. 40, pp. 3307-3319, 1969.
- [4] D. Frohman-Bentchkowsky, "The metal nitride oxide semiconductor (MNOS) transistor," *Proc. IEEE.*, vol. 58, pp. 1207-1219, 1970.
- [5] P.C.Y. Chen, "Threshold alterable Si-gate MOS device," *IEEE Trans. On Electron Devices*, vol. ED-24, pp. 584-586, 1977.
- [6] E. Suzuki, H. Hiraishi and K. Ishii, "A low voltage alterable EEPROM with MONOS structure," *IEEE Trans. On Electron Devices*, vol. ED-30, pp. 122-128, 1983.
- [7] 김충기외, "설계자동화에 관한 연구", 연구보고서, KIET, SN8213-F, 1983.
- [8] 김종대, "이중다결정 실리콘게이트 NMOS 구조의 채널주입형 EAROM", 학위논문(석사), 경북대학교, 1983.
- [9] 김종대, 강진영, 이덕동, 정호선, *Study on the Fabrication of EEPROM and Their Characteristics*, 전자공학회지, 제21권 제 5 호, pp. 67-78, 1984.
- [10] T. Smith and A.J. Carlan, "Oxidation of n-type silicon in the 10-1400Å oxide thickness range", *J. Appl. Phys.*, vol.43, pp. 2455-2459, 1972.
-