

커패시턴스 오차가 아날로그 디지털 변환의 정확도에 미치는 영향

(Effect of Capacitance Error on the A/D Conversion Accuracy)

李潤泰*, 金忠基**, 慶宗旻**

(Yun Tae Lee, Choong Ki Kim and Chong Min Kyung)

要 約

Binary weight를 갖는 capacitance array를 이용하는 A/D 변환기에서의 오차를 추적하는 방식에는 capacitance 사이의 비값들을 독립확률 변수로 하여 monte carlo(MC) simulation을 하는 방식을 생각할 수 있으나 이 논문에서는 유한한 상관계수를 갖는 단위 capacitance들로 부터 변수변환을 통하여 독립확률 변수를 추출하고, Monte-Carlo simulation을 통하여 A/D 변환기의 yield를 계산하는 방식을 제안하였다. 실제로 MOS capacitor를 제작하여 capacitor간의 상관계수가 capacitor의 크기가 작아지면 커진다는 것을 밝혔으며, 단위 capacitor의 병렬연결, common centroid 방식의 capacitor 배열등이 capacitor간의 상관계수를 높여주는 것을 실험적으로 확인했다.

Abstract

The effect of capacitance error on the A/D conversion accuracy in the A/D converter using binary-weighted capacitor array was scrutinized. Besides the Monte-Carlo method considering the inter-capacitance ratios as random variables, "correlation approach" considering the correlation coefficient between capacitances is proposed in this paper. It was observed by the measurement of capacitances of monolithic MOS capacitors that the correlation coefficient between capacitors decreases as the capacitor size increases. It was also verified that the parallel connection of unit capacitors and the common centroid layout scheme significantly increase the inter-capacitance correlation coefficients.

I. 序 論

Analog MOS 회로에서 많이 쓰이는 수동소자인

capacitor는 저항과 같은 다른 수동소자에 비해 소자 값 간의 정밀한 비값을 유지하는 것으로 알려져있다.^[1] 1975년 McCreary^[2] 등에 의해 제안된 A/D converter는 이러한 capacitor의 성질을 충분히 이용한 형태이다. 8-bit ADC의 경우 C, C/2, C/4, C/8, C/16, C/32, C/64, C/128, 등 9개의 capacitor를필요로 하는데 이 경우 C/128를 unit capacitor로 하여 C는 128개의 unit capacitor들의 병렬연결, C/2는 64개의 병렬연결등의 방식을 사용하면, 8bit A/D 변환기에는

*準會員, 三星半導體通信(株) 半導體研究所
(Samsung Semiconductor and Telecommunications, Inc.)

**正會員, 韓國科學技術院 電氣및 電子工學科
(Dept. of Electrical Engineering, KAIST)

接受日字: 1985年 4月 19日

256 개의 unit capacitor가 필요하다. Capacitor 들의 병렬연결과 common centroid 방식의 배치등은 capacitor 제작시에 생기는 design 값으로 부터의 오차가 생기더라도 전체 capacitance $(C + C/2 + \dots + C/128 = 2C)$ 에 대한 $C, C/2, \dots$ 등이 $1/2, 1/4, \dots$ 등의 dinary 비값으로 잘 유지되도록 하기 위한 방안이었다. MOS capacitor의 제작시 capacitance의 변화가 design값으로 부터 $\pm 20\%$ 정도의 변화폭을 가진다고 알려져 있는데¹³, 이 정도의 변화폭에도 불구하고 비값이 잘 유지된다는 것은 capacitance 사이에 강한 상관관계가 존재한다는 것을 나타낸다. 이러한 상관관계의 관점에서 II 절에서는 단위 capacitor 간의 상관계수와 표준편차를 입력변수로 하여 Monte-Carlo simulation을 통해 A/D 변환기의 yield를 예측하는 방식을 제안하였으며, III 절에서는 단위 capacitor의 크기와 연결 방식을 바꾸어 가면서 표준편차와 실험치를 구하여 보았다.

II. 비상관화(Decorrelation)와 MC 방식에 의한

A/D 변환기 yield의 계산

1. Ratio approach

Capacitance를 정밀소자로 사용하는 A/D converter에 있어서 conversion error는 각 capacitance 간의 비값의 변화폭에 의해서 결정되므로 이들 capacitance 간의 비값을 독립확률 변수로 하는 Monte-Carlo simulation 방식에 의하여 A/D 변환기의 yield를 계산할 수가 있다. 8bit ADC의 경우, 9 개의 capacitor ($C, C/2, \dots, C/128, C/128$)가 필요한데 total capacitance ($2C$)에 대한 9 개의 capacitance 각각의 비를 확률변수로 잡으면 결국 9 개의 확률변수가 있게된다. 여기서 9 개의 확률변수의 합은 1이라는 제약조건으로부터 확률변수는 8 개가 되며, 이는 측정된 비값들의 표준편차와 평균을 가지는 gaussian random number generator에 의해 임의로 정해지고 나머지 하나는 상기한 제약조건으로부터 자동적으로 정해지게된다. 또한, total capacitance값, $2C$ 의 평균치와 표준편차에 맞는 random number로 각 비값을 곱하여 각 capacitance의 절대값을 얻는다. 이렇게 정해진 9 개의 capacitance가 A/D converter의 conversion error의 정의¹⁴에 따라 conversion error를 발생시키는지 아닌지 조사하고 만약 발생하면 "Fail"에 해당되고 그렇지 않으면 "Pass"가 된다. 지금까지 설명한 것은 소위 "ratio approach"라고 하며, 이때 비값에 해당

되는 random number는 확률변수로서, 이들 사이에는 상관계수가 0 이어야 한다. 이는 Monte-Carlo simulation의 대전제인 확률변수들은 서로 독립적이어야 된다는 것으로서, 실제로 capacitance 비는 그 값들 사이에 correlation이 존재하지 않는 독립확률 변수라는 사실이 알려져 있다.⁵¹

2. Decorrelation approach

Monte-Carlo simulation은 변수들 사이에 상관계수가 0 이어야 하므로 capacitance 자체값을 확률변수로 할 경우라면 capacitance 사이의 상관계수 값이 nonzero이기 때문에 직접 Monte-Carlo simulation이 불가능하지만 변수변환에 의하여 이를 독립확률 변수로 바꿈으로써 Monte-Carlo simulation을 가능하게 하는 방법으로서 이 논문에서 제안되는 "decorrelation approach"를 설명하기로 한다. 확률변수들이 gaussian 분포를 가지고 변수들 사이에 상관계수가 존재하는 일반적인 multi-variate gaussian인 경우 확률밀도 함수는 다음과 같이 주어진다.¹⁶

$$f(x_1, x_2, \dots, x_n) = \frac{1}{(2\pi)^{\frac{n}{2}} |C_x|} \exp\left[-\frac{1}{2} [X-M]^t [C_x]^{-1} [X-M]\right] \quad (2.1)$$

$$[X-M] = \begin{bmatrix} X_1 - M_1 \\ X_2 - M_2 \\ \vdots \\ X_n - M_n \end{bmatrix}$$

$$[C_x] = \begin{bmatrix} \sigma_1^2 & -\rho_{12}\sigma_1\sigma_2 & \dots & -\rho_{1n}\sigma_1\sigma_n \\ -\rho_{21}\sigma_1\sigma_2 & \sigma_2^2 & & \\ \vdots & & \ddots & \\ -\rho_{n1}\sigma_1\sigma_n & & & \sigma_n^2 \end{bmatrix}$$

- S_1, X_1, \dots, X_n : 확률변수
- M_1, M_2, \dots, M_n : 확률변수의 평균
- $\sigma_1, \sigma_2, \dots, \sigma_n$: 확률변수의 표준편차
- $\rho_{12}, \rho_{13}, \dots, \rho_{nn-1}$: 확률변수들 사이의 상관계수 $0 < |\rho| < 1$

이때 $[C_x]$ 는 Covariance Matrix라고 하는 대칭행렬이다. 여기서,

$$[C] \triangleq [C_x]^{-1} \text{이라고 하면}$$

$$[X-M]^t [C_x]^{-1} [X-M] = [X-M]^t [C] [X-M]$$

$$= [X-M]^t [T]^t [C]_d [T] [X-M] \quad (2.2)$$

$$\text{단, } [T]^t [T] = [I] \quad (2.3)$$

이때 $[T]$ 는 변환행렬로서 행렬 $[C]$ 를 $[C]_d$ 로 diago-

nalize 하기위한 변환행렬로 작용한다. 그리고 [I]는 Identity 행렬이다. 새로운 확률변수들인 [Y]를

$$[Y] = [T][X - M] \quad (2.4)$$

라 두고, $[C]_d \triangleq [C_1]^t \cdot [C_1]$, $[Y_n] \triangleq [C_1]^t \cdot [Y]$ 와 같이 $[C_1]$ 과 $[Y_n]$ 을 정의하면,

$$\begin{aligned} [X - M]^t [C_x]^{-1} [X - M] &= [Y]^t [C]_d [Y] \\ &= [Y]^t [C_1]^t \cdot [C_1] \cdot [Y] \\ &= [Y_n]^t [I] [Y_n] \end{aligned}$$

이때 $[Y_n]$ 은 $[Y]$ 의 정규화(normalize)된 확률변수, 즉 평균이 0이고 표준편차가 1인 gaussian 확률변수들이 된다. 그러므로 확률밀도 함수는 다음식과 같이 된다.

$$\begin{aligned} f(X_1, X_2, \dots, X_n) &= \\ \frac{1}{(2\pi)^{n/2} |C_x|^{1/2}} \exp\left[-\frac{1}{2} [Y_n]^t [I] [Y_n]\right] & \quad (2.5) \end{aligned}$$

이상에서 살펴보면 확률변수들 사이에 상관관계를 가지는 [X]라는 확률변수들이 상관계수를 가지지 않는 $[Y_n]$ 라는 확률변수들로 바뀌어졌으므로 사실상 Monte-Carlo simulation이 가능해 졌다. 즉 normal gaussian random number들을 발생시켜 역으로 [X]를 구하면 이때 [X]는 상관관계가 고려된 random number가 된다.

$$[X] = [M] + [T]^{-1} [Y] \quad (2.6)$$

이 simulation을 시행하기 위한 입력으로는 covariance 행렬의 모든 항들을 구성하는 값들인 확률변수의 평균 (M_1, M_2, \dots, M_n) 그리고 표준편차 $(\sigma_1, \sigma_2, \dots, \sigma_n)$ 그리고 상관계수 $(\rho_{12}, \rho_{13}, \dots)$ 등이 실험적으로 측정되어야 하나 capacitor들이 단위(unit) capacitor들의 병렬연결로 이루어져 있으므로 단위 capacitor의 평균, 표준편차 그리고 단위 capacitor간의 상관계수를 가지고 단위 capacitor의 병렬연결로 이루어진 capacitor들의 평균, 표준편차 그리고 capacitor간의 상관계수를 계산할 수 있다.⁷

위의 과정을 고려한 경우 A/D converter의 conversion error의 발생유무를 조사하고 yield를 구하는 program flow-chart를 그림 1에 보였으며 단위 capacitor의 표준편차를 평균의 0.05%에서 20%까지 0.05% 간격으로, 단위 capacitor간의 상관계수를 0에서 0.95까지 0.05간격으로 변화시켰을때 yield 곡선을 그림 2에 보였다. Yield곡선을 보면 capacitance간의 상관계수가 클수록 yield가 증가함을 알 수 있다. 표준편차가 아무리 커지더라도 상관계수가 1인 이상적인 경우에는 전혀 conversion error가 발생하지 않음을 알 수 있다.

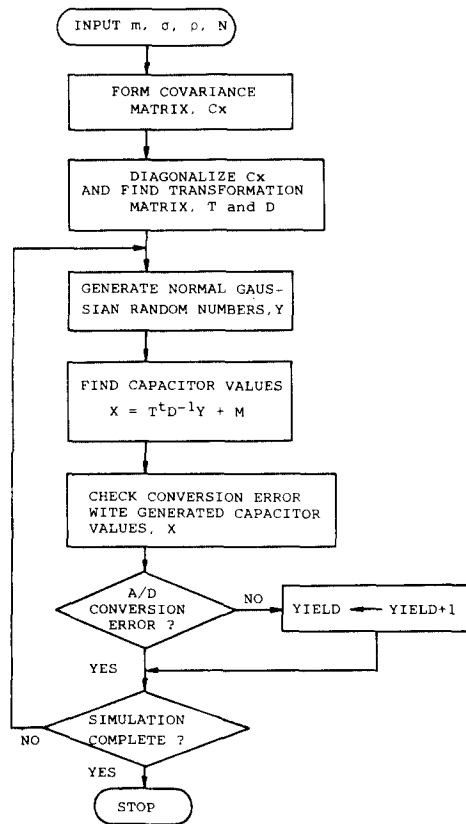


그림 1. A/D변환기의 yield를 계산하는 유통도
Fig. 1. Flow chart for yield estimation procedure of A/D converters.

III. 측 정

측정용으로 제작된 MOS capacitor의 크기는 100×100 (P1, P2, P3), 150×150 (P10, P11), 250×250 (P4, P5, P6, P7) 및 300×300 (P8, P9)이다. (단위는 micron) P1, P2 및 P3는 8개의 100×100 capacitor가 병렬로 연결되어 있으며 전체적인 test chip 구조는 그림 3과 같다.

표 1은 각 capacitor의 평균치, 표준편차 및 다른 capacitor와의 상관계수를 측정결과로부터 추출한 것을 보이고 있다. 측정된 test chip은 한 wafer당 15개이며 5개의 wafer를 제작함으로써 test chip의 수는 총 75개에 달하였다. (P4, P5, P6, P7), (P8, P9), (P10, P11)에서 보면 capacitance 값이 감소할수록 상관계수 값이 증가하는 경향이 있음을 볼수

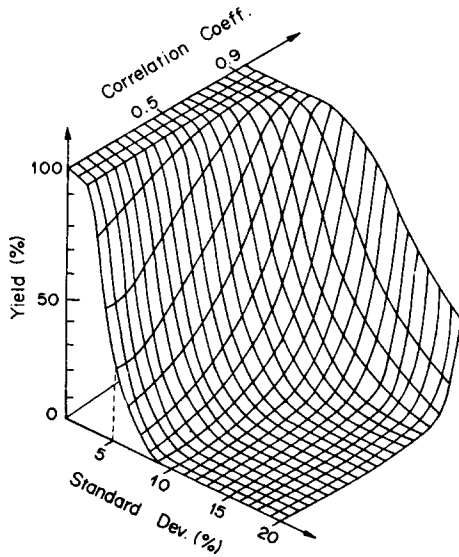


그림 2. 단위용량의 표준편차와 상관계수의 변화에 대한 8-bit A/D 변환기의 수율의 계산결과
 Fig. 2. Calculated yield of 8-bit A/D converter as a function of standard deviation and correlation coefficient of the unit capacitance.

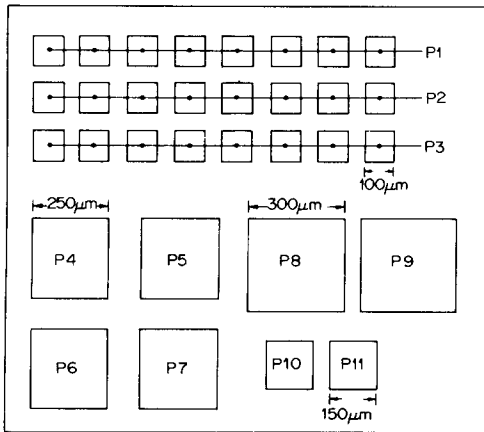


그림 3. 테스트 칩의 개략도
 Fig. 3. Schematic layout of the test chip.

있다. 그러나 capacitor 크기를 더욱더 줄여 나가면 metal edge, dielectric constant 그리고 oxide 두께의 random한 fluctuation에 의한 random error 때문에 $\Delta C/C$ 가 증가한다.¹⁰⁾ 이러한 random error를 고려하면 capacitor 크기가 더욱더 작아지면 correlation

이 떨어질 것이라고 예상할 수 있다. 이러한 이유 때문에 capacitor의 크기를 무한정 작게 할 수는 없다. (P4+P7, P5+P6)의 correlation 계수가 (P4+P6, P5+P7) 그리고 (P4+P5, P6+P7)보다 큰 것은 common centroid 방식의 capacitor 배열이 상관계수를 증가시킨다는 것을 암시한다. 그리고 P1, P2, P3의 예에서 보듯이 unit capacitor들의 병렬연결 역시 상관계수를 증가시키는 것을 알 수 있다.

표 1. 측정 Data
 Table 1. MEasurement Data.

Test Capacitor	Nominal Area[μm^2]	Mean pF	Standard dev. [pF]	Correlation Coefficient
P1	$8 \times 100 \times 100$	22.65	1.17	$\rho_{11} = 0.984, \rho_{12} = 0.967$
P2		22.81	1.22	$\rho_{21} = 0.984, \rho_{22} = 0.975$
P3		22.92	1.23	$\rho_{31} = 0.969, \rho_{32} = 0.975$
P4	250×250	15.58	1.25	$\rho_{41} = 0.915, \rho_{42} = 0.915, \rho_{43} = 0.940$
P5		15.77	1.21	$\rho_{51} = 0.945, \rho_{52} = 0.915, \rho_{53} = 0.937$
P6		15.87	1.14	$\rho_{61} = 0.958, \rho_{62} = 0.942, \rho_{63} = 0.940$
P7		15.80	1.13	$\rho_{71} = 0.915, \rho_{72} = 0.937, \rho_{73} = 0.958$
P8	300×300	22.65	1.45	$\rho_{88} = 0.916$
P9		22.76	1.44	$\rho_{99} = 0.916$
P10	150×150	4.07	0.228	$\rho_{1010} = 0.952$
P11		4.10	0.228	$\rho_{1111} = 0.952$
P4 + P7	$2 \times 250 \times 250$	31.38	2.33	$\rho_{4747} = 0.971$
P5 + P6		31.65	2.31	$\rho_{5656} = 0.971$
P4 + P6		31.45	2.34	$\rho_{4646} = 0.961$
P5 + P7		31.57	2.30	$\rho_{5757} = 0.961$
P4 + P5		31.35	2.41	$\rho_{4545} = 0.964$
P6 + P7		31.67	2.24	$\rho_{6767} = 0.964$

IV. 結 論

Capacitance array를 사용하는 A/D converter에서 capacitance error에 의한 A/D conversion error의 발생유무를 추적하는 방법에는 capacitance간의 비값을 확률변수로 삼는 "ratio approach"와 capacitance의 절대치를 확률변수로 취하되 capacitance 상호간의 상관계수를 고려하는 "Decorrelation approach"가 있는데, 후자는 본 논문에서 제안된 방식이다. 실제 MOS capacitor를 제작하여 capacitance간의 상관계수를 측정할 결과 capacitor의 크기가 작아지면 상관계수가 커진다. 그러나 capacitor의 크기가 아주 작아지면 capacitor내의 임의오차(random error)에 의하여 $\Delta C/C$ 가 증가하므로 A/D converter에서 단위 capacitor 크기를 무한정 줄일수는 없다. Capacitance 사이의 정확한 비의 유지를 위하여 McCreary 등에 의해 제안된 단위 capacitor의 병렬연결, common centroid 방식 등에 의해 각 capacitance값 사이의 상

관계수의 값이 크게 증가됨을 실험적으로 확인하였다.

參 考 文 獻

- [1] Hodge, Gray, and Brodersen, "Potential of MOS Technology for Analog Integrated Circuits," *IEEE J. Solid State Circuits* vol. sc-13, pp. 285-294, June 1978.
- [2] Mc Creary and Gray, "All-MOS Charge Redistribution Analog to Digital Conversion Techniques Part I," *IEEE J. Solid State Circuits*, vol. sc-10, pp. 371-379, Dec. 1975.
- [3] Gausi and Laker, *Modern Filter Design*, Prentice-Hall, pp. 156-161, 1981.
- [4] Peterson, "A Monolithic Video A/D Converter", *IEEE J. of Solid State Circuits*, vol. sc-14, no. 6, Dec. 1979.
- [5] McCreary, "Matching Properties, and Voltage and Temperature Dependence of MOS Capacitor", *IEEE J. Solid State Circuits*, vol. sc-16, no. 6, Dec. 1981.
- [6] Peebles, *Probability, Random Variables, Random Signal Principles*. McGraw-Hill, pp. 109-111, 1980.
- [7] Yun Tae Lee, *A Study on the A/D Conversion Error Due to Capacitance Error*. KAIST M.S. Thesis, pp. 18-20, 1985.
- [8] Shyo, Temes, and Yao, "Random Errors in MOS Capacitor", *IEEE J. Solid State Circuits*, vol. sc-17, no. 6, Dec. 1982.