

CMOS Latch-Up 現象의 實驗的 解析 및 그 防止策

(Experimental Analysis and Suppression Method of CMOS Latch-Up Phenomena)

高堯煥*, 金忠基*, 慶宗旻*

(Yo Hwan Koh, Choong Ki Kim and Chong Min Kyung)

要 約

Bulk CMOS 집적회로에서 문제가 되는 것은 이 구조가 고유하게 갖는 parasitic SCR 동작에 의한 latch-up 현상이다. well의 깊이와 n^+/p^+ 간격을 변화시켜 가며 일반적인 CMOS 구조와 Schottky-clamped CMOS 구조에서의 latch-up triggering, holding, 특성을 측정하였다. 또한 Schottky-clamped CMOS 구조가 일반적인 CMOS 구조보다 holding 전압 및 전류를 약 2 배이상 증가시킬 수 있으므로 latch-up 현상을 감소시킨다는 것을 증명하였다. 마지막으로 npn, pnp 트랜지스터와 두개의 외부 저항을 가진 latch-up model의 타당성을 확인하기 위해 SPICE에 의한 simulation 결과와 측정결과를 비교하였다.

Abstract

A common failure mechanism in bulk CMOS integrated circuits is the latch-up of parasitic SCR structure inherent in the bulk CMOS structure. Latch-up triggering and holding characteristics have been measured in the test devices which include conventional and Schottky-clamped CMOS structures with various well depths and n^+/p^+ spacings. It is demonstrated that Schottky-clamped CMOS is more latch-up immune than conventional bulk CMOS. Finally, the simulation results by circuit simulation program (SPICE) are compared with measured results in order to verify the validity of the latch-up model composed of npn, pnp transistors and two external resistors.

I. 序 論

Bulk CMOS 구조에서 가장 문제가 되는 것은 이 구조가 고유하게 갖는 parasitic SCR(Silicon Controlled Rectifier) 동작에 의한 latch-up 현상이다. Latch-up 현상이란 외부의 전압 변동이나 전기적 잡음 또는 ionizing radiation 등으로 인하여 parasitic SCR

이 도통되어 CMOS 소자의 동작을 방해하거나 심지어는 완전히 파괴시키는 현상을 말한다. Bulk CMOS에서 parasitic SCR 구조는 PMOSFET의 소오스, n-기판(또는 n-well), p-well(또는 p-기판), NMOSFET의 소오스로 구성된다. 이에 대한 예가 그림 1에 나타나 있으며, 또 lateral 저항성분 (R_s, R_w)을 포함하여 두 트랜지스터가 결합된 구조로 나타나는 latch-up path에 대한 등가회로가 그림 2이다.^{1,2)} Latch-up 현상을 막기 위해서는 두 트랜지스터의 이득을 줄이는 것과 lateral 저항 R_s, R_w 를 줄이는 것이 가장 중요한 문제이다.

*正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Elec. Eng., KAIST)

接受日字: 1985年 4月 1日

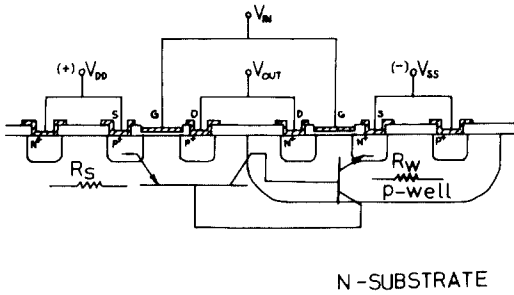


그림 1. Parasitic bipolar 트랜지스터 쌍을 가지는 CMOS inverter 구조의 단면도
 Fig. 1. Cross-sectional view of CMOS inverter with parasitic bipolar transistor pair.

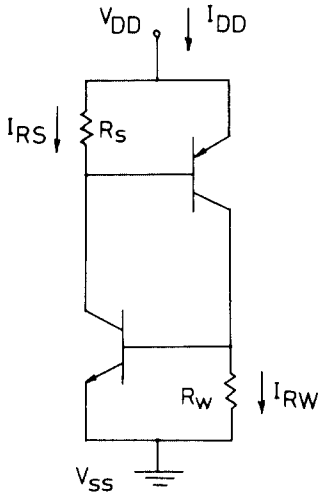


그림 2. CMOS inverter 구조에 해당하는 latch-up path의 등가회로
 Fig. 2. Equivalent circuit of latch-up path corresponding to CMOS inverter structure.

본 논문에서는 latch-up 현상에 대한 실험적 연구를 토대로 이 현상을 예측할 수 있도록 하고 아울러 실제로 latch-up을 제거할 수 있는 Schottky-clamped 방식^{4,5,6}에 대한 연구결과를 기술하였다.

실험에서는 PMOSFET의 소오스와 NMOSFET의 소오스 사이의 간격과 p-well의 깊이를 변화시켜 각각의 latch-up 특성을 측정하고 분석하였으며 이를 SPICE에 의한 simulation 결과와 비교하였다. 또 다수 반송자 소자인 Schottky 다이오우드를 conventional PMOSFET의 소오스에 병렬 결합시켜 Schottky clamping 효과가 latch-up에 주는 영향에 대해 알아보았

며 역시 이를 SPICE에 의한 simulation 결과와도 비교하여 보았다.

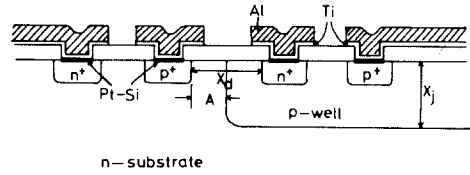


그림 3. 일반적인 확산 공정에 의한 test 소자의 단면도
 Fig. 3. Cross-sectional view of test device by conventional diffused process.

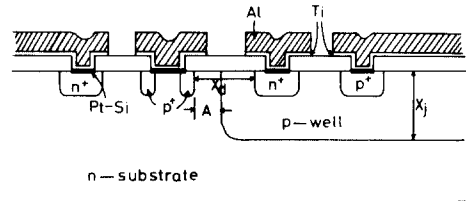


그림 4. Schottky-clamped 구조를 가진 test 소자의 단면도
 Fig. 4. Cross-sectional view of test device by Schottky-clamped process.

II. 실험

Latch-up 특성을 측정하기 위해 실제 latch-up에 영향을 주는 PMOSFET의 소오스와 NMOSFET의 소오스, 그리고 n-기판의 contact, p-well의 contact 만으로 구성된 소자를 제작하였다. 소자의구조는 latch up 현상을 쉽게 관찰하기 위해 그림 3과 같이 n-기판 contact을 p-well에서 먼쪽에 두었으며 p-well contact의 경우도 n-기판과는 먼쪽에 두었다. Conventional 구조의 test 소자는 n+, p+공히 확산 영역이 35×35μm²이다. Schottky-clamped test 소자는 conventional한 확산공정에 의한 test 소자에 비해 PMOSFET의 소오스를 Pt-Si Schottky 다이오우드와 병렬로 만든 것만이 다르다. (그림 4 참조) 그림 3과 4에서 보이는 X_d와 X_j는 test 소자에서의 latch-up 현상에 대한 영향을 알아보기 위한 변수로서 X_d는 10 μm, 15 μm, 20 μm의 값을 X_j는 4.5 μm, 6 μm, 6.7 μm의 값을 갖는 여러가지 test 소자를 제작하였다. 실제 pnp 트랜지스터의 동작에는 베이스 폭을 나타내는 "A"만이 영향을 미친다. 이때 A값은 X_d/2에서 well의 lateral 확산거리를 빼값이 된다. 그러므로 A는 각

well의 깊이, n^+/p^+ 간격에 따라 여러가지 값을 가진다. 본 논문에서는 편의를 위해 결과를 n^+/p^+ 간격에 따라 정리하였다. 모든 test 소자에 대하여 n^+ 접합깊이는 $0.7\mu\text{m}$, p^+ 접합깊이는 $1.1\mu\text{m}$ 로 일정한 값을 갖게 하였다. 이 Pt-Si Schottky 다이오우드는 guard ring 구조를 갖는데 그림 5에서와 같이 유효한 Schottky 면적이 각각 $15 \times 25\mu\text{m}^2$ (S1), $5 \times 25\mu\text{m}^2$ (S2) 인 두가지 sample이 제작되었다. 순수한 Schottky MOSFET에서는 latch-up 문제가 적은 반면 전류 레벨이 conventional MOSFET에 비해 훨씬 적게 되는데¹³, Schottky 다이오우드에 병렬로 p^+/n 접합 다이오우드를 만들어 줌으로써 MOSFET의 소오스로서 동작하는 경우의 전류주입 효율을 conventional한 MOSFET의 그것과 같은 정도로 만들어 줄 수가 있다.¹⁴ Metallization 공정에서는 Pt-Si를 형성시킨후 그 위에 spike 현상을 막기 위해서 Ti를 sputtering한 후 알루미늄을 증착하였다.

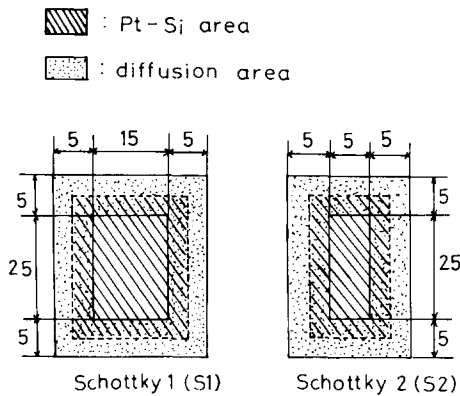


그림 5. Schottky-clamped 구조의 상면도
Fig. 5. Top view of Schottky-clamped structure.

III. 특성 측정

제작된 test 소자에서 parasitic pnp, npn 트랜지스터의 전류, 전압 특성 및 등가회로상의 병렬저항 R_s , R_w 등을 측정하고 이를 Schottky-clamped 구조와 비교하였다.

1) Parasitic bipolar npn, pnp 트랜지스터의 전류 이득

컬렉터 전류가 약 $0.5 \sim 1[\text{mA}]$ 일때 pnp, npn 트랜지스터의 X_a, X_b 에 따른 전류 이득의 변화가 그림 6, 7에 나타나 있다. Parasitic npn 트랜지스터의 경우 그림 7에 나타난 것처럼 well의 깊이가 $4.5\mu\text{m}$ 에서 $6\mu\text{m}$ 로 커짐에 따라 이득이 크게 줄어들며 X_a 에는 별 상

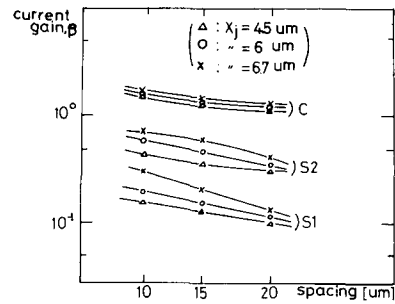


그림 6. 간격과 well의 깊이에 따른 parasitic pnp 트랜지스터의 전류이득 (C;conventional, S1; As/Ad=0.75, S2; As/Ad=0.31)

Fig. 6. Parasitic pnp transistor current gain for various spacing and well depth (C;conventional, S1; As/Ad=0.75, S2; As/Ad=0.31).

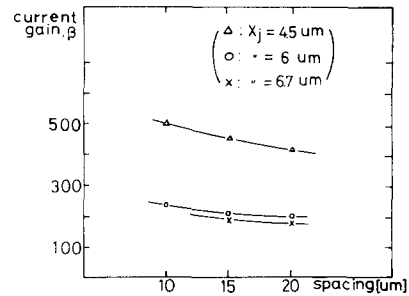


그림 7. 간격과 well의 깊이에 따른 parasitic npn 트랜지스터의 전류이득

Fig. 7. Parasitic npn transistor current gain for various spacing and well depth.

관이 없는것을 알 수 있다. npn 트랜지스터의 이득이 큰 이유는 well내에서의 불순물 농도의 경사 때문에 전계가 형성되어 기관에서 전자의 collection을 증가시키기 때문이다. pnp 트랜지스터의 경우는 기관에서의 불순물 농도의 경사가 없고 베이스 폭이 크므로 전류 이득이 상당히 낮다. 그러나 Schottky-clamped 구조에서 pnp 트랜지스터의 전류 이득은 컬렉터 전류가 $0.5 \sim 1[\text{mA}]$ 정도일때 conventional한 구조의 전류이득의 약 1/10의 값을 갖는데 이것은 Schottky 다이오우드 에미터에서는 소수 반송자의 주입이 매우 작기 때문이다. 이 test 소자에서 이득을 1/10 정도 이하로 줄이지 못한 이유는 S1, S2의 두가지 sample 모두가 guard ring을 위한 확산 면적이 Schottky 면적보다 크기 때문에 많은 전류가 흐를 때는 Schottky 다이오우드에 의한 전류보다 p/n 다이오우드에 의한 전류가 주

가 되기 때문이다. Schottky-clamped 구조에서 npn 트랜지스터의 경우는 conventional 구조와 거의 차이가 없다. Schottky 영역(A_s)과 확산영역(A_d)의 비는 S1의 경우 $A_s/A_d = 0.75$ 이고, S2의 경우 0.31이며 그림 6 으로부터 A_s/A_d 의 값을 크게 할수록 parasitic pnp 트랜지스터의 전류 이득이 줄어들음을 알 수 있다.

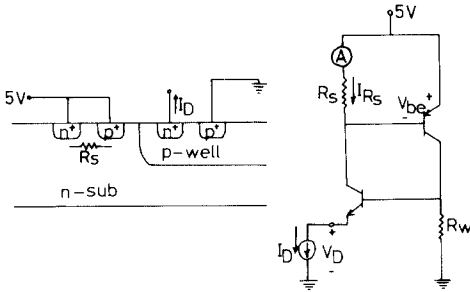


그림 8. R_s 측정
Fig. 8. Circuit for R_s measurement.

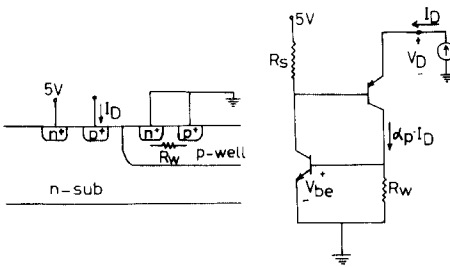


그림 9. R_w 측정
Fig. 9. Circuit for R_w measurement.

2) 병렬저항 R_s, R_w

그림 8, 9에 R_s, R_w 의 측정 방법 및 등가회로가 있다. 먼저 R_s 에 대해 보면 parasitic npn 트랜지스터의 에미터에서 전류를 sink해 주면 npn 트랜지스터의 에미터/베이스 접합이 순방향 바이어스가 걸려 콜렉터 전류가 흐르고, 이 전류에 의한 R_s 에서의 전압 강하로 인해 pnp 트랜지스터가 작동되면서 부터 R_w 에서의 전압이 증가되어 npn 트랜지스터의 V_{be} 가 더 커지면서 latch-up이 생기는데 이 순간에 R_s 에 흐르는 전류를 triggering 전류($I_{rs,T}$)로 정의한다. (그림 10 참조) 이때 V_{be} (nnp)를 0.6[V] 정도로 생각하면, R_s 값은 다음과 같이 나타내어 진다.

$$R_s = \frac{0.6[V]}{I_{rs,T}}$$

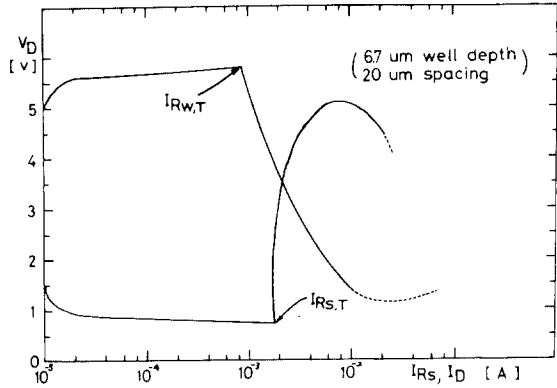


그림 10. R_s 와 R_w 측정에 대한 전류-전압 특성
Fig. 10. Typical I-V characteristic for R_s and R_w measurement.

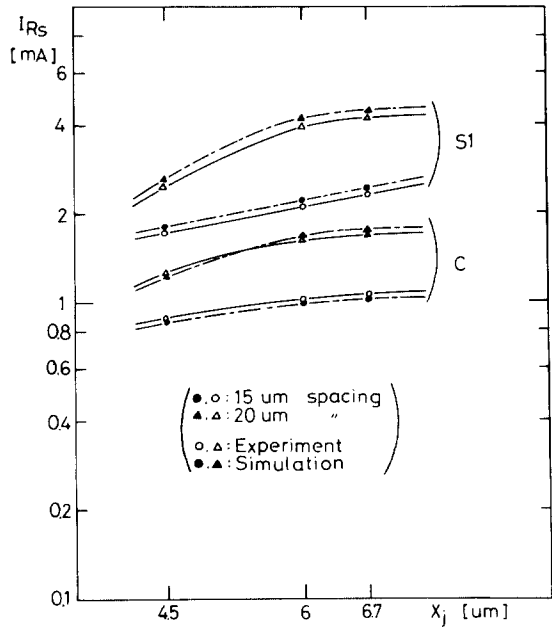


그림 11. $I_{rs,T}$ 측정 및 SPICE에 의한 simulation
Fig. 11. $I_{rs,T}$ measurement and simulation by SPICE.

X_d 와 X_a 에 따라 측정된 값이 그림 11에 있다. R_w 의 경우도 마찬가지로 전류원에서 전류를 흘려 주기 시작하면 전압 V_D 는 5[V] 이상의 전위를 갖게된다. 전류가 계속 증가하면 V_D 가 계속 증가하다가 병렬 저항 R_w 에서의 전압 강하가 parasitic pnp 트랜지스터를 ON시키는 순간에 전압 V_D 는 감소하기 시작한다. (그림 10 참조) 이때의 전류가 triggering 전류 $I_{rs,T}$ 이며, X_d 와 X_a 에 따른 측정값이 그림 12에 있다.

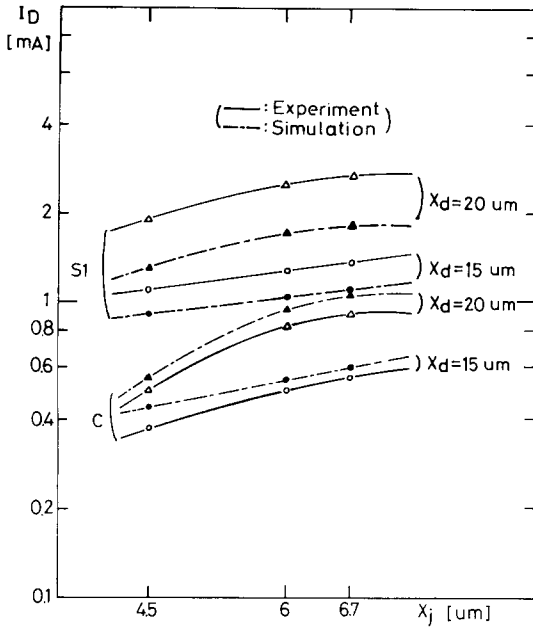


그림12. $I_{Rw,T}$ 측정 및 SPICE에 의한 simulation
Fig. 12. $I_{Rw,T}$ measurement and simulation by SPICE.

마찬가지로 V_{be} (pnp)를 0.6[V]로 생각하면 R_w 는 다음과 같다.

$$R_w = \frac{0.6|V|}{\alpha_p \cdot I_{Rw,T}}$$

$I_{Rs,T}$, $I_{Rw,T}$ 에 의해 구해진 R_s , R_w 값이 그림13에 있다.

위에서 구한 R_s , R_w 값과 측정된 두 pnp, npn 트랜지스터의 이득을 SPICE simulation에 이용하였는데 그림11, 12에서 보이듯이 실험 결과와 simulation 결과가 차이가 나는 이유는 Schottky-clamped 구조에 대한 modeling이 되지 않았기 때문이다.

3) Holding 전압 및 전류의 측정 방법은 그림 14에서와 같이 well-기관 사이에서 avalanche가 일어날때까지 anode 전압을 가하여 latch-up을 triggering시켜 측정한다. Conventional한 test 소자와 Schottky-clamped test 소자에 대해 측정 하였으며 그 결과가 그림15에 simulation 결과와 비교되어 있다. 이 holding 전압과 전류는 X_d 와 X_j 에 크게 좌우되지는 않았으나 conventional한 test 소자와 Schottky-clamped test 소자 사이에서는 커다란 차이를 볼 수 있다. 마찬가지로 두 단자 회로에서 anode 전압을 증가시키면서 SPICE simulation을 하였는데, conventional한 소자에서 측정치와의 오차는 parasitic bipolar 트랜지스터에 대한 SPICE

input parameter들의 추출이 충분하지 못한 결과이며 Schottky-clamped 구조에서는 이에 대한 정확한 modeling이 되지 않은데 그 원인이 있다.

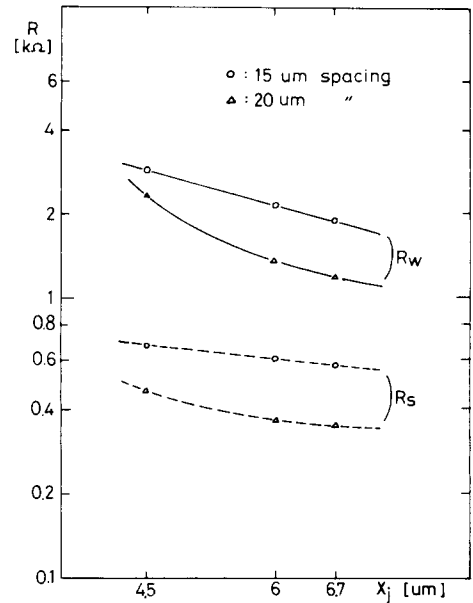


그림13. $I_{Rs,T}$, $I_{Rw,T}$ 에 의해 계산된 R_s , R_w
Fig. 13. R_s , R_w plot calculated by $I_{Rs,T}$, $I_{Rw,T}$

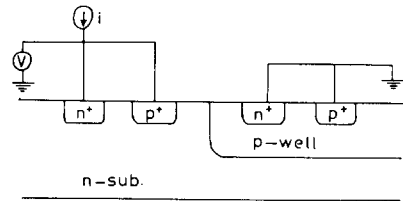


그림14. Holding 전압과 holding 전류 측정
Fig. 14. Holding voltage and holding current measurement.

4) 베이스 triggering 전류는 parasitic lateral pnp 트랜지스터의 전압-전류 특성에서 latch-up을 일으키게 하는 n-기관(베이스) 전류를 말한다. 다시말해서 베이스 triggering 전류는 5[V] 이하에서 콜렉터-anode-to-에미터 전압이 갑자기 낮아지는 최소 베이스 전류로 정의된다.¹⁴⁾ 그림16에 측정 방법이 있으며 conventional test 소자에 비해 Schottky-clamped test 소자가 약 10배 이상 큰 베이스 triggering 전류 값을 갖는다. 그림17에 그 측정값이 나타나 있다.

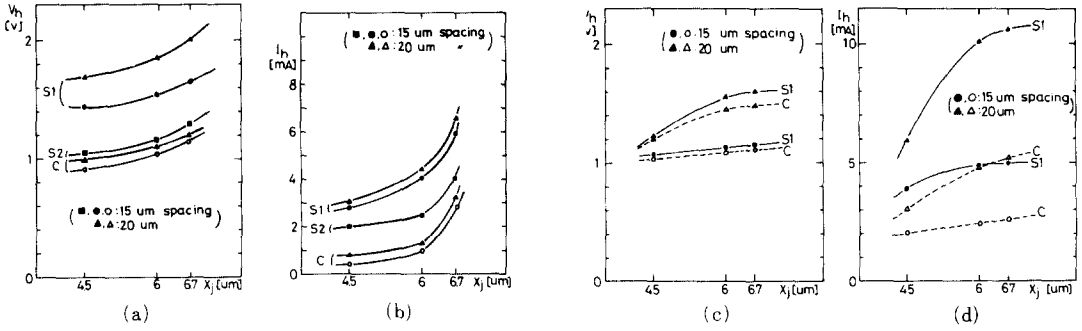


그림15. (a) Holding 전압과 holding 전류의 측정 결과
 Fig.15. (a) Measurement results of holding voltage and holding current.
 (b) SPICE에 의한 holding 전압과 holding 전류의 simulation 결과
 (b) Simulation results of holding voltage and holding current by SPICE.

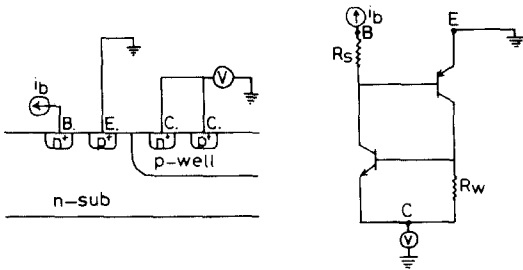


그림16. 베이스 triggering 전류 측정과 등가회로
 Fig.16. Base triggering current measurement and equivalent circuit.

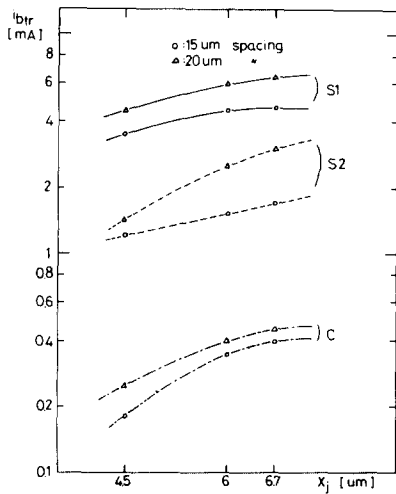


그림17. 베이스 triggering 전류의 측정 결과
 Fig.17. Measurement results of Base triggering current.

IV. 결론 및 고찰

P-well CMOS 시험 소자를 제작하여 latch-up 특성을 조사한 결과, latch-up 현상의 주요인은 전류 이득에 있다는 것이 확인되었다. Lateral npn 트랜지스터의 전류 이득은 N-channel MOS 트랜지스터의 소오스와 P-channel MOS의 소오스와의 간격에 따라 변화하는 한편 parasitic vertical npn의 경우는 well의 깊이에 관계가 있음을 알 수 있었다.

Latch-up을 방지하기 위해 제작한 Schottky-clamped CMOS 구조에서 npn 트랜지스터의 전류 이득이 conventional한 경우의 npn 트랜지스터 전류 이득 보다 약 1/10 가량 줄었다. 여기서 Schottky-clamping 효과는 p⁺ 확산 면적에 대한 Schottky 면적의 비율에 크게 좌우된다는 것을 알 수 있었다. 그러므로 Schottky 면적에 비해 확산 면적을 줄여 줄 경우 1/100 이하로 전류 이득을 줄일 수 있고, 따라서 latch-up을 거의 방지할 수 있으리라 생각한다.

N형 실리콘 기판에서의 triggering 전류는 Schottky-clamped 구조가 conventional한 구조에 비해 약 10배 가량 큰 것으로 측정되었다. 그 외에 holding 전압은 $X_d=20\mu\text{m}$, $X_j=4.5\mu\text{m}$ 의 경우 conventional한 구조에서는 약 1[V]인데 비해 Schottky-clamped 구조에서는 1.7[V]로 증가되었으며 holding 전류는 같은 X_d 와 X_j 일때 conventional한 구조에서는 약 1[mA]이고 Schottky-clamped 구조에서는 약 3[mA]로 증가되었다. 예상보다 holding 전압이나 전류가 작은 것은 확산 면적에 의한 p/n 다이오드의 전류가 높은 전류 영역에서 Schottky 다이오드에 의한 전류보다 크게 증가하기 때문이다.

SPICE에 의한 simulation은 conventional한 구조와 Schottky-clamped 구조에 $I_{R,S,T}$, $I_{R,W,T}$ 를 simulation하여 측정치와 약 5~20%의 오차가 있음을 보았으며, 여기서 R_s 와 R_w 값을 예측할 수 있다면 SPICE에 의해 triggering 전류, holding 전압, holding 전류를 simulation 할 수 있으므로 latch-up을 예측할 수 있다. 여기서 가장 문제가 되는 것은 Schottky-clamped 구조의 정확한 modeling이다.

앞으로 Pt-Si Schottky 다이오우드 면적에 비하여 매우 작은 p-guard ring 영역을 최적화한 소오스/드레인 구조를 갖는 PMOS를 Schottky-clamped CMOS에 이용하면 실제적으로 latch-up이 없는 CMOS 집적 회로를 만들 수 있으리라 기대된다.

參 考 文 獻

- [1] D. B. Estreich, *The Physics and Modeling of Latch-Up and CMOS Integrated Circuits*. Stanford Electronics Lab., Stanford Univ., Tech. Rep. G-201-9, 1980.
- [2] F. E. Gentry, F. W. Gutzwiller, N. Holonyak, and E. E. Von Zastrow, *Semiconductor Controlled Rectifier; Principles and Application of p-n-p-n Devices*. Prentice-Hall, Inc., Englewood Cliffs, NJ. 1964.
- [3] C. J. Koeneke, S. M. Sze, R. M. Levin, and E. Kinsbron, *Schottky MOSFET for VLSI*. Paper 15.6, IEDM 1981.
- [4] C. S. Oh, Y. H. Koh, and C. K. Kim, *A New P-channel MOSFET Structure with Schottky-Clamped Source and Drain*. Paper 27.4, IEDM 1984.
- [5] E. Sangiorgi and S. Swirhun, *Trenched Schottky Barrier PMOS for Latch-Up Resistance*. IEEE EDL., pp. 293-295, AUG. 1984.
- [6] S. Swirhun, E. Sangiorgi, A. Weeks, R. M. Swanson, K. C. Saraswat, R. W. Dutton, *Latch-Up Free CMOS Using Guarded Schottky Barrier PMOS*. Paper 15.2, IEDM 1984.